

# Tecnologie Digitali - Logbook Week 11

Salvatore Bottaro<sup>1</sup> and Lorenzo M. Perrone<sup>2</sup>

<sup>1</sup>salvo.bottaro@hotmail.it

<sup>2</sup>lorenzo.perrone.lmp@gmail.com

**Sommario**—Logbook di laboratorio di Tecnologie Digitali, a.a. 2015/2016. Week 11.

In figura 3 sono definiti i tempi di risposta per gli ingressi J,K e il CLOCK con S e R nello stato 0, mentre in figura 4 sono mostrati i tempi di risposta con S e R variabili.

## I. REGISTRI TIPO JK

Nel *flip-flop* di tipo JK è caratterizzato dalla presenza di due ingressi *SET-RESET* che come nel caso del *flip-flop* D prevalgono sullo stato degli altri ingressi. In più sono presenti due ingressi, J e K, anziché uno solo come nel D, che quando sono entrambi nello stato 1 abilitano lo switch delle uscite. Anche in questo caso le uscite vengono modificate solo quando nelle fasi di salita o di discesa del segnale di clock. In figura 1 è mostrata la zoccolatura del modello studiato in laboratorio, il 14027 della famiglia CMOS, mentre in figura 2 sono definiti i vari pin.

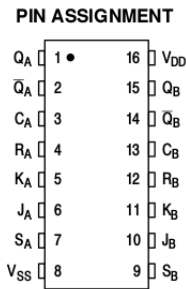


Figura 1: Zoccolatura del 14027

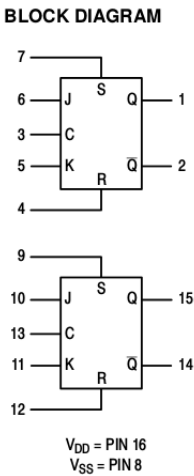
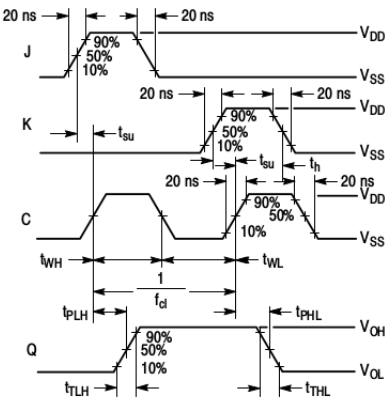


Figura 2: Definizione dei pin



Inputs R and S low.  
For the measurement of  $t_{WH}$ ,  $t_{LH}$ , and  $t_{PHL}$  the inputs J and K are kept high.

Figura 3: Definizione dei tempi di risposta con S e R bassi

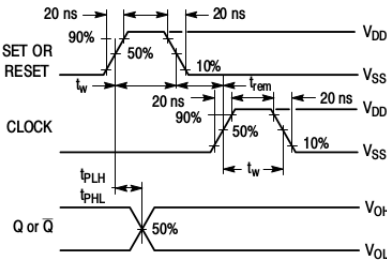


Figure 2. Dynamic Signal Waveforms (Set, Reset, Clock, and Output)

Figura 4: Definizione dei tempi di risposta con S e R variabili

In tabella I e II sono elencati rispettivamente i valori tipici di corrente, alimentazione e consumo e le fasce di tensione del 14027, del tutto identiche a quelle del *flip-flop* D.

Tabella I: Valori tipici del 14027.

Grandezza	Valore
Tensione di alimentazione	$V_{min} = -0.5V$ , $V_{max} = 18V$
Input current	10 mA
Consumo massimo	500 mW

In figura 5 è mostrata la tavola di verità del JK. Si può notare come per S e R non entrambi nulli e per segnale di

Tabella II: Fasce di tensione del 14027

Grandezza	$V_{DD}$ (V)	Valore
$V_{OL}$	5	0.05 V
	10	0.05 V
	15	0.05 V
$V_{OH}$	5	4.95 V
	10	9.95 V
	15	14.95 V
$V_{IL}$	5	1.5 V
	10	3.0 V
	15	4.0 V
$V_{IH}$	5	3.5 V
	10	7.0 V
	15	11 V

clock decrescente le uscite siano identiche al *flip-flop* D; invece per  $S=R=0$  la presenza di un ingresso aggiuntivo comporta delle differenze sostanziali, in particolare per la configurazione  $J=K=1$  con clock crescente è previsto lo switch delle uscite.

TRUTH TABLE							
Inputs						Outputs*	
$C^\dagger$	J	K	S	R	$Q_n^\ddagger$	$Q_{n+1}$	$\overline{Q}_{n+1}$
↗	1	X	0	0	0	1	0
↗	X	0	0	0	1	1	0
↗	0	X	0	0	0	0	1
↗	X	1	0	0	1	0	1
↗	1	1	0	0	$Q_0$	$\overline{Q_0}$	$Q_0$
↘	X	X	0	0	X	$Q_n$	$\overline{Q_n}$
X	X	X	1	0	X	1	0
X	X	X	0	1	X	0	1
X	X	X	1	1	X	1	1

X = Don't Care  
† = Level Change

‡ = Present State  
\* = Next State

No Change

Figura 5: Tavola di verità del *flip-flop* JK

In laboratorio abbiamo verificato che il 14027 impiegato riproducesse la tavola di verità di figura 5 tramite tester digitale per tutte le combinazioni possibili di S, R, J e K, in particolare abbiamo verificato che per  $J=K=1$  il *flip-flop* si comportasse come un divisore per 2.

II. DIVISORE PER 3

Come prima applicazione del *flip-flop* JK abbiamo studiato il divisore per 3 realizzando il circuito in figura 6.

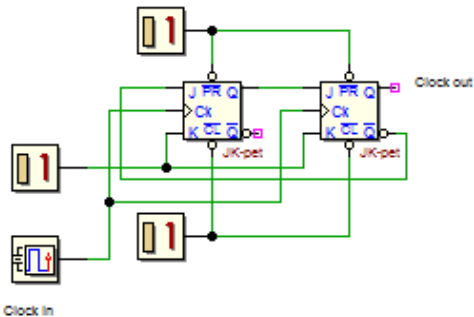


Figura 6: Schema del divisore per 3

A partire dalla tavola di verità 5 è possibile dedurre la sequenza degli stati del circuito, come si vede in tabella III.

Tabella III: Sequenza degli stati per il divisore

J1	Q1	Q2	Clock
1	0	1	↑
0	0	1	↓
0	0	0	↑
1	0	0	↓
1	1	0	↑
1	1	0	↓
1	0	1	↑

Come si nota la prima e l’ultima riga coincidono, per cui si ottiene un ciclo. Il periodo è tre volte quello di clock, per cui a livello di tavola di verità il circuito si comporta come un divisore per 3 e ci si aspetta un duty cycle di 1/3. Sempre dalla tabella III si vede come lo stato in cui  $Q1 = Q2 = 1$  non si realizza mai, per cui esso rappresenta uno stato non utilizzato. Inoltre è evidente che non esistono stati non raggiungibili, infatti il circuito possiede due gradi di libertà iniziali, ovvero due ingressi che possono essere settati liberamente, e che possono essere rappresentati da J1 e Q1. Pertanto esistono 4 stati iniziali corrispondenti alle coppie (1,1), (0,0), (1,0), (0,1), di cui i primi 3 effettivamente si riscontrano, mentre l’ultimo sparisce quando il clock si trova nello "stato" up, in quanto Q1 assume valore 0 facendo entrare lo stato del circuito dentro il ciclo. L’evoluzione del circuito si può rappresentare graficamente come in figura 7, in cui si vede come lo stato (1,1) non compare all’interno del ciclo, rimanendo quindi non utilizzato.

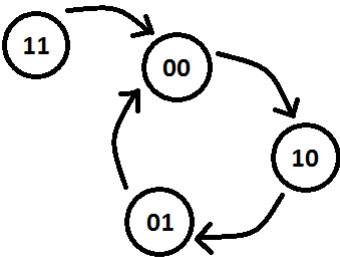


Figura 7: Stati in uscita dal divisore per 3

Abbiamo realizzato effettivamente il circuito collegando l’ingresso del clock al *digital output* 47 e impiegando il VI *Digital\_out4* per generare il segnale, abbiamo collegato le uscite Q1 e Q2 al tester digitale a abbiamo verificato che effettivamente il circuito riproducesse la sequenza di stati previsti. Abbiamo studiato la risposta del circuito collegandolo al generatore di funioni ATTEN, impostando come frequenza di clock 3 kHz. Abbiamo impiegato il fedele VI *ACQUIS\_BASE\_2015* e in figura 8 si può vedere l’esito della misura. Come si può notare il circuito si comporta ancora come divisore per 3 e anche il valore del duty cycle è quello ottenuto precedentemente.

Per verificare quantitativamente le precedenti affermazioni abbiamo impiegato i VI *Contatore\_freq* e *Contatore\_pulsew*. Tramite il primo VI abbiamo effettuato le misure dei periodi/frequenze dei segnali in ingresso

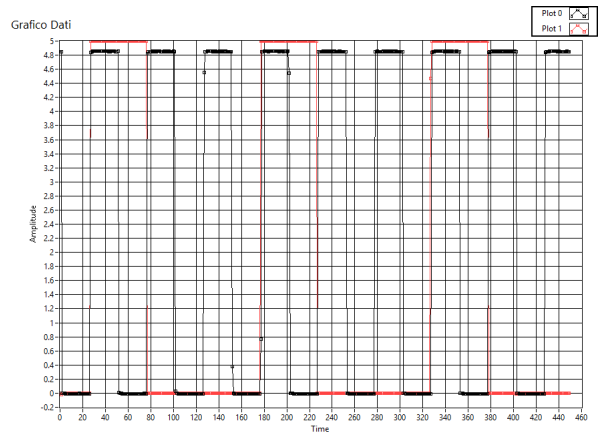


Figura 8: Confronto fra il segnale di clock (nero) e l’uscita del divisore (rosso)

e in uscita, mentre con il secondo VI abbiamo misurato il duty cycle del segnale in uscita al divisore, in entrambi i casi considerando una popolazione statistica di 100 campioni. In tabella IV e V sono mostrati i risultati relativi alle misure di frequenza in ingresso e in uscita, rispettivamente compatibili con i valori impostati e attesi di 3 kHz e 1 kHz. In tabella VI è mostrata la durata dello stato 1 sul segnale in uscita che è compatibile con 1/3 del periodo misurato in tabella V, per cui il duty cycle del segnale in uscita dal nostro divisore è quello previsto.

Tabella IV: Frequenze e periodi dei segnali in ingresso

Grandezza	Valore	Campioni
Frequenza	2999.86 Hz	72
	3000.29 Hz	28
Periodo	0.333301 ms	27
	0.333349 ms	73

Tabella V: Frequenze e periodi dei segnali in uscita

Grandezza	Valore	Campioni
Frequenza	999.951 Hz	23
	999.999 Hz	77
Periodo	1 ms	80
	1.00005 ms	20

Tabella VI: Misura duty cycle

Tempo	0.333351 ms	64
	0.333399 ms	36

Ovviamente non è possibile variare il segnale di clock per ottenere un segnale in uscita dal divisore con duty 1/2 dal momento che ciò che determina la variazione dello stato del circuito è il cambiamento dello stato del clock e non la sua permanenza in uno stato 0 o 1.

A. Hm.1

III. ESERCIZI VARI

A. Hm.4

Si consideri il circuito in figura 9. Calcolando la tavola di verità è possibile intuire che si tratta di un divisore per 5 con

duty cycle 2/5, come si vede in tabella VII. La tabella è stata ottenuta prendendo come stato iniziale la terna (J1, K1, Q1) = (1,1,1), dal momento che tenendo conto del numero di ingressi e uscite e delle loro relazioni il circuito presenta 3 gradi di libertà.

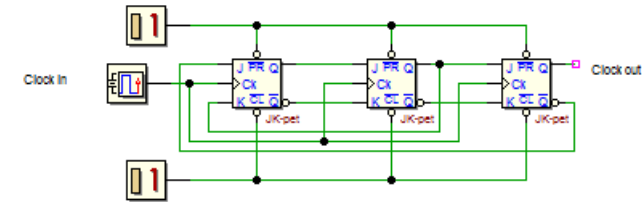


Figura 9: Schema divisore per 5

Tabella VII: Tavola del divisore per 5

J1	K1	Q1	J2	K2	Q2	J3	K3	Q3	Clock
1	1	1	1	0	1	1	0	0	↑
0	1	0	0	1	1	1	0	1	↓
0	1	0	0	1	1	1	0	1	↑
0	0	0	0	1	0	0	1	1	↓
0	0	0	0	1	0	0	1	1	↑
1	0	0	0	1	0	0	1	0	↓
1	0	0	0	1	0	0	1	0	↑
1	0	1	1	0	0	0	1	0	↓
1	0	1	1	0	0	0	1	0	↑
1	1	1	1	0	1	1	0	0	↓
1	1	1	1	0	1	1	0	0	↑
0	1	0	0	1	1	1	0	1	↓

Sempre dalla tabella si vede che durante il ciclo compaiono 5 degli 8 stati (J1, K1, Q1) possibili, pertanto gli eventuali stati irraggiungibili o inutilizzati vanno da ricercarsi nei 3 assenti. Calcolando la tavola di verità si verifica che sono tutti stati inutilizzati.

B. Hm. 5

Si consideri il circuito in figura 10. Come si evince simulandolo con deeds o calcolandone la tavola di verità (tabella) esso rappresenta un contatore a 3 bit. Essendo un circuito con 3 gradi di libertà e dal momento che le uscite possibili sono 8, tanti quanti i possibili stati iniziali, non ci saranno stati irraggiungibili o inutilizzati.

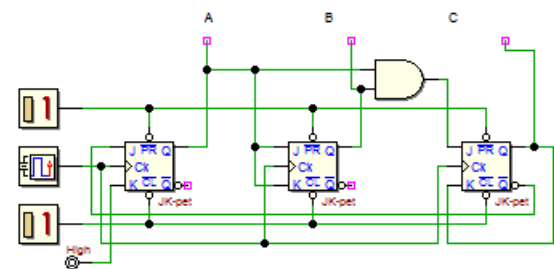


Figura 10: Schema contatore a 3 bit

La disposizione delle uscite è scelta per rendere più evidente il comportamento del circuito come contatore per 3.

Tabella VIII: Tavola del contatore per 3

J1	K1	J2	K2	J3	K3	Q3	Q2	Q1	Clock
1	1	1	1	0	0	0	0	1	↓
1	1	1	1	0	0	0	0	1	↑
1	1	0	0	0	0	0	1	0	↓
1	1	0	0	0	0	0	1	0	↑
1	1	1	1	1	0	0	1	1	↓
1	1	1	1	1	0	0	1	1	↑
0	1	0	0	0	1	1	0	0	↓
0	1	0	0	0	1	1	0	0	↑
1	1	0	0	0	0	0	0	0	↓
1	1	0	0	0	0	0	0	0	↑

## C. Hm.6

Si consideri il circuito in figura 11. Se si legge la sequenza degli stati dalla tavola di verità in tabella IX, si ha che il circuito fornisce come output la sequenza, in binario, (0,1,2,5,6). Quindi non tutti gli stati entrano nel ciclo del circuito. Infatti calcolando la tavola di verità per gli stati (Q3, Q2, Q1) corrispondenti a 3, 4 e 7 si ottiene che i primi due sono stati irraggiungibili, mentre il terzo è inutilizzato. Si è usato per la tavola di verità lo stesso ordine del caso precedente.

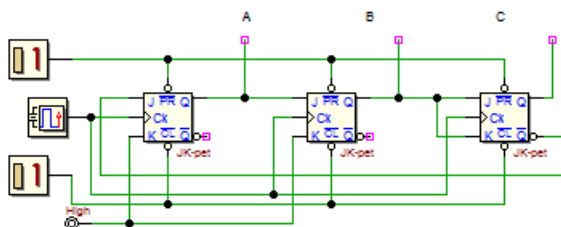


Figura 11: Schema del "contatore a salti"

Tabella IX: Tavola del "contatore a salti"

J1	K1	J2	K2	J3	K3	Q3	Q2	Q1	Clock
1	1	1	1	0	0	0	0	1	↓
1	1	1	1	0	0	0	0	1	↑
1	1	0	1	1	1	0	1	0	↓
1	1	0	1	1	1	0	1	0	↑
0	1	1	1	0	0	1	0	1	↓
0	1	1	1	0	0	1	0	1	↑
0	1	0	1	1	1	1	1	0	↓
0	1	0	1	1	1	1	1	0	↑
1	1	0	1	0	0	0	0	0	↓
1	1	0	1	0	0	0	0	0	↑
1	1	1	1	0	0	0	0	1	↓

## D. Hm. 8

SI consideri il circuito in figura 12. Esso possiede 4 gradi di libertà e quindi ammette 16 possibili stati iniziali del tipo (Q1,Q2,Q3,Q4). In tabella X è mostrata la tavola di verità, in cui compaiono solo i J e gli stati uscenti dal clock ↑. Come si vede il circuito si comporta come un contatore a 4 bit ed esplora tutti e 16 i possibili stati. Pertanto non si hanno stati irraggiungibili o inutilizzati.

0000 (<0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15):

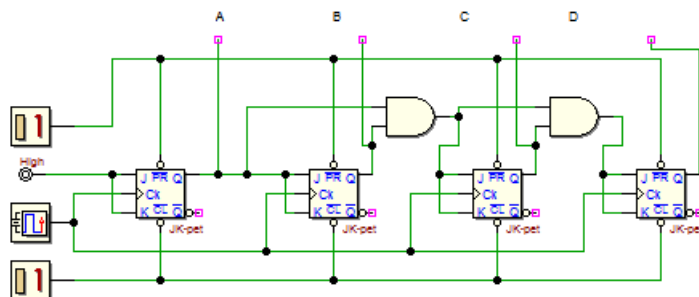


Figura 12: Schema contatore a 4 bit

Tabella X: Tavola del contatore 4 bit

J1	J2	J3	J4	Q4	Q3	Q2	Q1
1	1	0	0	0	0	0	1
1	0	0	0	0	0	1	0
1	1	1	0	0	0	1	1
1	0	0	0	0	1	0	0
1	1	0	0	0	1	0	1
1	0	1	0	0	1	1	0
1	1	0	1	0	1	1	1
1	0	0	0	1	0	0	0
1	1	1	0	1	0	0	1
1	0	0	0	1	0	1	0
1	1	0	0	1	0	1	1
1	0	1	0	1	1	0	0
1	1	0	0	1	1	0	1
1	0	0	0	1	1	1	0
1	1	1	1	1	1	1	0
1	0	0	0	0	0	0	0