

Tecnologie Digitali - Logbook Week 10

Salvatore Bottaro¹ and Lorenzo M. Perrone²

¹salvo.bottaro@hotmail.it

²lorenzo.perrone.lmp@gmail.com

Sommario—Logbook di laboratorio di Tecnologie Digitali, a.a. 2015/2016. Week 10.

I. FUNZIONI LOGICHE DI BASE

L'elettronica digitale è caratterizzata dal fatto che essa impiega segnali che assumono due valori ben distinti, identificati con 0 e 1 o con *falso* e *vero*. Le uniche funzioni logiche ad un ingresso sono la negazione **NOT** e l'identità **I**. Quelle a due ingressi sono **AND**, **NAND**, **OR**, **NOR**, **XOR**, **XNOR** i cui simboli sono rappresentati in figura 1.

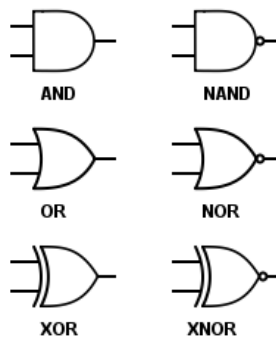


Figura 1: Simboli delle funzioni logiche a due ingressi

Ciascuna funzione logica è definita da una tavola della verità. Per costruire quelle delle funzioni a due ingressi basta limitarsi alle funzioni **AND**, **OR**, **XOR** (tabella I) poichè le altre si ottengono applicando l'operatore **NOT** a quelle precedenti.

Tabella I: Tavole delle verità delle funzioni logiche principali.

A	B	AND(A,B)	OR(A,B)	XOR(A,B)
T	T	T	T	F
T	F	F	T	T
F	T	F	T	T
F	F	F	F	F

II. SEGNALI LOGICI DELLA SCHEDA DI ACQUISIZIONE

La scheda National presenta 8 porte logiche che fungono sia da ingressi che da uscite, indicati con DIOx. In particolare i canali 0-3 corrispondono rispettivamente alle CB52, CB17, CB49, CB47. Abbiamo misurato con il tester analogico i livelli di tensione corrispondenti ai 2 possibili stati logici delle porte prima menzionate, i risultati delle misure son raccolti in tabella II.

Tabella II: Tensioni di uscita delle porte logiche impiegate.

Porta	True (V)	False (mV)
CB52	5.05	1.7
CB17	5.05	1.6
CB49	5.05	1.5
CB47	5.05	1.7

Per verificare il corretto funzionamento delle porte digitali abbiamo impiegato un tester digitale sostituito da un connettore DIL che collega un *flat-cable* da montare sulla breadboard ad una serie di LED. Questi sono connessi ai pin 2-5 e 10-13, il pin 14 corrisponde alla terra. Abbiamo dunque connesso le porte digitali DIO0-3 ai pin 2-5 del tester digitale e abbiamo verificato che i LED si accendevano e spegnevano corrispondentemente allo stato logico delle porte digitali impostato tramite il VI `Digital_out4`.

III. CIRCUITI BASE

In figura 2 è riportata la zoccolatura dell'integrato 14011 contenente 4 porte **NAND** a due ingressi della famiglia CMOS.

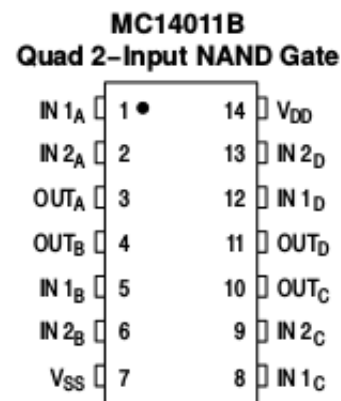


Figura 2: Zoccolatura del 14011.

In tabella IV sono riportate le altre caratteristiche rilevanti del 14011 presenti sul datasheet.

In figura 3 sono definiti i vari tempi di risposta del dispositivo.

Si è verificata la funzionalità del 14011 collegando l'uscita di ciascuna delle 4 porte ad un LED e ricostruendone tramite il `Digital_out4` le tavole di verità, ritrovando in tutti e 4 i casi la tavola di verità della funzione **NAND**.

Tabella III: Caratteristiche del 14011

Grandezza	V_{DD} (V)	Valore
V_{OL}	5	0.05 V
	10	0.05 V
	15	0.05 V
V_{OH}	5	4.95 V
	10	9.95 V
	15	14.95 V
V_{IL}	5	1.5 V
	10	3.0 V
	15	4.0 V
V_{IH}	5	3.5 V
	10	7.0 V
	15	11 V
I_{OH}	5	-0.51 mA
	10	-1.3 mA
	15	-3.4 mA
I_{OL}	5	0.51 mA
	10	1.3 mA
	15	3.4 mA
I_{in}	15	$\pm 0.1 \mu A$
P_D	-	500 mW
t_{TLH}	5	200 ns
	10	100 ns
	15	80 ns
t_{THL}	5	200 ns
	10	100 ns
	15	80 ns
t_{PLH}, t_{PHL}	5	125 ns
	10	50 ns
	15	40 ns

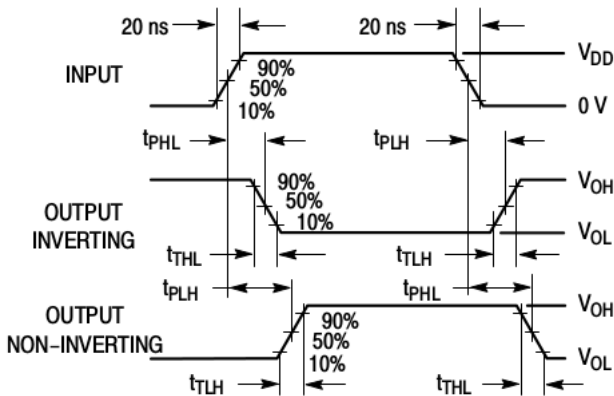


Figura 3: Definizione dei vari tempi di risposta.

Abbiamo scollegato poi una delle due porte logiche dal dispositivo per osservare cosa succede quando un ingresso non è collegato ad un segnale valido, mantenendo quello collegato sullo stato *vero*. Con il tester logico abbiamo osservato che in alcuni casi cambiano lo stato della porta collegata da falso a vero il LED rimaneva acceso per qualche secondo per poi spegnersi. Inizialmente avevamo attribuito tale comportamento a fenomeni capacitivi, tuttavia altre prove hanno escluso questa ipotesi, fra cui quella in cui il LED dopo essersi spento si è riacceso. Collegando il tester analogico e cambiando lo stato della porta collegata, abbiamo osservato che ogni volta che lo stato in input era vero, quello in uscita era falso, ovvero come se il 14011 leggesse l'ingresso non valido come vero. Infine tramite il VI Acquis_Base abbiamo misurato l'uscita della

porta al variare del tempo. Abbiamo dapprima campionato l'uscita senza modificare l'ingresso scollegato. I dati sono in figura 4, come si vede il segnale rilevato è costantemente falso al variare del tempo, quindi l'ingresso scollegato è stato letto come vero.

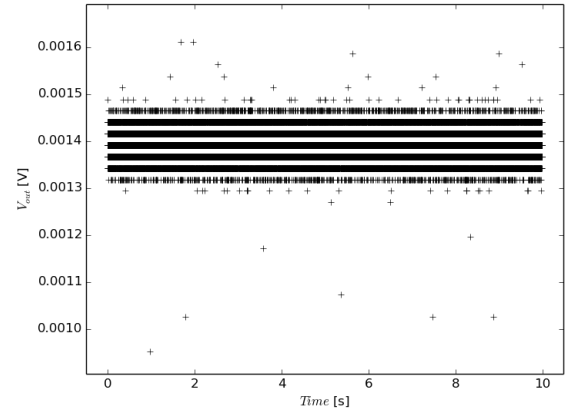


Figura 4: Segnale all'uscita della porta con uno dei due ingressi scollegato.

Abbiamo fatto poi altre prove acquisendo il segnale in uscita cambiando lo stato dell'ingresso scollegato, ovvero collegandolo e scollegandolo dalla terra più volte nel corso dell'acquisizione. La prima prova è stata fatta mantenendo scollegato l'ingresso, per poi collegarlo a terra e successivamente riscollegarlo. Il segnale in uscita è in figura 5: il salto corrisponde all'inserimento della terra, ma non c'è traccia del successivo scollegamento.

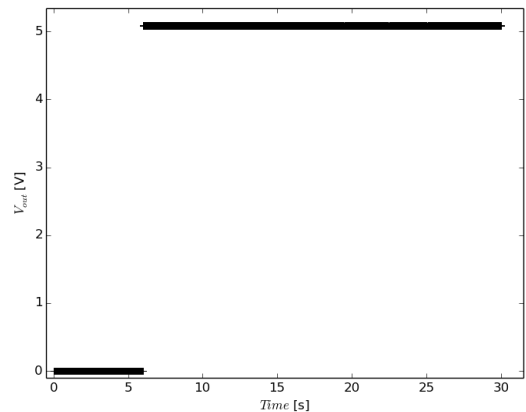


Figura 5: Segnale all'uscita della porta cambiando lo stato di un ingresso inizialmente scollegato.

Una seconda prova è stata fatta tenendo inizialmente la terra collegata e scollegandola e ricollegandola ogni 5 secondi. In figura 6 sono mostrati i dati: a parte una serie di dati allineati verticalmente in corrispondenza del primo scollegamento, non c'è traccia dei successivi. Probabilmente se avessimo tenuto scollegata la terra più a lungo il segnale sarebbe cambiato, in quanto la persistenza di un certo segnale è dovuto ad un

accumulo di carica che fa sì che il segnale letto in ingresso sia vero, per cui quando si collega il segnale a terra ovviamente tale accumulo si scarica, per poi impiegare un certo tempo per ricaricarsi.

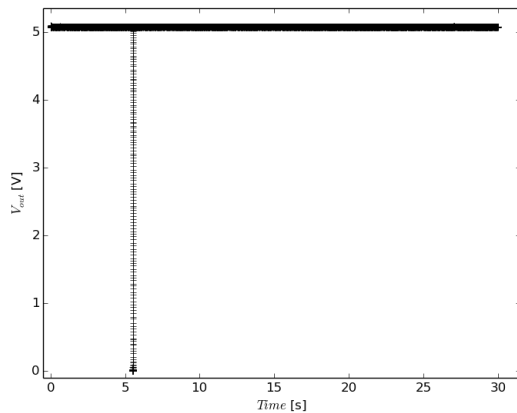


Figura 6: Segnale all'uscita della porta cambiando lo stato di un ingresso inizialmente a terra.

IV. REALIZZAZIONE DI CIRCUITI LOGICI COMBINAZIONALI

Cortocircuitando gli ingressi di una porta **NAND**, si realizza il circuito in figura 7. L'equazione logica risulta essere:

$$\overline{A \cdot A} = Q \quad (1)$$

ma poiché $A \cdot A = A$, si ha:

$$\overline{A \cdot A} = \bar{A} \quad (2)$$

ovvero il circuito dovrebbe funzionare come un circuito **NOT**, difatti tramite tester logico si è verificato che l'uscita restituisce l'opposto dello stato in ingresso, ovvero il circuito così realizzato è proprio un circuito **NOT**.

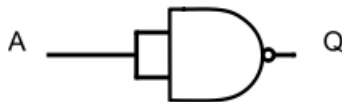


Figura 7: Schema logico del circuito NOT.

Dal momento che la funzione **AND** si ottiene negando **NAND**, si ottiene immediatamente da quanto visto in precedenza lo schema per un circuito **AND** in figura 8. Si è verificato sperimentalmente che il circuito così realizzato si comporta come un circuito **AND**.

Dato il circuito in figura 9, lo abbiamo realizzato sulla breadboard e costruito la tavola della verità.

Si è ottenuta quella della funzione **OR**, come si poteva prevedere applicando le leggi di De Morgan. Infatti l'equazione del circuito è:

$$\overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A + B}} = A + B. \quad (3)$$

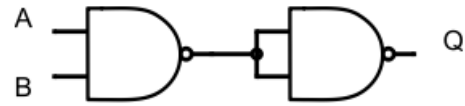


Figura 8: Schema logico del circuito AND.

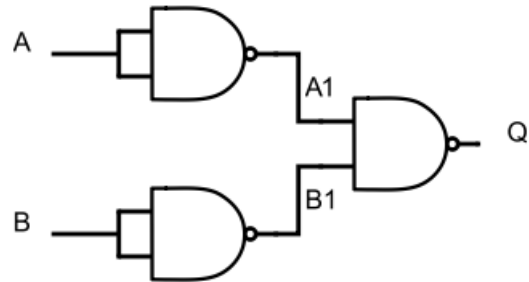


Figura 9: Schema logico del circuito OR.

Dal circuito **OR** si passa immediatamente al circuito **NOR** aggiungendo un circuito **NOT** alla fine, come si vede in figura 10.

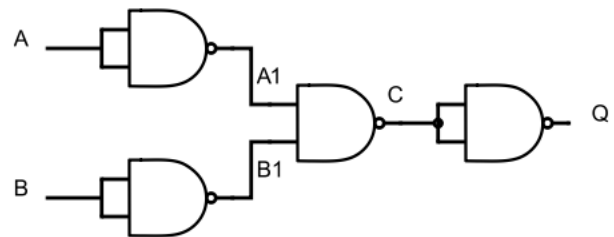


Figura 10: Schema logico del circuito NOR.

Abbiamo realizzato sulla breadboard il circuito in figura 11 e costruito la tavola di verità. Ciò che si è ottenuto è stata quella della funzione **XOR**.

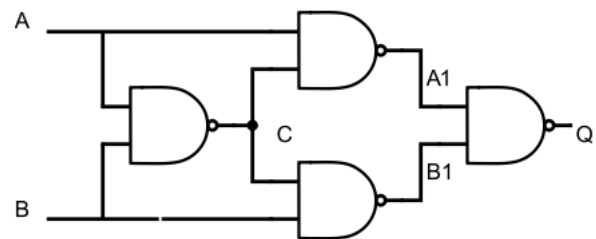


Figura 11: Schema logico del circuito XOR.

Tabella IV: Caratteristiche del 74HC02

Grandezza	V_{CC} (V)	Valore
V_{OL}	2	0.002 V
	4.5	0.001 V
	6	0.001 V
V_{OH}	2	1.998 V
	4.5	4.499 V
	6	5.999 V
V_{IL}	2	0.5 V
	4.5	1.35 V
	6	1.8 V
V_{IH}	2	1.5 V
	4.5	3.15 V
	6	4.2 V
I_{in}	6	max $\pm 0.1 \mu A$
t_t	2	1000 ns
	4.5	500 ns
	6	400 ns
t_{pd}	2	90 ns
	4.5	18 ns
	6	15 ns

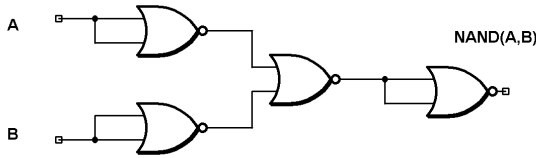


Figura 12: Circuito NAND

Infatti applicando le leggi di De Morgan:

$$\begin{aligned}
 Q &= \overline{(B \cdot \overline{A \cdot B}) \cdot (A \cdot \overline{A \cdot B})} \\
 &= B \cdot \overline{A \cdot B} + A \cdot \overline{A \cdot B} \\
 &= (\overline{A} + \overline{B}) \cdot B + (A + \overline{B}) \cdot A \\
 &= \overline{A} \cdot B + \overline{B} \cdot A
 \end{aligned} \quad (4)$$

che è la definizione della funzione **XOR**.

V. LOGICA NOR

Sono stati messi a disposizione dei circuiti integrati 74HC02, composti ognuno da 4 porte NOR a 2 ingressi. I circuiti NAND e NOR sono detti *gates universali* poichè con delle opportune combinazioni di ciascuno di questi sono realizzabili tutte le funzioni logiche a due ingressi. Abbiamo visto precedentemente come realizzare dei circuiti AND e NOT con il solo NAND, verifichiamo ora che sia possibile farlo anche con logica NOR.

Per realizzare un circuito NAND utilizziamo il fatto che cortocircuitando due ingressi in un NOR otteniamo la funzione negazione, e sfruttiamo la $\neg A + \neg B = \neg(A \cdot B)$. Il risultato è in Figura (12). Per ottenere un NOR il discorso è perfino più semplice, ed è riportato in Figura (13).

VI. CIRCUITO SOMMA BINARIA

In Figura () è riportato un esempio di circuito a due ingressi e a due uscite, che, in generale, può servire per eseguire delle

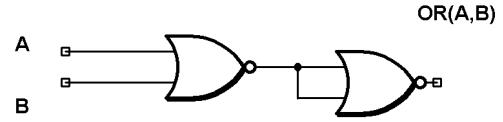


Figura 13: Circuito OR

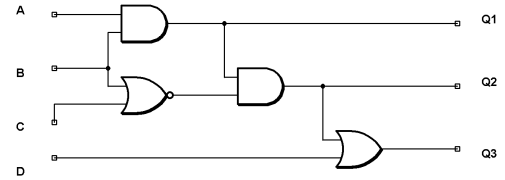


Figura 14: Hw1

operazioni di tipo combinatoriale sui due ingressi. Calcoliamo e semplifichiamo le uscite come segue:

$$Q1 = \neg(A1 \cdot B1) \quad (5)$$

$$A1 = \neg(A \cdot \neg(A \cdot B)) \quad (6)$$

$$B1 = \neg(B \cdot \neg(A \cdot B)) \quad (7)$$

Da cui per le leggi di De Morgan:

$$Q1 = A \cdot \neg B + B \cdot \neg A \quad (8)$$

L'output Q2, invece, è tale che $Q2 = \neg C = A \cdot B$. Se scriviamo la tavola di verità è facile riconoscere in questo circuito l'operazione di somma binaria:

A	B	Q2	Q1
1	1	1	0
1	0	0	1
0	1	0	1
0	0	0	0

VII. Hw. 1

Il circuito proposto (Figura (14)) è molto facile da semplificare. L'uscita $Q1 = A \cdot B$. Per l'uscita Q2 invece abbiamo:

$$Q2 = (\neg(B + C)) \cdot (A \cdot B) = \neg B \cdot \neg C \cdot A \cdot B = 0 \quad (9)$$

Q3 infine è $Q3 = D$.

Il circuito semplificato è dunque il seguente:

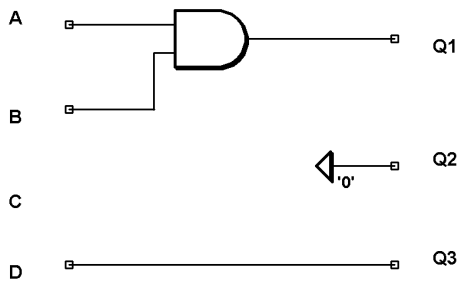


Figura 15: Hw 1 - Circuito semplificato

VIII. Hw. 2

Per gli esercizi in cui è richiesto di ricavare le operazioni logiche fra gli ingressi a partire dalla tabella della verità si è impiegato il metodo del *mintermine* che funziona nel seguente modo: si scelgono le righe della tabella corrispondenti a output $Q = 1$ e si uguaglia Q alla somma (OR) di tali righe, ottenuta ognuna moltiplicando (AND) fra di loro gli ingressi, eventualmente negati se pari a 0.

Il metodo è più facile da applicare che descriverlo a parole, per cui procediamo con il seguente esercizio:

A	B	C	Q1	Q2
0	0	0	0	1
0	0	1	1	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

Se consideriamo l'uscita Q2 si scrive quindi per la prima riga:

$$Q2 = NOT(A) \cdot NOT(B) \cdot NOT(C) \quad (10)$$

Invece per la seconda scriveremo:

$$Q2 = NOT(A) \cdot NOT(B) \cdot C \quad (11)$$

E così via. L'espressione risultante per Q2 sarà l'OR di tutte queste. In conclusione si ha:

$$Q1 = \neg C \cdot (A \oplus B) + C \cdot (A + \neg B) \quad (12)$$

$$Q2 = \neg C \cdot (A + \neg B) \quad (13)$$

IX. Hw. 3

In questo esercizio esaminiamo il funzionamento di un *Toxic waste incinerator*, uno smaltitore di rifiuti tossici, che regola il suo funzionamento sulla base dei segnali restituiti da tre sensori (A,B,C) che determinano in uscita la gestione di due valvole (Q1, Q2) che permettono il passaggio del rifiuto e della benzina per l'incenerimento.

La tabella di verità è la seguente:

A	B	C	Q1	Q2
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0

Adottando il metodo del *mintermine* troviamo che per l'uscita Q1 si ha:

$$Q1 = (A \oplus B) \cdot C + A \cdot B \quad (14)$$

Per l'uscita Q2 invece abbiamo:

$$Q2 = \neg((A \oplus B) + (B \oplus C) + (C \oplus A)) \quad (15)$$

Non sembra possibile semplificare ulteriormente le espressioni.

X. Hw. 4

Analizziamo ora un circuito a tre ingressi e due uscite, che corrisponde ad un **full-adder**, capace cioè di eseguire la somma binaria di tre numeri. La tavola di verità è la seguente:

A	B	C	D	U
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Le uscite si possono scrivere come:

$$U = A \oplus B \oplus C \quad (16)$$

$$D = C \cdot (A \oplus B) + A \cdot B \quad (17)$$

E' facile verificare che D, U rappresentano rispettivamente la prima e la seconda cifra significativa del numero in binario.

XI. TRAPANO

Riportiamo la consegna dell'ultimo esercizio, in cui viene esaminato il caso di un trapano capace di muoversi sul piano, e controllato tramite cinque variabili logiche.

Facendo uso di tre motori si vuol comandare la rotazione e lo spostamento della punta di un trapano nel piano X-Y, nel modo seguente:

- un deviatore P comanda l'accensione ($P=1$) e lo spegnimento ($P=0$) del motore principale (MP), che provoca la rotazione della punta;
- due deviatori di direzione (D_x e D_y) comandano l'accensione (D_x o $D_y = 1$) e lo spegnimento di due motori

M_x e M_y , che fanno spostare la punta in due direzioni x e y;

- un comando I seleziona i due versi per il movimento (I=0 in avanti; I=1 indietro);
- un pulsante di allarme A, se premuto, spegne tutti i motori (A=1, altrimenti A=0);
- il motore M_y deve essere spento se il motore principale MP è acceso.

Come si vede, abbiamo cinque variabili (P, D_x , D_y , I, A). Per ridurci a sole quattro variabili eliminiamo la considerazione del caso ovvio in cui il pulsante di allarme è stato premuto, per cui tutti i motori sono spenti. Ammettiamo, quindi, che sia sempre A=0. Una (possibile) tabella delle verità è:

P	DX	DY	I	MP	MX	MY
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	0	1	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	1	0	0
1	0	1	1	1	0	0
1	1	0	0	0	1	0
1	1	0	1	0	1	0
1	1	1	0	1	1	0
1	1	1	1	1	1	0

RIFERIMENTI BIBLIOGRAFICI

- [1] Datasheet, $\mu A741$ General-Purpose Operational Amplifiers. SLOS094E – NOVEMBER 1970 –REVISED JANUARY 2015. <http://www.ti.com/lit/ds/symlink/ua741.pdf>
- [2] Paul Horowitz, Winfield Hill - The Art of Electronics. Cambridge University Press (1989).