

Tecnologie Digitali - Logbook Week 11

Salvatore Bottaro¹ and Lorenzo M. Perrone²

¹salvo.bottaro@hotmail.it

²lorenzo.perrone.lmp@gmail.com

Sommario—Logbook di laboratorio di Tecnologie Digitali, a.a. 2015/2016. Week 11.

I. REGISTRI E CIRCUITI LOGICI SEQUENZIALI

Un circuito logico sequenziale è un tipo di circuito logico in cui l'uscita non dipende solo dai valori degli ingressi ma anche dalla storia del circuito stesso. Pertanto essi devono essere costituiti da una parte che svolga la funzione di memoria, il circuito logico che svolga le operazioni, un segnale di *clock* che funga da riferimento temporale.

Un registro o *latch* è un dispositivo che svolge il ruolo di memoria. Il tipo più semplice è quello di tipo **SR**, ovvero **SET-RESET**, in figura 1.

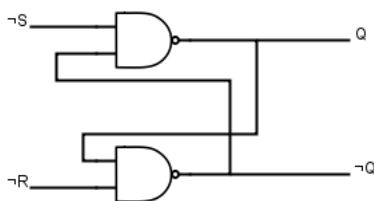


Figura 1: Schema di un registro SR.

A. Hm. 1

In tabella I è data la tavola di verità del registro SR. Come si vede solo quando entrambi gli ingressi sono veri le uscite non cambiano. Negli altri casi le uscite sono modificate indipendentemente dal loro valore iniziale.

Tabella I: Tavola di verità del registro SR.

\bar{S}	\bar{R}	Q	\bar{Q}
T	T	Q	\bar{Q}
T	F	F	T
F	T	T	F
F	F	T	T

Per ovviare a questo si introduce un clock che funga da segnale di controllo, come in figura 2.

In tabella II è data la tavola di verità del latch di tipo D, prendendo come uscite gli ingressi del registro SR. Come si vede quando il clock è falso, gli ingressi del registro sono entrambi veri e le uscite sono conservate, quando il clock è vero, allora le uscite sono modificate. Pertanto per memorizzare le uscite basta tenere il clock sullo stato di falso.

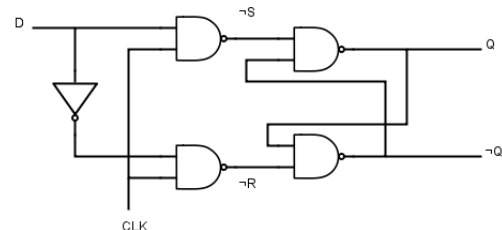


Figura 2: Registro SR con clock.

Tabella II: Tavola di verità latch di tipo D.

D	CLK	\bar{R}	\bar{S}
T	T	F	T
T	F	T	T
F	T	T	F
F	F	T	T

Quando il clock abilita il trasferimento del segnale di uscita (quindi quando è nello stato vero), lo stato dell'ingresso D può cambiare più volte, generando un'uscita imprevedibile.

I registri *edge-triggered flip-flop* ovviano a questo problema consentendo le modifiche delle uscite solo nella fase di cambiamento dello stato del clock, quindi durante le fasi di salita o discesa del segnale. Il flip-flop impiegato in laboratorio è il 14013 della famiglia CMOS, dotati di due flip-flop edge-triggered. In figura 3 vi è la disposizione dei pin, mentre in figura 4 la funzione dei vari pin.

PIN ASSIGNMENT

Q _A	1	14	V _{DD}
Q _A	2	13	Q _B
C _A	3	12	\bar{Q}_B
R _A	4	11	C _B
D _A	5	10	R _B
S _A	6	9	D _B
V _{SS}	7	8	S _B

Figura 3: Disposizione dei pin nel 14013

I tempi di risposta con i pin di S e R a terra (corrispondente alle modalità di lavoro in laboratorio) sono riassunti in figura 5.

Nelle tabelle III e IV sono riassunti i valori di alcune grandezze caratteristiche rilevanti del 14013.

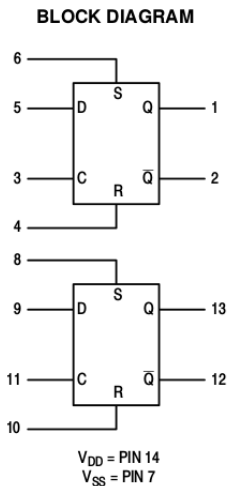


Figura 4: Definizione dei pin.

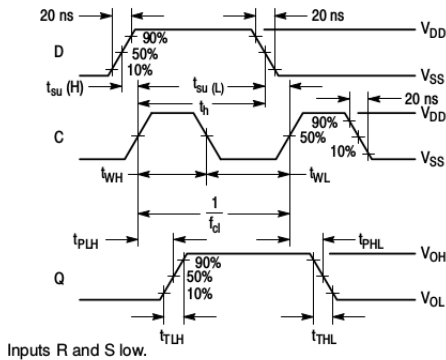


Figure 1. Dynamic Signal Waveforms (Data, Clock, and Output)

Figura 5: Tempi di risposta con R e S a terra.

Tabella III: Valori tipici del 14013.

Grandezza	Valore
Tensione di alimentazione	$V_{min} = -0.5V, V_{max} = 18V$
Input current	10 mA
Consumo massimo	500 mW

Tabella IV: Fasce di tensione del 14013

Grandezza	V_{DD} (V)	Valore
V_{OL}	5	0.05 V
	10	0.05 V
	15	0.05 V
V_{OH}	5	4.95 V
	10	9.95 V
	15	14.95 V
V_{IL}	5	1.5 V
	10	3.0 V
	15	4.0 V
V_{IH}	5	3.5 V
	10	7.0 V
	15	11 V

B. Hm. 2

In figura 6 è mostrata la tavola di verità del 14013. Come si vede solo quando il segnale di clock decresce le uscite risultano conservate, negli altri casi dipende dal valore degli ingressi D, R, S (in particolare a noi interessano i casi R=S=0).

TRUTH TABLE

Inputs				Outputs	
Clock†	Data	Reset	Set	Q	Q̄
↗	0	0	0	0	1
↘	1	0	0	1	0
↘	X	0	0	Q	Q̄
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

X = Don't Care
† = Level Change

Figura 6: Tavola di verità del 14013.

C. Hm. 3

Nel datasheet è indicata una possibile applicazione del 14013, della *n-stage shift register* in figura 7.

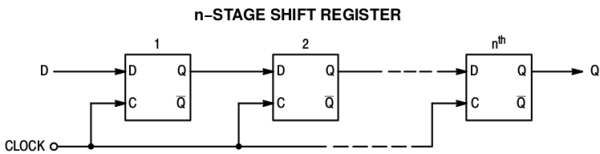


Figura 7: Schema dello shift register

Calcolando la tavola di verità si vede che il valore di Q coincide con quello di D iniziale, per cui la funzione di questo dispositivo potrebbe essere quello di spostare il valore di una variabile (in questo caso D) da una certa allocazione nella memoria ad un'altra distante n-1 passi.

II. CONTATORI

Una funzione degli edge-triggered flip-flop è quella di contatore asincrono, ovvero divisori di frequenza. In figura 8 è mostrato lo schema di un divisore per 2.

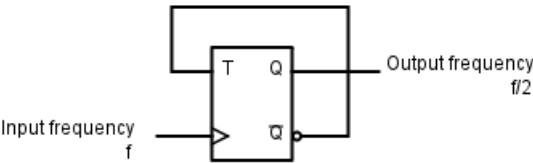


Figura 8: Schema di un divisore per 2.

Per calcolare la tavola di verità bisogna trasferire il valore di \overline{Q} nella colonna dei valori di D, dopodiché calcolare il nuovo valore di Q e \overline{Q} in base alla variazione del clock. Si ottiene così la tabella V in cui si vede come un periodo di Q (la sequenza 0011) contiene due periodi del clock, ovvero il

Tabella V: Tabola di verità del divisore per 2.

CLK	D	\bar{Q}	Q
X	X	0	1
↑	0	1	0
↓	1	1	0
↑	1	0	1
↓	0	0	1
↑	0	1	0

segnale in uscita ha una frequenza pari a metà di quella del clock.

Abbiamo verificato il funzionamento del divisore realizzando sulla breadboard lo schema 8 e collegato all'uscita il tester digitale. Il segnale di clock è stato prodotto tramite il VI `Digital_out4` ed effettivamente abbiamo ritrovato la tavola di verità prevista.

Successivamente abbiamo impiegato un generatore di segnale come segnale di clock, impostando una frequenza di circa 25 kHz. Tramite il VI `Contatore_freq` abbiamo verificato la stabilità in frequenza del segnale. In tabella VI sono riassunti i risultati dell'istogramma fornito dal VI, su 500 campionamenti effettuati.

Tabella VI: Campionamento in frequenza del segnale emesso dal generatore.

Frequenza (kHz)	n
25.708	17
25.738	438
25.771	45

La frequenza rilevata risulta essere 25.740(11) kHz, effettuando diverse prove non abbiamo notato variazioni significative nella frequenza rilevata, con differenze dell'ordine dei 10-20 Hz. Abbiamo inoltre verificato che la misura del periodo del segnale effettuata dal VI corrispondesse all'inverso della frequenza misurata.

Abbiamo quindi collegato l'uscita del divisore alla scheda e avviato l'acquisizione. I risultati sono riassunti in tabella VII. Risulta evidente che la frequenza in uscita è metà di quella in ingresso e che quindi il comportamento del dispositivo è ben verificato in questa modalità.

Tabella VII: Campionamento in frequenza del segnale in uscita dal divisore.

Frequenza (kHz)	n
12.878	345
12.886	155

Collegando in serie più divisori per 2 è possibile costruire dei divisori per 2^n , come si può ricavare dal datasheet. In figura 9 lo schema del divisore per 2^n ricavabile dal datasheet.

Abbiamo realizzato nello specifico un divisore per 4, quindi lo schema in figura 10.

In tabella VIII è mostrata la tavola di verità del divisore per 4. Come si vede il periodo dell'uscita Q_2 è 4 volte il periodo del clock, per cui la frequenza del segnale in uscita ha frequenza pari a $\frac{1}{4}$ della frequenza di ingresso.

Impiegando come segnale di clock il segnale a 25 kHz del generatore, tramite il VI `Contatore_freq` abbiamo

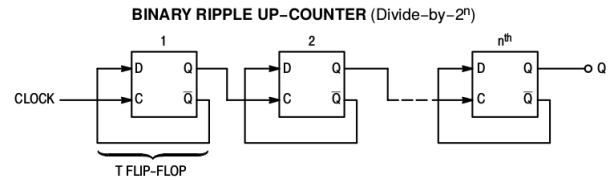
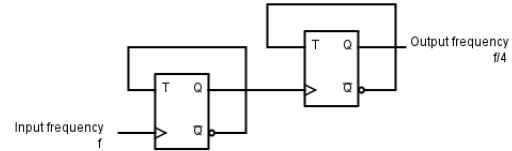
Figura 9: Schema di un divisore per 2^n .

Figura 10: Schema del divisore per 4.

ottenuto i risultati di tabella IX, da cui si evince che la frequenza di uscita è pari a $\frac{1}{4}$ la frequenza di ingresso.

III. DIVISORE PER 3

Combinando opportunamente uno o due *flip-flop* è possibile realizzare dei divisori di frequenza non necessariamente multipli di 2. Un esempio è il cd. **divisore per 3** che si ottiene collegando due *flip-flop* di tipo D fra loro con un circuito NAND, come mostrato in Figura (11).

Siano contrassegnati con il numero 1 tutti gli i/o del primo *flip-flop*, con il numero 2 quelli del secondo. In particolare, è facile verificare a vista che $D_2 = Q_1$ e che $D_1 = \neg(Q_1 \cdot Q_2)$. Per ogni fronte d'onda di risalita del *clock*, tale per cui si verifica un aggiornamento delle assegnazioni delle uscite e degli ingressi, possiamo scrivere una sequenza di stati come segue:

Si nota che le assegnazioni alla terza riga sono le stesse della riga sei, per cui si ha un ciclo della durata di 3 fronti di risalita del *clock*, il che è evidentemente in accordo con la denominazione di *divisore per 3* di tale circuito. Se guardiamo i valori assunti, ad esempio, dall'uscita Q_2 vediamo che si tratta di una sequenza di acceso/spento asimmetrica, in cui $\frac{1}{3}$ del periodo complessivo è passato nello stato spento, i restanti $\frac{2}{3}$ in quello di acceso (discorso analogo vale per

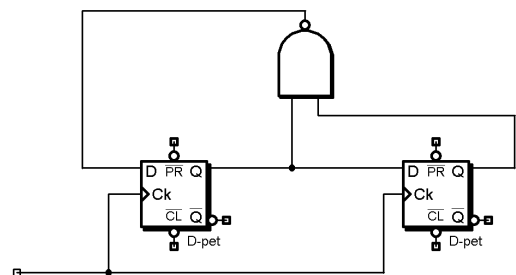


Figura 11: Circuito divisore per 3

Tabella VIII: Tavola di verità del divisore per 4.

CLK1	D1	$\overline{Q1}$	Q1	CLK2	D2	$\overline{Q2}$	Q2
X	X	0	1	X	X	0	1
↑	0	1	0	↓	0	0	1
↓	1	1	0	-	0	0	1
↑	1	0	1	↑	0	1	0
↓	0	0	1	-	1	1	0
↑	0	1	0	↓	1	1	0
↓	1	1	0	-	1	1	0
↑	1	0	1	↑	1	0	01
↓	0	0	1	-	0	0	1

Tabella IX: Campionamento in frequenza del segnale in uscita dal divisore.

Frequenza (kHz)	n
6.444	498
6.506	2

l'uscita $Q1$).

Proviamo ora a montare sulla breadboard il circuito e verificare con il tester digitale il suo effettivo funzionamento. La frequenza di clock viene data azionando manualmente l'interruttore della CB49 tramite il VI DIGITAL_OUT4. Per ogni accensione e spegnimento dell'interruttore apposito, l'uscita dalla $Q2$ è come segue:

$$111100111100111100 \quad (1)$$

In altre parole, si verifica praticamente che soltanto il fronte d'onda di risalita del clock aggiorna le uscite, mentre invece quello di discesa le lascia invariate (si veda la TRUTH TABLE del flip-flop MC14013B riportata nel datasheet [2]). Connettiamo ora l'uscita $Q2$ al contatore della scheda DAQ posto alla CB3, la frequenza di clock ora è data dal generatore di funzioni, e usiamo il VI CONTATORE_FREQ per misurare la frequenza in uscita dal circuito. La $f_{CLK} = 25.78\text{kHz}$, ci aspettiamo quindi che f_{Q2} sia circa un terzo della prima. Dall'istogramma restituito dal VI si ricava che le frequenze prevalenti su 100 campionamenti sono circa $f_{Q2} \simeq 8.6\text{kHz}$ in accordo con quanto previsto. E' certamente corretto affermare che dal punto di vista della frequenza il circuito sia un divisore per tre, ma è altrettanto evidente che l'uscita è fortemente asimmetrica (più avanti si approfondirà questo aspetto).

Può essere interessante verificare questi stessi risultati usando gli ingressi analogici della DAQ, visualizzando l'ingresso e l'uscita (in due tempi, separatamente) con il VI ACQUIS_BASE_2015. Si è collegato prima, quindi, l'ingresso del generatore di funzioni alla CB68, e in secondo luogo l'uscita $Q2$. La frequenza del segnale di clock è $f_{CLK} \simeq 7\text{kHz}$, quella di campionamento è di 200kSample/s , la durata di campionamento (la stessa per entrambe le rilevazioni) è stata di $d = 0.001\text{s}$, con un fondoscala di 10V . In Figura (12) è riportato il multiplot con entrambi i segnali. Si evidenzia come i due livelli *acceso* non siano proprio uguali, ma ci sia uno scarto di circa 250mV , probabilmente dovuto ai differenti range dei segnali di output (in tensione)

D1	Q1	D2	Q2
0	1	1	1
1	0	0	1
1	1	1	0
0	1	1	1
1	0	0	1
1	1	1	0

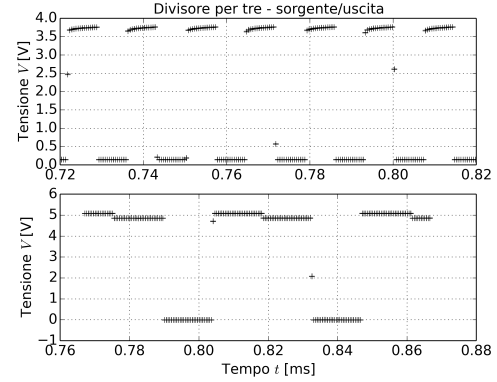


Figura 12: Divisore per tre - acquisizione analogica segnale e uscita

fra i *flip-flop* e il NAND.

Andiamo ora ad esaminare con maggiore attenzione l'asimmetria dell'uscita del nostro circuito introducendo la nozione di *duty cycle* (η). Se chiamiamo $T1$ e $T2$ rispettivamente il tempo in cui il segnale si trova acceso (**TRUE**) o spento (**FALSE**), il *duty cycle* è definito come:

$$\eta = \frac{T1}{T1 + T2} \quad (2)$$

Nel caso di segnali simmetrici, η è ovviamente 0.5. Tramite il VI CONTATORE_PULSEW si può verificare che il *duty-cycle* del segnale prodotto dal generatore di funzioni sia circa 1/2. I risultati ottenuti per il *falling time* e per il *rising time* sono, rispettivamente, di $t_F = 7.123(5)E-5\text{s}$ e $t_R = 7.130(5)E-5\text{s}$, che risultano in $\eta = 0.5002$.

Se proviamo a misurare le stesse grandezze per il segnale prodotto dal divisore per tre, i risultati sono:

falling time	rising time
1.3E-4 s	2.6E-4 s

In linea con quanto ci aspettiamo. Bisogna notare, tuttavia, che per acquisire questi risultati si sono avute delle difficoltà dovute alla presenza di segnali ad alta frequenza nelle uscite che hanno *sporcato* l'output del circuito e hanno spesso prodotto degli errori nel funzionamento del VI.

A. Hw. 4

Vediamo come si comporterebbe il divisore per 3 se al posto di un circuito NAND mettessimo un NOR. Possiamo ipotizzare che il comportamento non sia troppo dissimile, dal momento che sia il NAND che il NOR prevedono un'uscita *simmetrica* fra di loro:

A	B	NAND(A,B)	NOR(A,B)
1	1	0	0
1	0	1	0
0	1	1	0
0	0	1	1

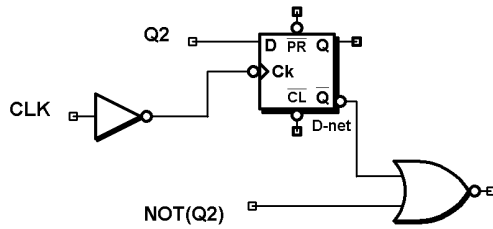


Figura 13: Circuito simmetrizzatore

Verifichiamo se l'intuizione è giusta (o meno) preparando una tavola della verità come in precedenza (dove questa volta $D1 = \text{NOR}(Q1, Q2)$ e $D2 = Q1$):

D1	Q1	D2	Q2
0	1	1	1
0	0	0	1
1	0	0	0
0	1	1	0
0	0	0	1
1	0	0	0
0	1	0	0

Come si vede, il circuito funziona sempre da divisore per tre, dove però per 2/3 del periodo lo stato è **FALSE** e per 1/3 è **TRUE** (i ruoli sono invertiti). Il *duty cycle* per questa configurazione sarebbe allora $\eta = 0.66$ invece che $\eta = 0.33$.

IV. SIMMETRIZZATORE

A questo punto vogliamo provare ad integrare il circuito precedente in modo da simmetrizzare il segnale di uscita e ottenere dunque un **divisore per 3 simmetrico**. Per fare questo, c'è bisogno di aggiungere ai due flip flop un ulteriore flip flop con un circuito NOR. Questi ultimi due da soli costituiscono il simmetrizzatore, e sono rappresentati in Figura (13).

Un aspetto importante è che il segnale di clock questa volta viene dato **negato** al flip flop. Per capire il motivo di questa scelta trascriviamo la tavola di verità del circuito simmetrizzatore, utilizzando come ingresso $Q2$ del divisore per tre, e il segnale di clock opportuno:

CLK	Q2=D	$\neg\text{CLK}$	Q	Q(CLK)	$\neg Q$	$\neg Q2$	NOR($\neg Q2, \neg Q$)
1	1	0	-	1	-	0	-
0	1	1	1	1	0	0	1
1	1	0	1	1	0	0	1
0	1	1	1	1	0	0	1
1	0	0	1	0	0	1	0
0	0	1	0	0	1	1	0
1	1	0	0	1	1	0	0
0	1	1	1	1	0	0	1

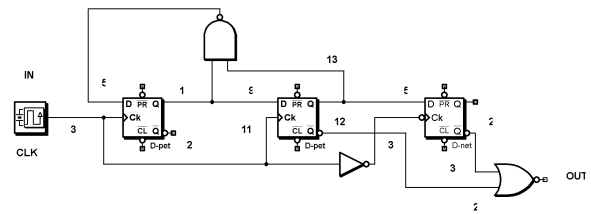


Figura 14: Circuito divisore per 3 + simmetrizzatore.

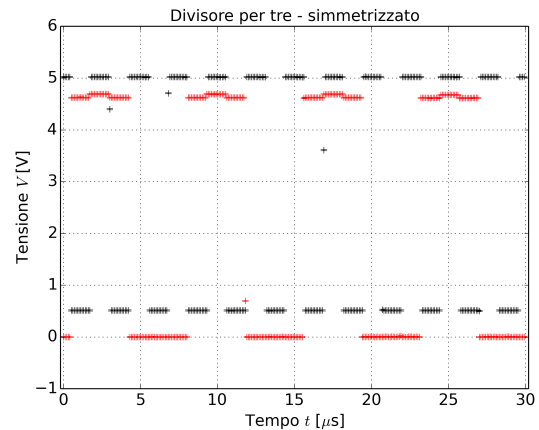


Figura 15: Divisore per 3 simmetrizzato - senza linea

Come si nota, se dessimo il segnale non negato di clock, in uscita **Q(CLK)** otterremmo lo stesso ingresso **Q2**. L'effetto del $\neg\text{CLK}$ è quello di shiftare verso il basso l'uscita rispetto all'ingresso. Come risultato, l'output del circuito simmetrizzatore è una sequenza simmetrica 000111000 con frequenza tripla rispetto a quella di clock (ricordiamo che l'aggiornamento dell'uscita è ad ogni fronte d'onda di salita, per cui in quelli di discesa essa non varia).

Verifichiamo adesso, montando il simmetrizzatore in sequenza al divisore per tre, il corretto funzionamento del circuito (Figura (14)). La fase di montaggio è stata particolarmente ostica, a causa dell'elevato numero di connessioni fra i diversi pin dei componenti. In particolare, nella fase di debug, abbiamo incontrato difficoltà nel capire un malfunzionamento del circuito, che alla fine (inspiegabilmente) si è risolto da solo: durante i primi tentativi sembrava che l'alimentazione dei componenti (dalla CB14) fosse data in alternata e non in continua. Ad ogni modo, dopo aver sistemato il circuito, il risultato del campionamento dell'ingresso e dell'uscita è mostrato nelle Figure (15, 16). La frequenza di acquisizione è stata di 100kS/s, per una durata complessiva di 0.003s.

A. Hw. 5

Un modo per costruire un simmetrizzatore con porta NAND per un divisore per tre, consiste nell'impiegare la variante NOR di tale divisore, e sostituire il NOR con un NAND nel

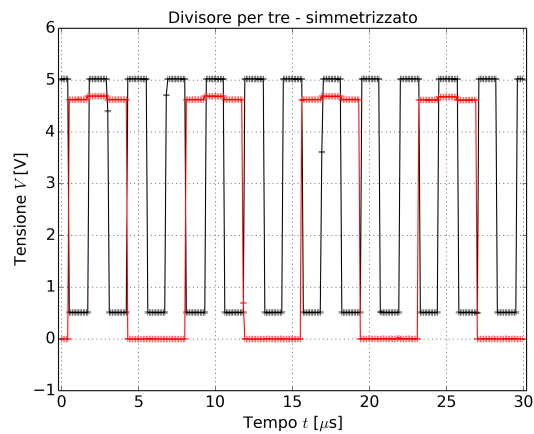


Figura 16: Divisore per tre simmetrizzato - con linea

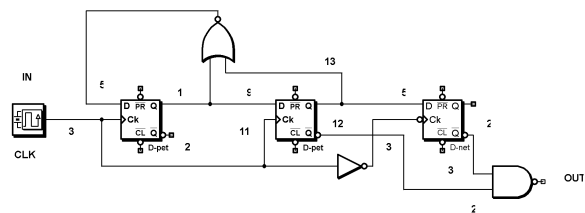


Figura 17: Divisore per tre + simmetrizzatore NAND

simmetrizzatore. Si può vedere lo schema in Figura (17).
Invece, la tavola di verità è la seguente:

CLK	Q2=D	¬CLK	Q	Q(CLK)	¬Q	¬Q2	NAND(¬Q2, ¬Q1)
1	0	0	-	1	-	1	-
0	0	1	0	1	1	1	0
1	0	0	0	1	1	1	0
0	0	1	0	1	1	1	0
1	1	0	0	0	1	0	1
0	1	1	1	0	0	0	1
1	0	0	1	1	0	1	1
0	0	1	0	1	1	1	0

RIFERIMENTI BIBLIOGRAFICI

[1] Product data sheet: Dual Type D Flip-Flop MC14013B. <http://onsemi.com>
[2] Paul Horowitz, Winfield Hill - The Art of Electronics. Cambridge University Press (1989).