

Tecnologie Digitali - Logbook Week 11

Salvatore Bottaro¹ and Lorenzo M. Perrone²

¹salvo.bottaro@hotmail.it

²lorenzo.perrone.lmp@gmail.com

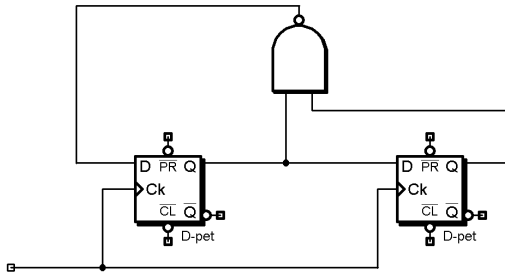


Figura 1: Circuito divisore per 3

Sommario—Logbook di laboratorio di Tecnologie Digitali, a.a. 2015/2016. Week 11.

I. DIVISORE PER 3

Combinando opportunamente uno o due *flip-flop* è possibile realizzare dei divisori di frequenza non necessariamente multipli di 2. Un esempio è il cd. **divisore per 3** che si ottiene collegando due *flip-flop* di tipo D fra loro con un circuito NAND, come mostrato in Figura (1).

Siano contrassegnati con il numero 1 tutti gli i/o del primo *flip-flop*, con il numero 2 quelli del secondo. In particolare, è facile verificare a vista che $D2 = Q1$ e che $D1 = \neg(Q1 \cdot Q2)$. Per ogni fronte d'onda di risalita del *clock*, tale per cui si verifica un aggiornamento delle assegnazioni delle uscite e degli ingressi, possiamo scrivere una sequenza di stati come segue:

D1	Q1	D2	Q2
0	1	1	1
1	0	0	1
1	1	1	0
0	1	1	1
1	0	0	1
1	1	1	0

Si nota che le assegnazioni alla terza riga sono le stesse della riga sei, per cui si ha un ciclo della durata di 3 fronti di risalita del *clock*, il che è evidentemente in accordo con la denominazione di *divisore per 3* di tale circuito. Se guardiamo i valori assunti, ad esempio, dall'uscita $Q2$ vediamo che si tratta di una sequenza di acceso/spento asimmetrica, in cui

1/3 del periodo complessivo è passato nello stato spento, i restanti 2/3 in quello di acceso (discorso analogo vale per l'uscita $Q1$).

Proviamo ora a montare sulla breadboard il circuito e verificare con il tester digitale il suo effettivo funzionamento. La frequenza di clock viene data azionando manualmente l'interruttore della CB49 tramite il VI DIGITAL_OUT4. Per ogni accensione e spegnimento dell'interruttore apposito, l'uscita dalla $Q2$ è come segue:

$$111100111100111100 \quad (1)$$

In altre parole, si verifica praticamente che soltanto il fronte d'onda di risalita del clock aggiorna le uscite, mentre invece quello di discesa le lascia invariate (si veda la TRUTH TABLE del flip-flop MC14013B riportata nel datasheet [2]). Connettiamo ora l'uscita $Q2$ al contatore della scheda DAQ posto alla CB3, la frequenza di clock ora è data dal generatore di funzioni, e usiamo il VI CONTATORE_FREQ per misurare la frequenza in uscita dal circuito. La $f_{CLK} = 25.78\text{kHz}$, ci aspettiamo quindi che f_{Q2} sia circa un terzo della prima. L'istogramma restituito dal VI è in Figura () e le frequenze prevalenti su 100 campionamenti sono circa $f_{Q2} \simeq 8.6\text{kHz}$ in accordo con quanto previsto. E' certamente corretto affermare che dal punto di vista della frequenza il circuito sia un divisore per tre, ma è altrettanto evidente che l'uscita è fortemente asimmetrica (più avanti si approfondirà questo aspetto).

Può essere interessante verificare questi stessi risultati usando gli ingressi analogici della DAQ, visualizzando l'ingresso e l'uscita (in due tempi, separatamente) con il VI ACQUIS_BASE_2015. Si è collegato prima, quindi, l'ingresso del generatore di funzioni alla CB68, e in secondo luogo l'uscita $Q2$. La frequenza del segnale di clock è $f_{CLK} \simeq 7\text{kHz}$, quella di campionamento è di 200kSample/s , la durata di campionamento (la stessa per entrambe le rilevazioni) è stata di $d = 0.001\text{s}$, con un fondoscala di 10V. In Figura (2) è riportato il multiplot con entrambi i segnali. E' interessante evidenziare come i due livelli *acceso* non siano proprio uguali, ma ci sia uno scarto di circa 250mV, probabilmente dovuto ai differenti range dei segnali di output (in tensione) fra i *flip-flop* e il NAND.

Andiamo ora ad esaminare con maggiore attenzione l'asimmetria dell'uscita del nostro circuito introducendo la nozione di *duty cycle* (η). Se chiamiamo $T1$ e $T2$ rispettivamente

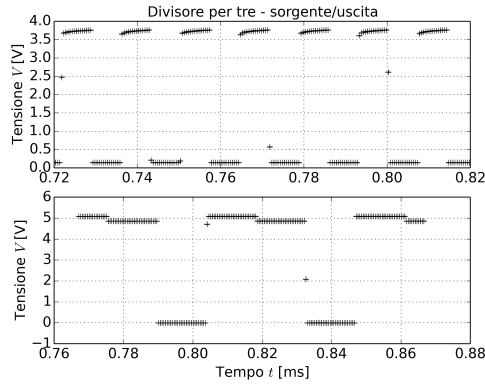


Figura 2: Divisore per tre - acquisizione analogica segnale e uscita

il tempo in cui il segnale si trova acceso (**TRUE**) o spento (**FALSE**), il *duty cycle* è definito come:

$$\eta = \frac{T_1}{T_1 + T_2} \quad (2)$$

Nel caso di segnali simmetrici, η è ovviamente 0.5. Tramite il VI CONTATORE_PULSEW si può verificare che il *duty-cycle* del segnale prodotto dal generatore di funzioni sia circa 1/2. I risultati ottenuti per il *falling time* e per il *rising time* sono, rispettivamente, di $t_F = 7.123(5)E-5s$ e $t_R = 7.130(5)E-5s$, che risultano in $\eta = 0.5002$.

Se proviamo a misurare le stesse grandezze per il segnale prodotto dal divisore per tre, i risultati sono:

falling time	rising time
1.3E-4 s	2.6E-4 s

In linea con quanto ci aspettiamo. Bisogna notare, tuttavia, che per acquisire questi risultati si sono avute delle difficoltà dovute alla presenza di segnali ad alta frequenza nelle uscite che hanno *sporcat* l'output del circuito e hanno spesso prodotto degli errori nel funzionamento del VI.

A. Hw. 4

Vediamo come si comporterebbe il divisore per 3 se al posto di un circuito NAND mettessimo un NOR. Possiamo ipotizzare che il comportamento non sia troppo dissimile, dal momento che sia il NAND che il NOR prevedono un'uscita *simmetrica* fra di loro:

A	B	NAND(A,B)	NOR(A,B)
1	1	0	0
1	0	1	0
0	1	1	0
0	0	1	1

Verifichiamo se l'intuizione è giusta (o meno) preparando una tavola della verità come in precedenza (dove questa volta $D1 = \text{NOR}(Q1, Q2)$ e $D2 = Q1$):

Come si vede, il circuito funziona sempre da divisore per

D1	Q1	D2	Q2
0	1	1	1
0	0	0	1
1	0	0	0
0	1	1	0
0	0	0	1
1	0	0	0
0	1	0	0

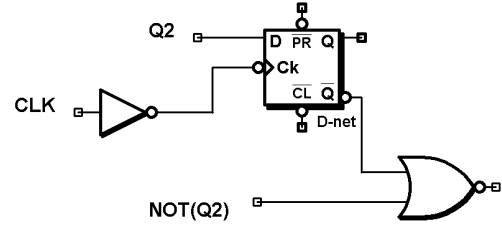


Figura 3: Circuito simmetrizzatore

tre, dove però per 2/3 del periodo lo stato è **FALSE** e per 1/3 è **TRUE** (i ruoli sono invertiti). Il *duty cycle* per questa configurazione sarebbe allora $\eta = 0.66$ invece che $\eta = 0.33$.

II. SIMMETRIZZATORE

A questo punto vogliamo provare ad integrare il circuito precedente in modo da simmetrizzare il segnale di uscita e ottenere dunque un **divisore per 3 simmetrico**. Per fare questo, c'è bisogno di aggiungere ai due flip flop un ulteriore flip flop con un circuito NOR. Questi ultimi due da soli costituiscono il simmetrizzatore, e sono rappresentati in Figura (3).

Un aspetto importante è che il segnale di clock questa volta viene dato negato al flip flop. Per capire il motivo di questa scelta trascriviamo la tavola di verità del circuito simmetrizzatore, utilizzando come ingresso l'uscita $Q2$ del divisore per tre, e il segnale di clock opportuno:

CLK	Q2=D	$\neg CLK$	Q	Q(CLK)	$\neg Q$	$\neg Q2$	$\text{NOR}(\neg Q2, \neg Q1)$
1	1	0	-	1	-	0	-
0	1	1	1	1	0	0	1
1	1	0	1	1	0	0	1
0	1	1	1	1	0	0	1
1	0	0	1	0	0	1	0
0	0	1	0	0	1	1	0
1	1	0	0	1	1	0	0
0	1	1	1	1	0	0	1

Come si nota, se dessimo il segnale non negato di clock, in uscita $Q(\text{CLK})$ otterremmo lo stesso ingresso $Q2$. L'effetto del $\neg CLK$ è quello di shiftare verso il basso l'uscita rispetto all'ingresso. Come risultato, l'output del circuito simmetrizzatore è una sequenza simmetrica 000111000 con frequenza tripla rispetto a quella di clock (ricordiamo che l'aggiornamento dell'uscita è ad ogni fronte d'onda di salita, per cui in quelli di discesa essa non varia).

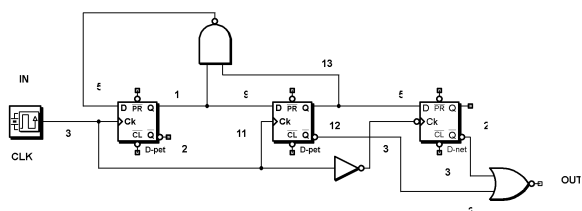


Figura 4: Circuito divisore per 3 + simmetrizzatore.

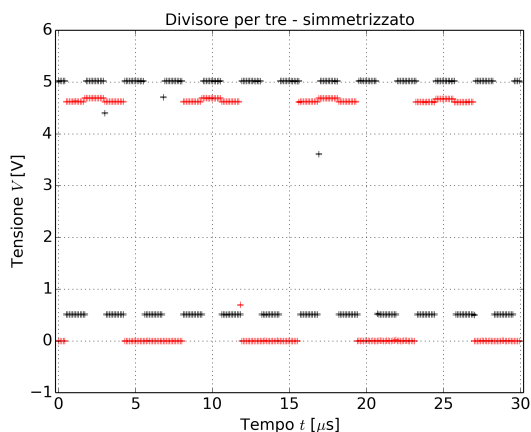


Figura 5: Divisore per 3 simmetrizzato - senza linea

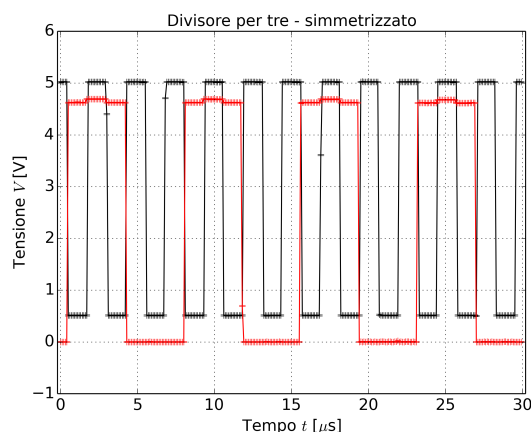


Figura 6: Divisore per tre simmetrizzato - con linea

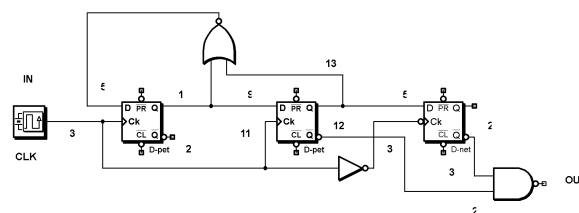


Figura 7: Divisore per tre + simmetrizzatore NAND

Verifichiamo adesso, montando il simmetrizzatore in sequenza al divisore per tre, il corretto funzionamento del circuito (Figura (4)). La fase di montaggio è stata particolarmente ostica, a causa dell'elevato numero di connessioni fra i diversi pin dei componenti. In particolare, nella fase di debug, abbiamo incontrato difficoltà nel capire un malfunzionamento del circuito, che alla fine (inspiegabilmente) si è risolto da solo: durante i primi tentativi sembrava che l'alimentazione dei componenti (dalla CB14) fosse data in alternata e non in continua. Ad ogni modo, dopo aver sistemato il circuito, il risultato del campionamento dell'ingresso e dell'uscita è mostrato nelle Figure (5, 6). La frequenza di acquisizione è stata di 100kS/s, per una durata complessiva di 0.003s.

A. Hw. 5

Un modo per costruire un simmetrizzatore con porta NAND per un divisore per tre, consiste nell'impiegare la variante NOR di tale divisore, e sostituire il NOR con un NAND nel simmetrizzatore. Si può vedere lo schema in Figura (7). Invece, la tavola di verità è la seguente:

CLK	Q2=D	¬CLK	Q	Q(CLK)	¬Q	¬Q2	NAND(¬Q2, ¬Q1)
1	0	0	-	1	-	1	-
0	0	1	0	1	1	1	0
1	0	0	0	1	1	1	0
0	0	1	0	1	1	1	0
1	1	0	0	0	1	0	1
0	1	1	1	0	0	0	1
1	0	0	1	1	0	1	1
0	0	1	0	1	1	1	0

RIFERIMENTI BIBLIOGRAFICI

- [1] Product data sheet: Dual Type D Flip-Flop MC14013B. <http://onsemi.com>
- [2] Paul Horowitz, Winfield Hill - The Art of Electronics. Cambridge University Press (1989).