

# Tecnologie Digitali - Logbook Week 10

Salvatore Bottaro<sup>1</sup> and Lorenzo M. Perrone<sup>2</sup>

<sup>1</sup>salvo.bottaro@hotmail.it

<sup>2</sup>lorenzo.perrone.lmp@gmail.com

**Sommario**—Logbook di laboratorio di Tecnologie Digitali, a.a. 2015/2016. Week 10.

## I. REGISTRI E CIRCUITI LOGICI SEQUENZIALI

Un circuito logico sequenziale è un tipo di circuito logico in cui l'uscita non dipende solo dai valori degli ingressi ma anche dalla storia del circuito stesso. Pertanto essi devono essere costituiti da una parte che svolga la funzione di memoria, il circuito logico che svolga le operazioni, un segnale di *clock* che funga da riferimento temporale.

Un registro o *latch* è un dispositivo che svolge il ruolo di memoria. Il tipo più semplice è quello di tipo **SR**, ovvero **SET-RESET**, in figura 1.

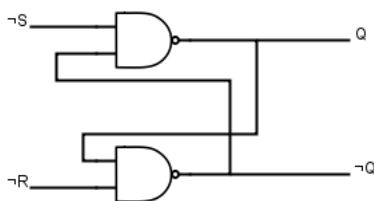


Figura 1: Schema di un registro SR.

A. Hm. 1

In tabella I è data la tavola di verità del registro SR. Come si vede solo quando entrambi gli ingressi sono veri le uscite non cambiano. Negli altri casi le uscite sono modificate indipendentemente dal loro valore iniziale.

Tabella I: Tavola di verità del registro SR.

$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$
T	T	Q	$\bar{Q}$
T	F	F	T
F	T	T	F
F	F	T	T

Per ovviare a questo si introduce un clock che funga da segnale di controllo, come in figura 2.

In tabella II è data la tavola di verità del latch di tipo D, prendendo come uscite gli ingressi del registro SR. Come si vede quando il clock è falso, gli ingressi del registro sono entrambi veri e le uscite sono conservate, quando il clock è vero, allora le uscite sono modificate. Pertanto per memorizzare le uscite basta tenere il clock sullo stato di falso.

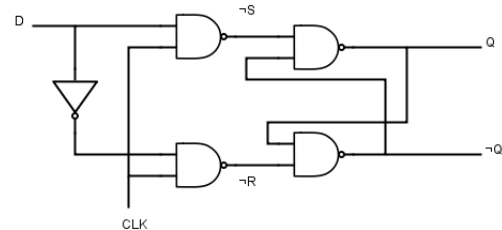


Figura 2: Registro SR con clock.

Tabella II: Tavola di verità latch di tipo D.

D	CLK	$\bar{R}$	$\bar{S}$
T	T	F	T
T	F	T	T
F	T	T	F
F	F	T	T

Quando il clock abilita il trasferimento del segnale di uscita (quindi quando è nello stato vero), lo stato dell'ingresso D può cambiare più volte, generando un'uscita imprevedibile.

I registri *edge-triggered flip-flop* ovviano a questo problema consentendo le modifiche delle uscite solo nella fase di cambiamento dello stato del clock, quindi durante le fasi di salita o discesa del segnale. Il flip-flop impiegato in laboratorio è il 14013 della famiglia CMOS, dotati di due flip-flop edge-triggered. In figura 3 vi è la disposizione dei pin, mentre in figura 4 la funzione dei vari pin.

### PIN ASSIGNMENT

Q <sub>A</sub>	1	14	V <sub>DD</sub>
Q <sub>A</sub>	2	13	Q <sub>B</sub>
C <sub>A</sub>	3	12	$\bar{Q}_B$
R <sub>A</sub>	4	11	C <sub>B</sub>
D <sub>A</sub>	5	10	R <sub>B</sub>
S <sub>A</sub>	6	9	D <sub>B</sub>
V <sub>SS</sub>	7	8	S <sub>B</sub>

Figura 3: Disposizione dei pin nel 14013

I tempi di risposta con i pin di S e R a terra (corrispondente alle modalità di lavoro in laboratorio) sono riassunti in figura 5.

Nelle tabelle III e IV sono riassunti i valori di alcune grandezze caratteristiche rilevanti del 14013.

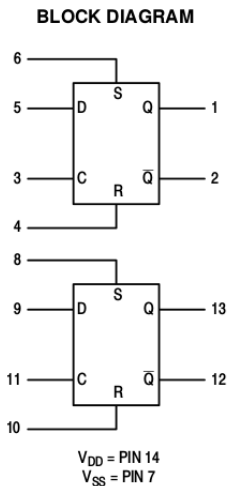


Figura 4: Definizione dei pin.

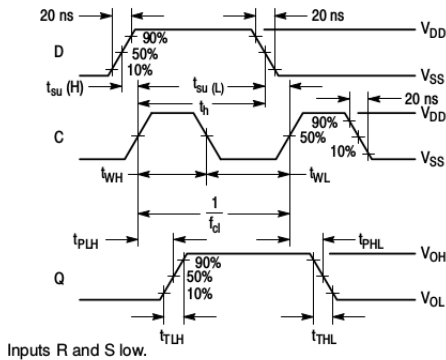


Figure 1. Dynamic Signal Waveforms (Data, Clock, and Output)

Figura 5: Tempi di risposta con R e S a terra.

Tabella III: Valori tipici del 14013.

Grandezza	Valore
Tensione di alimentazione	$V_{min} = -0.5V, V_{max} = 18V$
Input current	10 mA
Consumo massimo	500 mW

Tabella IV: Fasce di tensione del 14013

Grandezza	$V_{DD}$ (V)	Valore
$V_{OL}$	5	0.05 V
	10	0.05 V
	15	0.05 V
$V_{OH}$	5	4.95 V
	10	9.95 V
	15	14.95 V
$V_{IL}$	5	1.5 V
	10	3.0 V
	15	4.0 V
$V_{IH}$	5	3.5 V
	10	7.0 V
	15	11 V

B. Hm. 2

In figura 6 è mostrata la tavola di verità del 14013. Come si vede solo quando il segnale di clock decresce le uscite risultano conservate, negli altri casi dipende dal valore degli ingressi D, R, S (in particolare a noi interessano i casi R=S=0).

**TRUTH TABLE**

Inputs				Outputs	
Clock†	Data	Reset	Set	Q	Q̄
↗	0	0	0	0	1
↘	1	0	0	1	0
↘	X	0	0	Q	Q̄
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

X = Don't Care  
† = Level Change

Figura 6: Tavola di verità del 14013.

C. Hm. 3

Nel datasheet è indicata una possibile applicazione del 14013, della *n-stage shift register* in figura 7.

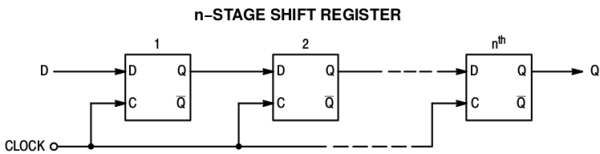


Figura 7: Schema dello shift register

Calcolando la tavola di verità si vede che il valore di Q coincide con quello di D iniziale, per cui la funzione di questo dispositivo potrebbe essere quello di spostare il valore di una variabile (in questo caso D) da una certa allocazione nella memoria ad un'altra distante n-1 passi.

II. CONTATORI

Una funzione degli edge-triggered flip-flop è quella di contatore asincrono, ovvero divisori di frequenza. In figura 8 è mostrato lo schema di un divisore per 2.

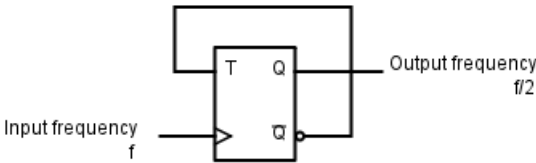


Figura 8: Schema di un divisore per 2.

Per calcolare la tavola di verità bisogna trasferire il valore di  $\overline{Q}$  nella colonna dei valori di D, dopodiché calcolare il nuovo valore di Q e  $\overline{Q}$  in base alla variazione del clock. Si ottiene così la tabella V in cui si vede come un periodo di Q (la sequenza 0011) contiene due periodi del clock, ovvero il

Tabella V: Tavola di verità del divisore per 2.

CLK	D	$\overline{Q}$	Q
X	X	0	1
↑	0	1	0
↓	1	1	0
↑	1	0	1
↓	0	0	1
↑	0	1	0

segnale in uscita ha una frequenza pari a metà di quella del clock.

Abbiamo verificato il funzionamento del divisore realizzando sulla breadboard lo schema 8 e collegato all'uscita il tester digitale. Il segnale di clock è stato prodotto tramite il VI `Digital_out4` ed effettivamente abbiamo ritrovato la tavola di verità prevista.

Successivamente abbiamo impiegato un generatore di segnale come segnale di clock, impostando una frequenza di circa 25 kHz. Tramite il VI `Contatore_freq` abbiamo verificato la stabilità in frequenza del segnale. In tabella VI sono riassunti i risultati dell'istogramma fornito dal VI, su 500 campionamenti effettuati.

Tabella VI: Campionamento in frequenza del segnale emesso dal generatore.

Frequenza (kHz)	n
25.708	17
25.738	438
25.771	45

La frequenza rilevata risulta essere 25.740(11) kHz, effettuando diverse prove non abbiamo notato variazioni significative nella frequenza rilevata, con differenze dell'ordine dei 10-20 Hz. Abbiamo inoltre verificato che la misura del periodo del segnale effettuata dal VI corrispondesse all'inverso della frequenza misurata.

Abbiamo quindi collegato l'uscita del divisore alla scheda e avviato l'acquisizione. I risultati sono riassunti in tabella VII. Risulta evidente che la frequenza in uscita è metà di quella in ingresso e che quindi il comportamento del dispositivo è ben verificato in questa modalità.

Tabella VII: Campionamento in frequenza del segnale in uscita dal divisore.

Frequenza (kHz)	n
12.878	345
12.886	155

Collegando in serie più divisori per 2 è possibile costruire dei divisori per  $2^n$ , come si può ricavare dal datasheet. In figura 9 lo schema del divisore per  $2^n$  ricavabile dal datasheet.

Abbiamo realizzato nello specifico un divisore per 4, quindi lo schema in figura 10.

In tabella VIII è mostrata la tavola di verità del divisore per 4. Come si vede il periodo dell'uscita  $Q_2$  è 4 volte il periodo del clock, per cui la frequenza del segnale in uscita ha frequenza pari a  $\frac{1}{4}$  della frequenza di ingresso.

Impiegando come segnale di clock il segnale a 25 kHz del generatore, tramite il VI `Contatore_freq` abbiamo

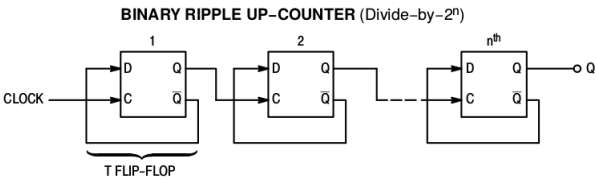


Figura 9: Schema di un divisore per  $2^n$ .

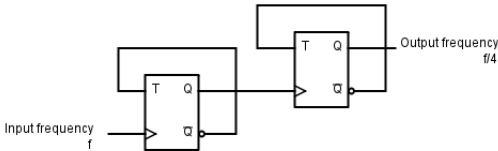


Figura 10: Schema del divisore per 4.

ottenuto i risultati di tabella IX, da cui si evince che la frequenza di uscita è pari a  $\frac{1}{4}$  la frequenza di ingresso.

Tabella VIII: Tavola di verità del divisore per 4.

CLK1	D1	$\overline{Q1}$	Q1	CLK2	D2	$\overline{Q2}$	Q2
X	X	0	1	X	X	0	1
↑	0	1	0	↓	0	0	1
↓	1	1	0	-	0	0	1
↑	1	0	1	↑	0	1	0
↓	0	0	1	-	1	1	0
↑	0	1	0	↓	1	1	0
↓	1	1	0	-	1	1	0
↑	1	0	1	↑	1	0	01
↓	0	0	1	-	0	0	1

Tabella IX: Campionamento in frequenza del segnale in uscita dal divisore.

Frequenza (kHz)	n
6.444	498
6.506	2