

Phantom Base

用户手册 V1.3

九日春工作室

SHOP358099192.TAOBAO.COM



版本记录

版本	日期	描述
V1.0	2020-07-11	First release
V1.1	2020-08-04	添加配置拨码部分 note
V1.2	2022-01-27	新版本 C3 硬件修改
V1.3	2024-01-11	新版本 D3 硬件修改

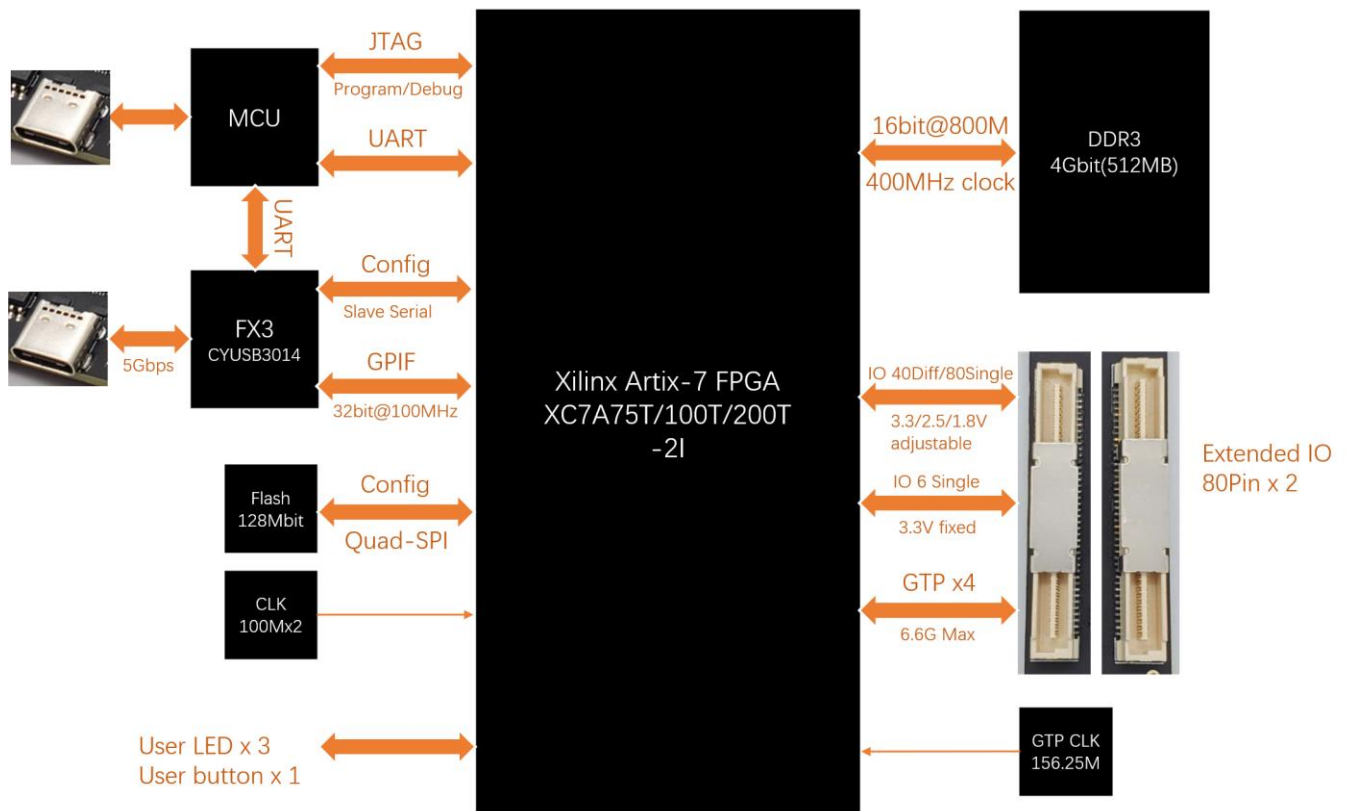
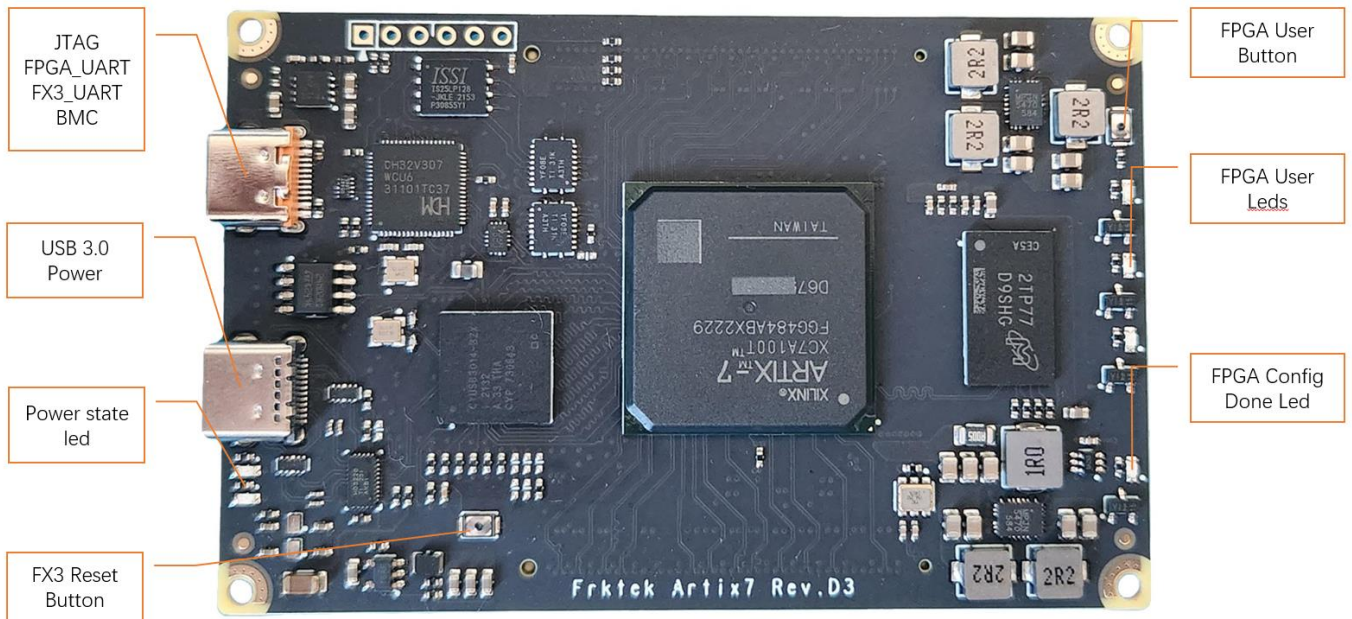
概述

该 FPGA Base Board 使用 Xilinx 28nm Artix-7 系列 FPGA 芯片，设计紧凑精巧，只有普通信用卡大小，但集成了高速大容量的 DDR3 存储；使用 Type-c 接口的 USB3.1 Gen1 (5Gbps) 高速易用的通信接口与 PC 实现数据交互，同时为板子供电；同时一个 micro-usb 接口同时支持一路 FPGA JTAG 调试接口和一组慢速外设接口 (UART/SPI/I2C/GPIO)；使用优质板对板连接器提供扩展接口，差分布线，3.3V/2.5V/1.8V 电平可调满足各种外设需求，同时还有 4 路 GTP 高速串行接口。



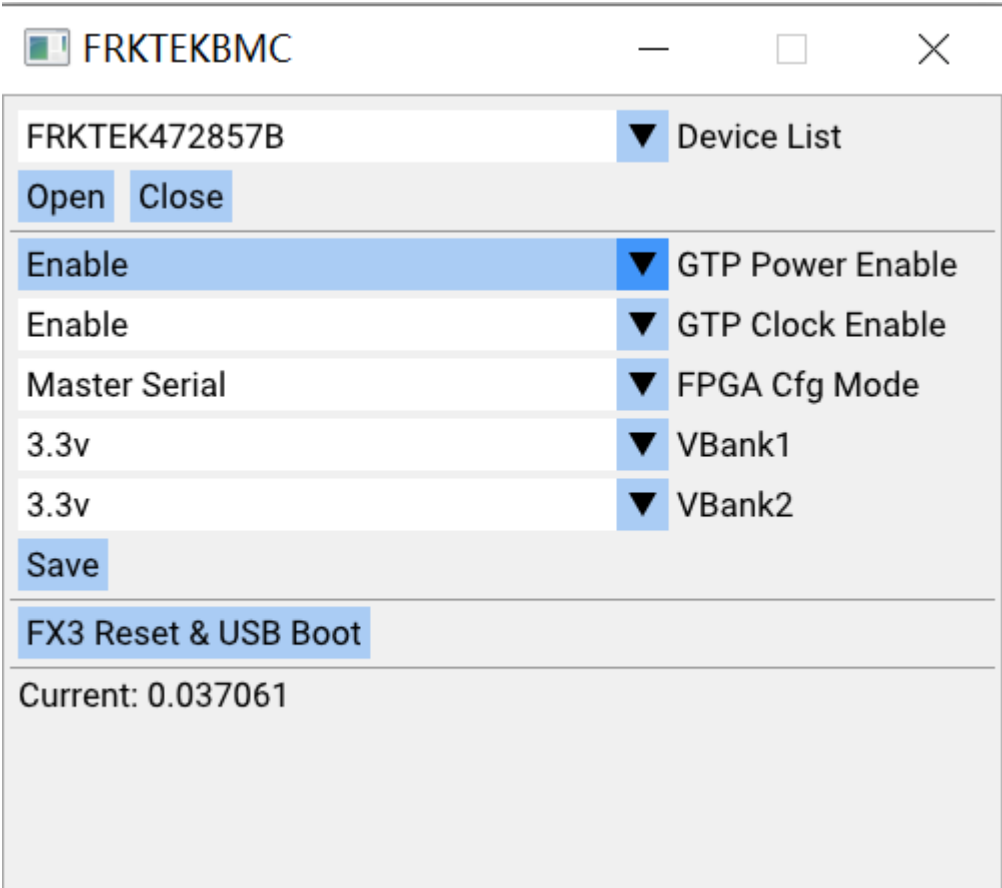
- Xilinx Artix-7 FPGA XC7A100T-2FGG484I
 - ✓ 33,280/52,160/101,440 Logic Cells
 - ✓ 1,800Kb/2,700Kb/4,860Kb Block RAM
 - ✓ 90/120/240 DSP Slices
 - ✓ PCIe Gen2 support
 - ✓ 4 * 6.6Gb/s GTP Transceivers
- 系统特性
 - ✓ 镁光 4Gb (512MB) DDR3 16-bit 总线宽度@800MHz (400MHz 时钟频率)
 - ✓ 128Mb (16MB) Quad-SPI Flash
 - ✓ USB 3.1 Gen1 5Gbps Type-c 接口，实现高速数据通信并为板子供电，支持正反插。FPGA 接口为 GPIF 32bit 最高 100MHz 总线接口，提供最大 400MB/s 带宽
 - ✓ USB2.0 Type-C 接口同时实现一路 JTAG 和两路串口，JTAG 用于 FPGA 的调试和下载，一路串口用于 PC 与 FPGA 的串行通信，另一路串口用于接收 FX3 的 debug log，同时集成 BMC 功能用于配置 IO 电平/GTP 电源使能/Configure Mode 选择等
 - ✓ 3 个 LED 指示灯和一个 configure done 指示灯，一个 user key
- 扩展接口
 - ✓ 两路 80pin 优质板对板连接器用于连接各种扩展板，稳固易插拔

- ✓ 40 对差分对/80 个单端，支持可调 3.3v/2.5v/1.8v 电平
- ✓ 6 个单端 3.3v IO 接口
- ✓ 4 组 GTP 高速串行接口，板载 156.25MHz 差分时钟，一个参考时钟输入
- 结构尺寸
 - ✓ 85mm * 55mm 标准信用卡大小



硬件配置（BMC）

系统板卡使用 BMC 软件配置和控制，软件界面如下图所示



配置部分，打开设别后显示当前硬件的配置，修改配置后点击 save 保存，板子重新上电生效

编号	功能
GTP Power Enable	GTP 电源使能（Save 后板子重新上电生效） Enable – 打开 GTP 的 1.2v、1.0v 供电 Disable – 关闭 GTP 的 1.2v、1.0v 供电
GTP Clock Enable	板载 GTP 156.25MHz 差分时钟使能（Save 后板子重新上电生效）
FPGA Cfg Mode	FPGA 配置模式选择（Save 后板子重新上电生效） Master Serial – 从板载 SPI Flash 加载 FPGA 配置 Slave Serial – 由 FX3 配置 FPGA
VBank1	Bank1 电源选择（1.8v/2.5v/3.3v）（Save 后板子重新上电生效）
VBank2	Bank2 电源选择（1.8v/2.5v/3.3v）（Save 后板子重新上电生效）

FX3 Reset & USB Boot 按钮用于重新烧写 FX3 IIC rom，点击后在 Control Center 软件（在 FX3 SDK 中）中会显示 FX3 bootloader device，这时即可通过 Control Center 软件加载新的固件

Current，显示的是 FPGA core 1.0v 电源的电流，反映的是 FPGA 逻辑的耗电情况

电源

该板卡使用 USB3.0 Type-C 接口供电，BMC Type-C 接口不供电。整个板卡使用高集成度的模块电源设计，具有过流保护，严格控制控制上电顺序保证系统稳定运行。

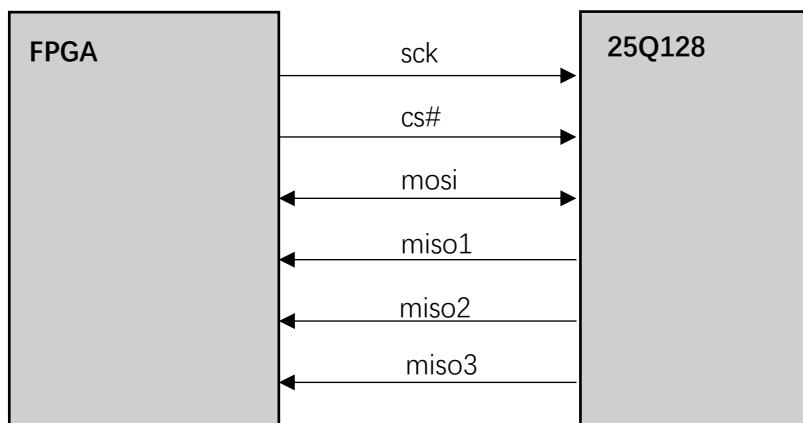
板卡 FPGA core 电源具有 6A 供电能力，各个 IO 电源均有 3A 电流能力。USB3.0 TYPE-C 接口支持 PD，更具使用的线材和 Host 的不同支持 800mA、3A、5A 的供电能力。

USB3.0 TYPE-C 供电加入了防反向电流的功能，所以板卡也可以通过扩展 IO 的 VBUS 提供 5V 电源为板卡供电，不影响 TYPE-C 接口的使用。

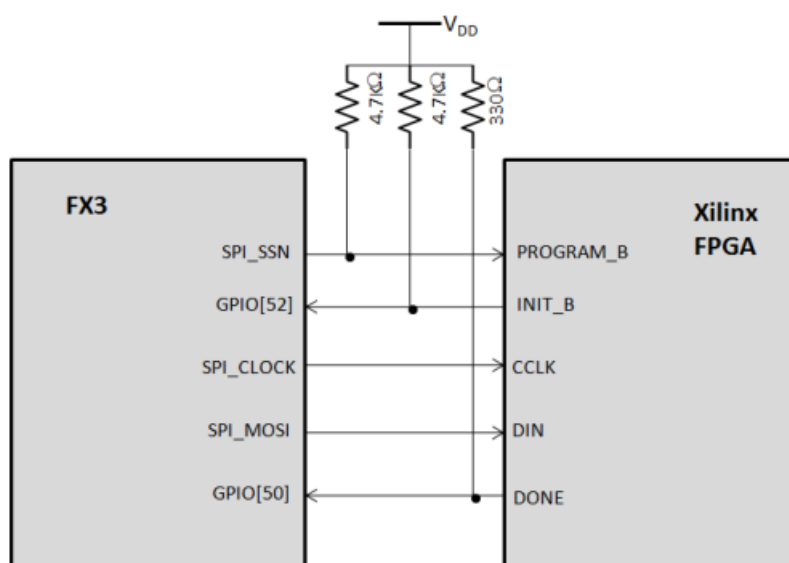
FPGA 配置模式

该板卡支持两种配置方式，通过板载 128Mbit Flash 实现上电自动配置，或通过 USB3.0 接口实现在系统实时配置。可通过 BMC 软件配置。

使用板载 Flash 配置时，FPGA 使用 Master SPI Configuration Mode。最高支持 33MHz，x4 data bus。Flash 型号为 IS25LP128。



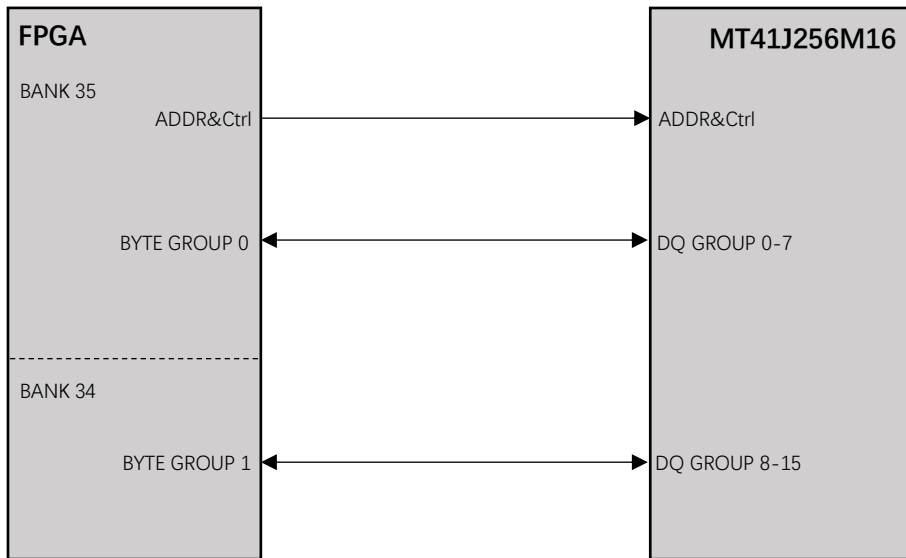
使用 USB3.0 接口配置时，FPGA 使用 Slave Serial Configuration Mode。可以参考 FX3 官方的 AN84868。



DDR3

该板卡板载一颗 4Gbit (512MB) 的 DDR3 芯片，型号为 MT41K256M16TW-107 IT:P, 256x16bit 1.35v DDR3L 镁光颗粒。最高可工作在 800MT/s (400MHz clock) @ 16bit。

DDR3 接口使用 FPGA bank 35 and bank 34。如下图所示。

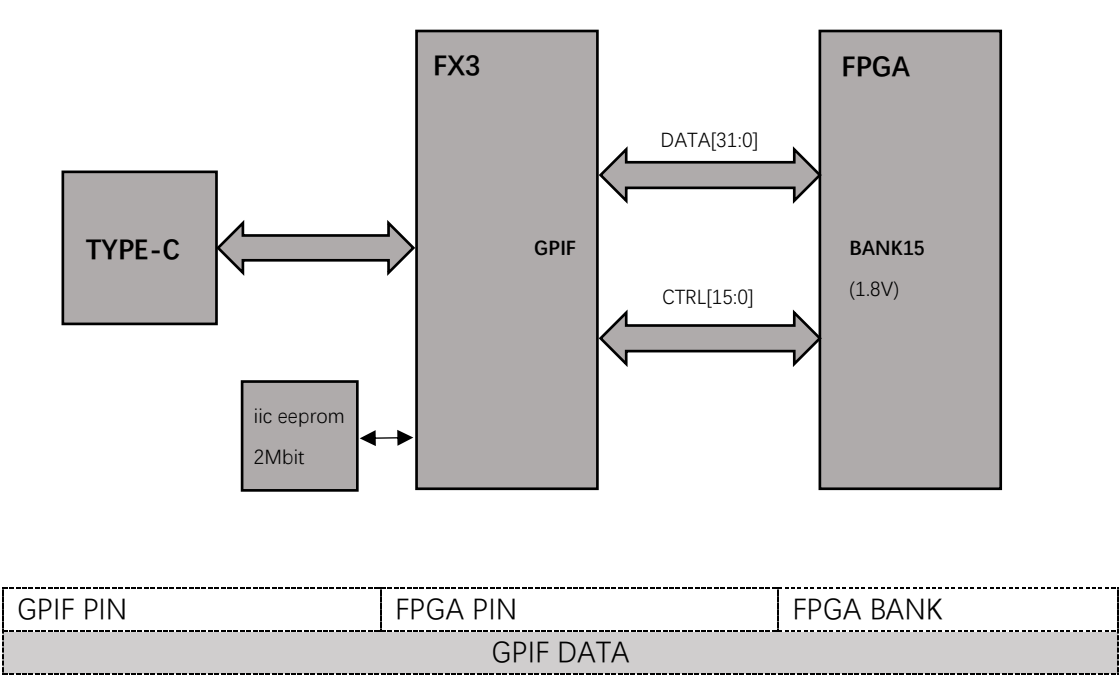


Address & Control		
DDR3_RESET	F4	BANK35
DDR3_A0	G1	BANK35
DDR3_A1	F3	BANK35
DDR3_A2	J1	BANK35
DDR3_A3	H4	BANK35
DDR3_A4	D2	BANK35
DDR3_A5	E2	BANK35
DDR3_A6	B1	BANK35
DDR3_A7	F1	BANK35
DDR3_A8	A1	BANK35
DDR3_A9	E3	BANK35
DDR3_A10	G4	BANK35
DDR3_A11	C2	BANK35
DDR3_A12	H2	BANK35
DDR3_A13	G2	BANK35
DDR3_A14	B2	BANK35
DDR3_BA0	G3	BANK35
DDR3_BA1	J2	BANK35
DDR3_BA2	H3	BANK35
DDR3_CAS_B	J5	BANK35
DDR3_RAS_B	H5	BANK35
DDR3_WE_B	K2	BANK35
DDR3_CKE	K1	BANK35
DDR3_CLK_P	E1	BANK35
DDR3_CLK_N	D1	BANK35
DDR3_ODT	K3	BANK35
Byte Group 0		
DDR3_LDQS_P	P5	BANK35 T3
DDR3_LDQS_N	P4	BANK35 T3

DDR3_DQ0	P2	BANK35 T3
DDR3_DQ1	N4	BANK35 T3
DDR3_DQ2	P1	BANK35 T3
DDR3_DQ3	M5	BANK35 T3
DDR3_DQ4	N2	BANK35 T3
DDR3_DQ5	M6	BANK35 T3
DDR3_DQ6	P6	BANK35 T3
DDR3_DQ7	N5	BANK35 T3
DDR3_LDM	R1	BANK35 T3
Byte Group 1		
DDR3_UDQS_P	R3	BANK34 T0
DDR3_UDQS_N	R2	BANK34 T0
DDR3_DQ8	T1	BANK34 T0
DDR3_DQ9	U1	BANK34 T0
DDR3_DQ10	Y2	BANK34 T0
DDR3_DQ11	U2	BANK34 T0
DDR3_DQ12	W2	BANK34 T0
DDR3_DQ13	V2	BANK34 T0
DDR3_DQ14	Y1	BANK34 T0
DDR3_DQ15	W1	BANK34 T0
DDR3_UDM	U3	BANK34 T0

TYPE-C 高速接口

TYPE-C 高速接口使用 Cypress 公司的 CYUSB3014 Super Speed USB 控制器，支持 USB3.1 Gen1 5Gbps，向下兼容 USB2.0。灵活的 GPIF 接口高达 100MHz 可以实现和 FPGA 的高速数据交换，本开发板使用 32bit 数据位宽，提供最高 400MB/s 的数据速率。

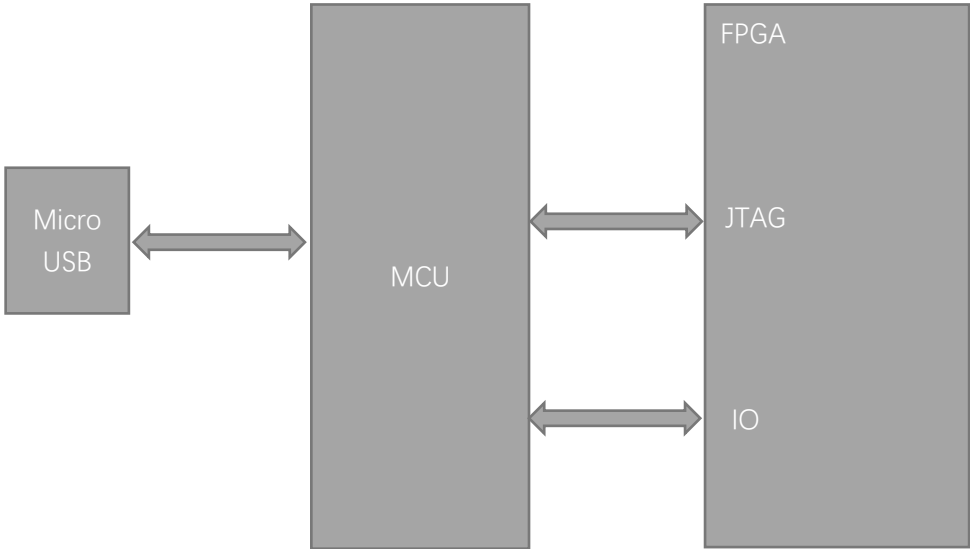


GPIF_DQ0	M20	BANK 15
GPIF_DQ1	N22	BANK 15
GPIF_DQ2	M22	BANK 15
GPIF_DQ3	L19	BANK 15
GPIF_DQ4	L21	BANK 15
GPIF_DQ5	M21	BANK 15
GPIF_DQ6	M18	BANK 15
GPIF_DQ7	N18	BANK 15
GPIF_DQ8	L15	BANK 15
GPIF_DQ9	L16	BANK 15
GPIF_DQ10	M17	BANK 15
GPIF_DQ11	M13	BANK 15
GPIF_DQ12	M15	BANK 15
GPIF_DQ13	L13	BANK 15
GPIF_DQ14	L18	BANK 15
GPIF_DQ15	L20	BANK 15
GPIF_DQ16	H17	BANK 15
GPIF_DQ17	H14	BANK 15
GPIF_DQ18	K21	BANK 15
GPIF_DQ19	H18	BANK 15
GPIF_DQ20	G13	BANK 15
GPIF_DQ21	J21	BANK 15
GPIF_DQ22	G16	BANK 15
GPIF_DQ23	G15	BANK 15
GPIF_DQ24	K18	BANK 15
GPIF_DQ25	G18	BANK 15
GPIF_DQ26	G17	BANK 15
GPIF_DQ27	J22	BANK 15
GPIF_DQ28	K19	BANK 15
GPIF_DQ29	G20	BANK 15
GPIF_DQ30	H22	BANK 15
GPIF_DQ31	H20	BANK 15
GPIF CTRL		
GPIF_CTL0	L14	BANK 15
GPIF_CTL1	K16	BANK 15
GPIF_CTL2	K17	BANK 15
GPIF_CTL3	N20	BANK 15
GPIF_CTL4	K22	BANK 15
GPIF_CTL5	K14	BANK 15
GPIF_CTL6	J17	BANK 15
GPIF_CTL7	N19	BANK 15
GPIF_CTL8	J16	BANK 15
GPIF_CTL9	J15	BANK 15
GPIF_CTL10	H15	BANK 15
GPIF_CTL11	J14	BANK 15
GPIF_CTL12	H13	BANK 15
GPIF_CTL15	K13	BANK 15

FX3_GPIO45	J20	BANK 15
GPIF CLOCK		
GPIF_PCLK	J19	BANK 15

USB2.0 JTAG&UART

板卡板载了 JTAG 调试器和串口，通过一个 Type-C 接口连接电脑使用，这个接口不能为板卡供电。**注意串口只支持 115200 波特率（8n1）。**



name	Pin loc	IO Standard
UART_RX(for FPGA view)	AB16	LVC MOS33
UART_TX(for FPGA view)	AB10	LVC MOS33

```
set_property IOSTANDARD LVCMOS33 [get_ports uart_rxd]
set_property IOSTANDARD LVCMOS33 [get_ports uart_txd]
set_property PACKAGE_PIN AB10 [get_ports uart_txd]
set_property PACKAGE_PIN AB16 [get_ports uart_rxd]
```

LED&Key

name	Pin loc	IO Standard
Led0 (Active High)	AA1	SSTL135
Led1 (Active High)	AA5	SSTL135
Led2 (Active High)	AA6	SSTL135
Key (Active High)	AA14	LVCMOS33

扩展接口



P1								P2							
		VBUS	2	1	VBANK1				L20P	C22	2	1	D22	L22N	
		VBUS	4	3	VBANK1				L20N	B22	4	3	E22	L22P	
		VBUS	6	5	VBANK1				L21P	B21	6	5	D20	L19P	
		VBUS	8	7	VBANK1				L21N	A21	8	7	C20	L19N	
		VBUS	10	9	VBANK1					GND	10	9	GND		
		VBUS	12	11	VBANK1				L16P	B20	12	11	F20	L18N	
		VBUS	14	13	PWRGD				L16N	A20	14	13	F19	L18P	
	MCU	TWCK	16	15	SUS3.3V				L17N	A19	16	15	F18	L15P	
	MCU	TWD	18	17	SUS3.3V				L17P	A18	18	17	E18	L15N	
		GND	20	19	GND					GND	20	19	GND		
		GND	22	21	GND				L5P	E16	22	21	D15	L6N	
SRCC	L11P	U20	24	23	T21	L4P			L5N	D16	24	23	D14	L6P	
SRCC	L11N	V20	26	25	U21	L4N			L1N	F14	26	25	E17	L2N	
	L5P	P19	28	27	W22	L7N			L1P	F13	28	27	F16	L2P	
	L5N	R19	30	29	W21	L7P				GND	30	29	GND		
		GND	32	31	GND			SRCC	L11N	B18	32	31	C19	L13N	MRCC
	L20N	T18	34	33	Y22	L9N		SRCC	L11P	B17	34	33	C18	L13P	MRCC
	L20P	R18	36	35	Y21	L9P			L7N	B16	36	35	D19	L14N	SRCC
MRCC	L12N	W20	38	37	AB22	L10N			L7P	B15	38	37	E19	L14P	SRCC
MRCC	L12P	W19	40	39	AB21	L10P				GND	40	39	GND		
		GND	42	41	GND				L9N	A16	42	41	C15	L3N	
SRCC	L14N	V19	44	43	AA21	L8N			L9P	A15	44	43	C14	L3P	

SRCC	L14P	V18	46	45	AA20	L8P			L10N	A14	46	45	E14	L4N	
	L18N	U18	48	47	AB20	L15N			L10P	A13	48	47	E13	L4P	
	L18P	U17	50	49	AA19	L15P				GND	50	49	GND		
		GND	52	51	GND					MGTPRXN2	52	51		VBANK2	
	L21N	P17	54	53	R17	L24N				MGTPRXP2	54	53		VBANK2	
	L21P	N17	56	55	P16	L24P				GND	56	55	GND		
	L22N	R16	58	57	Y19	L13N	MRCC			MGTPRXN0	58	57		MGTPRXN1	
	L22P	P15	60	59	Y18	L13P	MRCC			MGTPRXP0	60	59		MGTPRXP1	
		GND	62	61	GND					GND	62	61	GND		
	L19P	P14	64	63	AB18	L17N				MGTPTXN2	64	63		MGTPTXN3	
	L19N	R14	66	65	AA18	L17P				MGTPTXP2	66	65		MGTPTXP3	
	L23N	N14	68	67	W17	L16N				GND	68	67	GND		
	L23P	N13	70	69	V17	L16P				MGTPTXP3	70	69		MGTPREFCLK0P	
		GND	72	71	GND					MGTPTXN3	72	71		MGTPREFCLK0N	
		GND	74	73	GND					GND	74	73	GND		
		Y11	76	75	AA11					MGTPTXN0	76	75		MGTPTXP1	
		W10	78	77	AA10					MGTPTXP0	78	77		MGTPTXN1	
		V10	80	79	AA9					GND	80	79	GND		

VBUS	USB 的 5v 电源，当子板不想用外部供电时可以使用 VBUS 为子板供电，需要注意总的电流不能超过 3A（包括 FPGA 板）。VBUS 也可以为 FPGA 板供电，USB 的输入处有防反向电流设计，电流不会反向冲击 PC 端。但子板 VBUS 可能会出现反向电流，需要注意；
VBANK1/IO	VBANK1 power domain, VBANK1 是电压的输出，根据设置不同可能是 1.8v/2.5v/3.3v，具有接近 3A 的电流能力，可为子板电路供电。相同颜色标记的 IO 的 BANK 电压为 VBANK1
VBANK2/IO	VBANK2 power domain, VBANK2 是电压的输出，根据设置不同可能是 1.8v/2.5v/3.3v，具有接近 3A 的电流能力，可为子板电路供电。相同颜色标记的 IO 的 BANK 电压为 VBANK2
IO	这些是电压固定 3.3v 的单端 IO
SUS3.3V	3.3V 的 always on 供电
PWRGD	板上上电完成指示，高电平有效，10K 下拉
MCU IIC	可以在子板上连接 IIC ROM 存储配置信息（VBANK 电压、配置模式等），上电时会先尝试读取子板配置。

关于扩展板设计要点

- VBUS 是 USB 的 5v 电源，当子板不想用外部供电时可以使用 VBUS 为子板供电，需要注意总的电流不能超过 3A（包括 FPGA 板）。VBUS 也可以为 FPGA 板供电，USB 的输入处有防反向电流设计，电流不会反向冲击 PC 端。但子板 VBUS 可能会出现反向电流，需要注意；
- VBANK 是 BANK 电压的输出，根据设置不同可能是 1.8v/2.5v/3.3v，具有接近 3A 的电流能力，可为子板供电；
- 差分对在 FPGA 板上并未做等长设计，需要控制 delay 可以参考 pin delay 文档，将 FPGA 板上的 pin delay 计算进去；

注意上电顺序：

VBUS->SUS3.3V->VBANK1/VBANK2->PWRGD

若子板和 FPGA 板相连的电路使用单独的供电，需要在 PWRGD 有效后再上电，否则可能会影响 FPGA 的上电时序造成一些不可预期的行为。

机械结构

