

Implémentation sur circuit FPGA d'une chaîne de communication numérique pour la norme DVB-S

Camille Leroux

Option SRT, Département Electronique, ENSEIRB-MATMECA.

1 Objectifs du projet

L'objectif du projet est d'implémenter, sur un circuit FPGA, une partie de la chaîne d'émission de la couche physique d'une chaîne de communications numériques spécifiée par le standard DVB-S. En partant d'une chaîne fonctionnelle sous matlab, l'objectif est d'effectuer un certain nombre de traitements sur le circuit FPGA.

La validation du système proposé se fera par une mesure de taux d'erreur binaire, mais aussi par la transmission d'une image. Il s'agira dans ce cas d'une évaluation qualitative de l'image reçue. L'originalité de ce projet se situe à plusieurs niveaux :

- La couche physique que vous allez simuler/implémenter est, d'un point de vue du détail des blocs à implémenter, similaire aux couches physiques des standards DVB-S (Télévision numérique par satellite),
- L'interaction entre la simulation Matlab et un FPGA qui permet de valider graduellement l'architecture numérique.

Les objectifs du projet sont les suivants :

- Faire migrer un modèle de simulation logiciel d'une chaîne de communication (écrit en Matlab) vers un modèle intégrant à la fois des éléments logiciels et matériels (description VHDL),
- Comprendre les contraintes de conceptions matérielles liées aux systèmes de communications numériques (cadence bit/symbole, séquençement, synchronisations de blocs, latence, etc.),
- Comprendre les contraintes de conceptions liées à la mise en œuvre de modèle de co-simulation : cohabitation d'éléments logiciels et matériels.

2 Présentation du projet

Le circuit FPGA utilisé est un Xilinx Artix-7 100T-CSG324 intégré sur une carte de Digilent, la Nexys 4. La partie codage de canal de l'émetteur qui doit être implémentée sur FPGA contient les blocs suivants :

- Un scrambleur,
- un codeur Reed-Solomon (RS),
- un entrelaceur convolutif,
- un codeur convolutif.

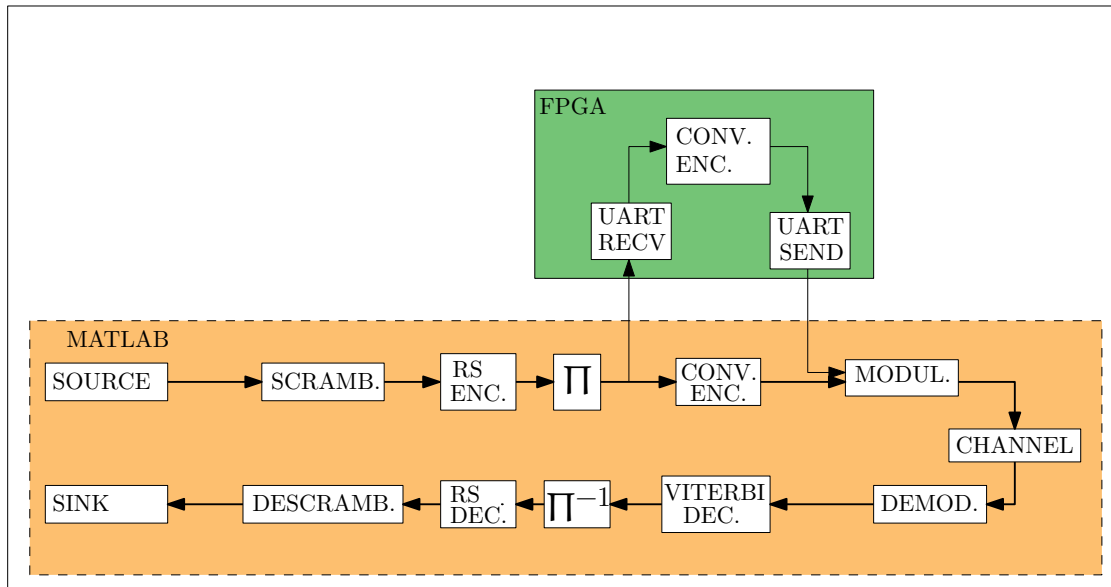


FIGURE 1 – Co-simulation Matlab / FPGA d’une partie du transmitter

Le point de départ du projet est un ensemble de scripts Matlab simulant la chaîne d’émission et de réception DVB-S.

Avant de commencer à décrire les blocs matériels, il est nécessaire de bien comprendre le flot de conception que nous allons utiliser. La Figure 1 représente la chaîne simplifiée. On remarque sur ce schéma que le codeur convolutif est décrit dans la chaîne Matlab mais qu’il est également implémenté sur le FPGA. La communication entre Matlab et la carte FPGA se fait via un module UART. Ce principe de co-simulation vous permettra de vérifier le fonctionnement de chaque bloc. L’objectif final étant d’avoir une chaîne fonctionnelle avec les 4 blocs du codage de canal sur le FPGA.

2.1 Simulateur Matlab

Les scripts Matlab fournis simulent la transmission d’un message sur un canal Gaussien en utilisant une QPSK. Il simule la transmission d’une image à différent niveaux de SNR.

1. Ouvrez le script `main.m`
2. Lancez une simulation et observez la courbe de taux d’erreur qui se trace
3. Dans le script identifiez la zone qui correspond au codage de canal

2.2 Simulation Matlab / VHDL

Une partie du script Matlab génère un fichier `message_source.txt` qui va nous servir à simuler le transmitter (grâce au testbench fourni) avant de le porter sur carte. La Figure 2 représente l’interaction entre le script Matlab et la simulation VHDL. Ce système de simulation permet d’émuler l’UART. Le bloc `read_int_file` lit les données générées par Matlab et les fait suivre (à un rythme paramétrable) au transmitter que l’on souhaite tester. Ce dernier génère des sorties qui sont ensuite écrites dans un autre fichier texte utile pour comparer les sorties de la simulation

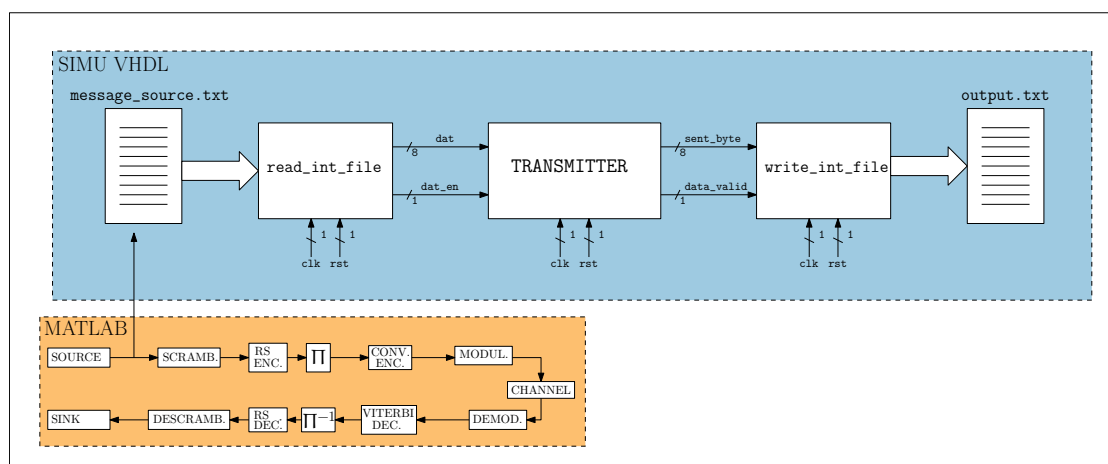


FIGURE 2 – Co-simulation Matlab / VHDL du transmitter

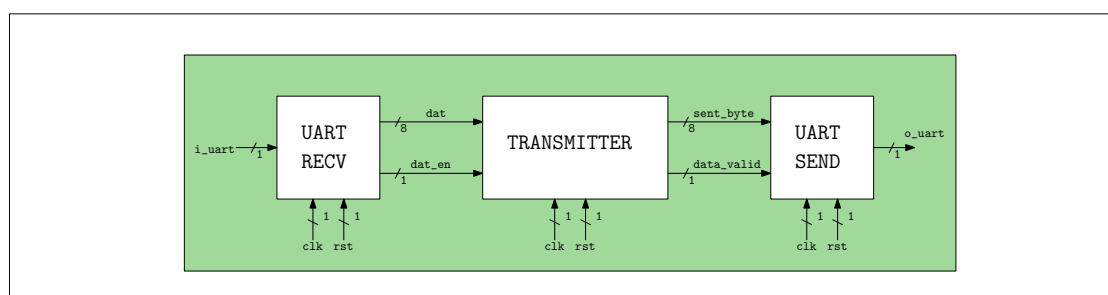


FIGURE 3 – Implantation du transmitter sur FPGA

VHDL et de Matlab. Il est également possible et conseillé d'observer les chronogrammes de la simulation VHDL pour vérifier que le transmitter fait bien ce qu'il est censé faire.

2.3 Implantation du transmitter sur FPGA

Une fois le transmitter validé en simulation, il faut l'implémenter sur la carte. Pour cela on utilise le top level `UART_loop` qui intègre le transmitter et les deux modules de communication UART comme indiqué sur la Figure 3

2.4 Mise en place d'un simple echo sur le FPGA

1. Ouvrez l'outil Vivado
2. Créez un nouveau projet
3. Ajoutez les fichiers sources VHDL fournis
4. Quel traitement est effectué dans le `transmitter.vhd` ?
5. Décrivez en VHDL un simple registre dans le transmitter
6. Simulez le comportement de votre système grâce au testbench fourni
7. Faites la synthèse et le placement routage de `UART_loop.vhd`
8. Tester l'écho sur la carte en envoyant les données à partir du fichier Matlab fourni.

2.5 Implémentation du codeur convolutif

1. Décrivez le codeur convolutif en VHDL à partir des informations de la norme
2. Ajouter cette descriptio VHDL au projet au projet Vivado.
3. Intégrer le codeur convolutif dans le transmitter.
4. Simulez le comportement du système dans Vivado.
5. Testez sur carte.

Procédez de manière identique pour les autres blocs de la chaine.

Contacts

— Camille Leroux - camille.leroux@ims-bordeaux.fr