四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020141460049 姓名：陈仲文 专业：计算机类 班级：行政四班 第 12 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 实现布尔表达式 | 实验时间 | 2020.11.16 |
| 实验目的 | 设计型实验：使用实验手册介绍的基本门电路 IP 核，利用 Vivado 设计一个组合逻辑电路，实现布尔表达式𝑌 = 𝐴𝐵 + 𝐴𝐶 + 𝐵′（化简后𝑌 = 𝐴 + 𝐵′）的逻辑功能 | | |
| 实验环境 | Vivado | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 1）创建实验工程。打开 Vivado ，选择 Create New Project，按顺序进行新工程创建。（选择RTL工程，使用的 Basys3 板卡上的 FPGA 芯片为 xc7a35tcpg236-1）  2）添加实验室提供的 IP 核。 实验手册中需要的 IP 目录为 Lab\_IP 及 74LSXX\_LIB，在Project Setting中选择正确的文件目录并添加IP核后确定即可。  3）画出实验原理图。在 Project Navigator 下的 IP Integrator 目录下，点击 Create Block Design，创建原理图，创建完成后手动添加需要的逻辑门，鼠标设置布线（移至 IP 引脚附近，鼠标图案变成铅笔状，此时进行拖拽。Vivado 会提醒用户可以与该引脚相 连的引脚或端口）和输入输出端并进行定义命名（右键单击端口选择Create Port,设置输入输出及其命名）。见图1.    图1：实验原理设计图  4）生成顶层文件。选择Source 界面并右击 design\_1，选择 Generate Output Products，在生成输出文件的界面中点击 Generate。生成完输出文件后，再次 右击 design\_1，选择 Create HDL Wrapper，创建 HDL 代码文件。在创建 HDL 文件的界面中，保持默认选项即可完成创建。  5）添加管脚约束。先在导航栏的 RTL Analysis 里选择打开 Elaborated Design，再将界面调整到 I/O PLANNING，最后在屏幕下方 I/O ports 窗口中将设计端口与 FPGA 引脚进行关联，本实验中简化的电路要求两个输入端口（A和B）和一个输出端口（Y），根据实验手册提供的对照表，设A为开关SW0(PIN=V17),B为开关SW1(PIN=V16),Y为二极管LD0(PIN=U16),此后Fixed 栏会自动勾选。将I/O std 栏均设为 LVCMOS33 即可，完成后保存。见图2.    图2：端口引脚关联结果  6）实现、生成 bit 流并下载到实验板综合验证。在导航栏的 Synthesis 里选择打开 Run synthesis。等待验证完成后选择 Run Implementation，进行工程实现，完成后再选择 Generate Bitstream，生成编译文件，当文件生成成功，即可插入电路板接通电源选择 Open Hardware Manager，打开硬件管理器，进行板级验证。  7）打开目标器件。点击 Open target。由于本次是计算机初次连接板卡，故选择 Open a New Hardware。在打开新硬件目标界面中，点击 Next 进行创建。选择 Local server，点击 Next，选择检测到的板卡并完成创建。  8）下载 bit 文件。 点击 Hardware Manager 上方提示语句中的 Program device。选择刚才插入的板卡。检查弹出框中所选中的 bit 文件，然后点击 Program 进行下载。进行板级验证。 | | |
| （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 实验结果如下，现场照片见图3.1至3.4。    图3.1：实验结果1    图3.2：实验结果2    图3.3：实验结果3    图3.4：实验结果4 | | |
| 实验结果分析 | 实验结果图片在上方列出，真值表如下。   |  |  |  | | --- | --- | --- | | 输入A | 输入B | 输出Y | | 0 | 0 | 1 | | 0 | 1 | 0 | | 1 | 0 | 1 | | 1 | 1 | 1 |   经过计算验证，上述真值表正确，符合题给表达式，设计与显示吻合，实验成功。 | | |
| 实验方案的缺陷及改进意见 | 1. 设置IP核时忘记解压文件导致找不到相应IP，解决方法是解压后再试。 2. 未及时插入板卡或板卡未开机导致设备连接失败，解决方法是将板卡开机后重新插入。 | | |
| 心得体会、问题讨论 | 1. 在操作时一定要极其谨慎，不要错误操作或者跳步。 2. 在设置引脚时必须将I/O Std 栏设置成LVCMOS33，否则会导致无法验证。 3. 板卡要轻拿轻放，小心触电，不能随意触摸。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |

实验报告说明

数字逻辑课程组

**实验名称** 列入实验指导书相应的实验题目。

**实验目的** 目的要明确，要抓住重点，可以从理论和实践两个方面考虑。可参考实验指导书的内容。在理论上，验证所学章节相关的真值表、逻辑表达式或逻辑图的实际应用，以使实验者获得深刻和系统的理解，在实践上，掌握使用软件平台及设计的技能技巧。一般需说明是验证型实验还是设计型实验，是创新型实验还是综合型实验。

**实验环境** 实验用的软硬件环境（配置）。

**实验内容（**含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏**）** 这是实验报告极其重要的内容。这部分要写明经过哪几个步骤。可画出流程图，再配以相应的文字说明，这样既可以节省许多文字说明，又能使实验报告简明扼要，清楚明白。

**实验结果分析** 数字逻辑的设计与实验结果的显示是否吻合，如出现异常，如何修正并得到正确的结果。

**实验方案的缺陷及改进意见** 在实验过程中发现的问题，个人对问题的改进意见。

**心得体会、问题讨论** 对本次实验的体会、思考和建议。