四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020141460049 姓名：陈仲文 专业：计算机类 班级：行政四班 第 14 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 设计译码器和编码器 | 实验时间 | 2020.11.30 |
| 实验目的 | 设计一个译码器（74LS138） | | |
| 实验环境 | Vivado | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 1. 在Vivado中创建一个新RTL工程，板卡名设为xc7a35tcpg236-1并添加通用IP核。 2. 考虑实验手册中的原理图（图1），认真观察并确定每个引脚的实际连接端口。由于本实验的布线极其复杂，引脚命名也不合常理，故这一步极其重要。     图1 实验原理图（提供：实验手册）  3. 点击Create Block Design，进入编辑模式，判断使用的逻辑门种类与个数，进行适当化简，设计逻辑门并布线，并定义命名端口。实际原理图见图2.端口对照表见表1.    图2 实际原理图   1. 选择工程名并右击后依次选定Generate Output Products和Create HDL Wrapper，生成顶层文件和HDL文件，等待编译完成。由于文件较大，逻辑门较多，电路复杂，等待时间会比较长，须耐心等待，千万不可在未完成时继续下一步。最后生成原理图，见图3.     图3 实验原理图（提供：Vivado）  5.点击I/O PLANNING进入管脚配置对输入输出进行配置，设置为LVCMOS33。图4和图5为配置结果，表1为PIN对照表。 | | |
| （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | 引脚名 | A0 | A1 | A2 | EN2B | EN2A | EN1 | Y0 | | PIN | V17 | V16 | W16 | W17 | W15 | V15 | U16 | | 引脚名 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | | PIN | E19 | U19 | V19 | W18 | U15 | U14 | V14 |   表1 PIN对照表      图4 图5 引脚配置结果  6. 打开Run synthesis，运行程序，在三个对话栏中依次选择Run Implementation, Generate Bitstream和Open Hardware Manager，打开硬件管理器，插入板卡，点击Open a New Hardware，选择Local severer，搜索板卡，成功后下载文件进行验证，验证结果见图6-图13.                  图6-图13 验证结果 | | |
| 实验结果分析 | 实验真值表如下（表2），对照实验手册提供的真值表发现，两个真值表的结果完全符合，实验成功。   |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 输入代号 | | A0 | | A1 | | A2 | | | G1 | | G2 | | G3 | | | 1 | | X | | X | | X | | | X | | 1 | | X | | | 2 | | X | | X | | X | | | X | | X | | 1 | | | 3 | | X | | X | | X | | | 0 | | X | | X | | | 4 | | 0 | | 0 | | 0 | | | 1 | | 0 | | 0 | | | 5 | | 1 | | 0 | | 0 | | | 1 | | 0 | | 0 | | | 6 | | 0 | | 1 | | 0 | | | 1 | | 0 | | 0 | | | 7 | | 1 | | 1 | | 0 | | | 1 | | 0 | | 0 | | | 8 | | 0 | | 0 | | 1 | | | 1 | | 0 | | 0 | | | 9 | | 1 | | 0 | | 1 | | | 1 | | 0 | | 0 | | | 10 | | 0 | | 1 | | 1 | | | 1 | | 0 | | 0 | | | 11 | | 1 | | 1 | | 1 | | | 1 | | 0 | | 0 | | | 输入代号 | Y0 | | Y1 | | Y2 | | Y3 | Y4 | | Y5 | | Y6 | | Y7 | | 1 | 1 | | 1 | | 1 | | 1 | 1 | | 1 | | 1 | | 1 | | 2 | 1 | | 1 | | 1 | | 1 | 1 | | 1 | | 1 | | 1 | | 3 | 1 | | 1 | | 1 | | 1 | 1 | | 1 | | 1 | | 1 | | 4 | 0 | | 1 | | 1 | | 1 | 1 | | 1 | | 1 | | 1 | | 5 | 1 | | 0 | | 1 | | 1 | 1 | | 1 | | 1 | | 1 | | 6 | 1 | | 1 | | 0 | | 1 | 1 | | 1 | | 1 | | 1 | | 7 | 1 | | 1 | | 1 | | 0 | 1 | | 1 | | 1 | | 1 | | 8 | 1 | | 1 | | 1 | | 1 | 0 | | 1 | | 1 | | 1 | | 9 | 1 | | 1 | | 1 | | 1 | 1 | | 0 | | 1 | | 1 | | 10 | 1 | | 1 | | 1 | | 1 | 1 | | 1 | | 0 | | 1 | | 11 | 1 | | 1 | | 1 | | 1 | 1 | | 1 | | 1 | | 0 |   表2 真值表 | | |
| 实验方案的缺陷及改进意见 | 1. 注意不同引脚的连线与配置即可。 2. 实验原理图太复杂，导致接线情况很难看出。 | | |
| 心得体会、问题讨论 | 1.由于本实验原理图非常复杂，图中的连线密密麻麻，故观察原理图的时候千万不要看花眼导致连线错误，否则改正将会极其麻烦。  2.在生成对应文件时一定要耐性等待进度条结束，如果在进度条未结束时就进行下一步将会导致无法预料的错误（报错），且修正错误也很困难，因为操作本身不存在错误，只是心急了而已。  3.在配置引脚的时候要注意，命名结果至关重要，如实验中EN2B接口在EN2A接口之前，但在Vivado平台进行配置时，EN2B却在EN2A之后，这里稍不注意就会出错，导致本应该配置到A的PIN错误配置到B，导致实验失败。  4.细心绘制真值表。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |

实验报告说明

数字逻辑课程组

**实验名称** 列入实验指导书相应的实验题目。

**实验目的** 目的要明确，要抓住重点，可以从理论和实践两个方面考虑。可参考实验指导书的内容。在理论上，验证所学章节相关的真值表、逻辑表达式或逻辑图的实际应用，以使实验者获得深刻和系统的理解，在实践上，掌握使用软件平台及设计的技能技巧。一般需说明是验证型实验还是设计型实验，是创新型实验还是综合型实验。

**实验环境** 实验用的软硬件环境（配置）。

**实验内容（**含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏**）** 这是实验报告极其重要的内容。这部分要写明经过哪几个步骤。可画出流程图，再配以相应的文字说明，这样既可以节省许多文字说明，又能使实验报告简明扼要，清楚明白。

**实验结果分析** 数字逻辑的设计与实验结果的显示是否吻合，如出现异常，如何修正并得到正确的结果。

**实验方案的缺陷及改进意见** 在实验过程中发现的问题，个人对问题的改进意见。

**心得体会、问题讨论** 对本次实验的体会、思考和建议。