四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020141460049 姓名：陈仲文 专业：计算机类 班级：行政四班 第 16 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 寄存器的设计 | 实验时间 | 2020.12.14 |
| 实验目的 | 设计一个4 位并行输入并行输出寄存器并进行验证 | | |
| 实验环境 | Vivado | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 1.在Vivado首页创建一个新的RTL工程，使用英文命名，搜索名称为xc7a35tcpg236-1的器件，选定后进入配置界面。  2.点击Project Setting，选择进行IP配置。使用实验室最新提供的IP核目录，载入目录下的IP核，同时删除已添加的其他IP核。如图1，本次实验新增的IP核被命名为Lab\_IP\_Advance。    图1 IP核设定  3.点击Create Block Design，设计新原理图，添加适当的IP核并进行布线。需要特别注意的是，本实验涉及了之前未曾使用的D\_FF IP核，若使用之前的IP核会导致出错。根据实验手册上的原理图（图2、图3）进行设计，最终成果见图4.    图2 实验手册原理图    图3 几何原理图    图4 实际原理图  注：为防止出错，设计实际原理图时，所有引脚名称均与实验手册所介绍的相同。  4. 点击 GenerateOutputProducts 和 CreateHDLWrapper，生成相应文件后，在导航栏选择I/O Planning，对各引脚进行PIN配置，按照实验手册（图5）进行配置，结果见图6、图7和表1.    图5 实验手册提供的引脚配置    图6 实际引脚配置    图7   |  |  |  | | --- | --- | --- | | 引脚名 | PIN | 实际意义 | | CLK | W5 | 时钟(MRCC) | | CLR | R2 | 开关15(SW15) | | D1 | V17 | 开关0(SW0) | | D2 | V16 | 开关1(SW1) | | D3 | W16 | 开关2(SW2) | | D4 | W17 | 开关3(SW3) | | PRE | T1 | 开关14(SW14) | | Q1 | U16 | LD0 | | Q2 | E19 | LD1 | | Q3 | U19 | LD2 | | Q4 | V19 | LD3 |   表1 PIN对照表  5. 在导航栏的 Synthesis 里选择打开 Run synthesis，随后依次选择Run Implementation，Generate Bitstream和Open Hardware Manager，生成文件后打开硬件管理器。  6. 连接板卡，接通电源，选择板卡进行下载验证，验证结果见图8至图 | | |
| （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 图8    图9    图10    图11    图12    图13 | | |
| 实验结果分析 | 本实验的真值表如下。   |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | | CLR | PRE | D1 | D2 | D3 | D4 | Q1 | Q2 | Q3 | Q4 | | SW15 | SW14 | SW0 | SW1 | SW2 | SW3 | LD0 | LD1 | LD2 | LD3 | | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |   表2  显然，清零端和置位端都是低电平有效。当清零端为低电平时，寄存器输出低电平，四个 LED灯都不亮，当置位端为低电平时，寄存器输出高电平，四个 LED 灯全部亮。当清零端和置位端均为高电平时，四个开关的输入将决定对应二极管的亮暗。故此可以认为，实验成功。 | | |
| 实验方案的缺陷及改进意见 | 1.实验电路涉及时钟，管脚配置比较复杂，要注意时钟的连接引脚。  2.本实验使用的IP核与一般使用的IP核不同，使用时要注意添加新的目录。  3.由于实验手册中的引脚配置两个部分是分开的（清零端和置位端在左侧，而输入端在右侧），操作时有不便之处，一定要牢记各个开关的实际意义。 | | |
| 心得体会、问题讨论 | 1.添加新IP后一定要删除旧的IP目录，否则会报错。  2.实验时要注意寄存器的禁忌，切勿错误操作。  3.板卡上电后拔出电脑时要先与服务器断开连接。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |

实验报告说明

数字逻辑课程组

**实验名称** 列入实验指导书相应的实验题目。

**实验目的** 目的要明确，要抓住重点，可以从理论和实践两个方面考虑。可参考实验指导书的内容。在理论上，验证所学章节相关的真值表、逻辑表达式或逻辑图的实际应用，以使实验者获得深刻和系统的理解，在实践上，掌握使用软件平台及设计的技能技巧。一般需说明是验证型实验还是设计型实验，是创新型实验还是综合型实验。

**实验环境** 实验用的软硬件环境（配置）。

**实验内容（**含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏**）** 这是实验报告极其重要的内容。这部分要写明经过哪几个步骤。可画出流程图，再配以相应的文字说明，这样既可以节省许多文字说明，又能使实验报告简明扼要，清楚明白。

**实验结果分析** 数字逻辑的设计与实验结果的显示是否吻合，如出现异常，如何修正并得到正确的结果。

**实验方案的缺陷及改进意见** 在实验过程中发现的问题，个人对问题的改进意见。

**心得体会、问题讨论** 对本次实验的体会、思考和建议。