四川大学计算机学院数字逻辑实验

实 验 报 告

学号xxx 姓名 xxx 专业 计算机类 班级：xxx 第 10 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 制作加法器 | 实验时间 | 2021/11/1 |
| 实验目的 | 设计型实验，利用Vivado设计全加器，并利用半加器和全加器实现一个2位并行加法器 | | |
| 实验环境 | 软件环境：Vivado 2014.2  硬件环境：BASYS 3实验板 | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 一.全加器的设计  （1）分析  1）根据输入输出绘制真值表。  Screen Shot 2021-11-01 at 8.22.43 PM  图1.1 真值表   1. 根据真值表输出布尔表达式   Screen Shot 2021-11-01 at 7.56.54 PM  （2）创建新的工程  1）创建：选择RTL工程，板卡代号设置为xc7a35tcpg236-1并对工程命名。  2）添加IP核：将实验室提供的IP压缩包解压后放在同一目录中，对工程进行IP设置时选择该目录进行检索，IP核会自动添加。  （3）创建原理图，进行原理设计  创建原理图并进行设定。在Project Navigator的IP Intergrator下点击Create Block Design，进入编辑模式。根据上面的分析添加适合的基本门电路，输入输出端口并进行布线和端口定义。文件保存名为Fulladder。  （输入端口分别定义为a\_in，b\_in，c\_in，输出端口分别定义为s\_out，c\_out）  or gate  图1.2 1位全加器BD图  （4）生成顶层文件（Generate Output Products）和HDL代码文件（Create HDL Wrapper）。  捕获2  图1.3 RTL模拟图  （5）打开Elaborated Design，配置管脚约束（I/O PLANNING），为输入指定相应的拨码开关与输出相应二极管。  （本实验中电路要求三个输入端口(a\_in，b\_in，c\_in)和两个输出端口(s\_out，c\_out)。根据实验手册提供的对照表，设a\_in为开关SW0(PIN=V17),b\_in为开关SW1(PIN=V16),c\_in为开关SW2(PIN=W16)，s\_out为二极管LD0(PIN=U16)，c\_out为二极管LD0(PIN=E19)）  捕获1  图1.4 实际端口配置情况  为方便读者阅读，以下给出实际端口与PIN值对应关系（图1.5）Screen Shot 2021-11-01 at 8.14.22 PM  图1.5 实际端口与PIN值对应  （6）进行综合验证。点击Run synthesis，再依次选择Run Implementation，Generate Bitstream和Open Hardware Manager，完成工程实现，生成编译文件并开始板间验证。  （7）验证。插入板卡，打开电源，在Vivado中打开该板卡，下载文件。进行验证。  （8）实验结果（V17对应输入a\_in，V16对应输入b\_in，W16对应输入c\_in，U16显示输出结果s\_out，E19显示输出结果c\_out）  IMG_20211101_175200IMG_20211101_175150IMG_20211101_175140IMG_20211101_175127IMG_20211101_175104IMG_20211101_175051IMG_20211101_175023 IMG_20211101_174956  图1.6 实验结果 | | |
| （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 二.设计2位并行加法器  （1）分析  1）根据输入输出绘制真值表。（由于结果较多，故取部分情况进行验证）  Screen Shot 2021-11-01 at 8.44.22 PM  图2.1 真值表（部分）  2）根据真值表输出对应布尔表达式。  （2）创建新的工程  1）创建：选择RTL工程，板卡代号设置为xc7a35tcpg236-1并对工程命名。  2）添加IP核：将实验室提供的IP压缩包解压后放在同一目录中，对工程进行IP设置时选择该目录进行检索，IP核会自动添加。  （3）创建原理图，进行原理设计  创建原理图并进行设定。在Project Navigator的IP Intergrator下点击Create Block Design，进入编辑模式。根据上面的分析添加适合的基本门电路，输入输出端口并进行布线和端口定义。  （输入端口分别定义为a0\_in，a1\_in，b0\_in，b1\_in，输出端口分别定义为s0\_out，s1\_out，c\_out）  捕获3  图2.2 2位并行加法器BD图   1. 生成顶层文件（Generate Output Products）和HDL代码文件（Create HDL Wrapper）   捕获5  图2.3 RTL模拟图  （5）打开Elaborated Design，配置管脚约束（I/O PLANNING），为输入指定相应的拨码开关与输出相应二极管。    （本实验中电路要求四个输入端口(a0\_in，a1\_in，b0\_in，b1\_in)和三个输出端口(s0\_out，s1\_out，c\_out)。根据实验手册提供的对照表，设a0\_in为开关SW0(PIN=V17),b0\_in为开关SW1(PIN=V16),a1\_in为开关SW2(PIN=W16)，b1\_in为开关SW3(PIN=W17)，s0\_out为二极管LD0(PIN=U16)，s1\_out为二极管LD0(PIN=E19)，c\_out为二极管LD1(PIN=U19)）  捕获4  图2.4 实际端口配置情况  为方便读者阅读，以下给出实际端口与PIN值对应关系（图2.5）  Screen Shot 2021-11-01 at 9.00.20 PM  图2.5 实际端口与PIN值对应图  （6）进行综合验证。点击Run synthesis，再依次选择Run Implementation，Generate Bitstream和Open Hardware Manager，完成工程实现，生成编译文件并开始板间验证。  （7）验证。插入板卡，打开电源，在Vivado中打开该板卡，下载文件。进行验证。  （8）实验结果（V17对应输入a0\_in，V16对应输入b0\_in，W16对应输入b0\_in，W17对应输入b1\_in，U16显示输出结果s0\_out，E19显示输出结果s1\_out，U19显示输出结果c\_out）  IMG_20211101_181840IMG_20211101_181908  IMG_20211101_181926IMG_20211101_181935  图2.6 实验结果 | | |
| 实验结果分析 | 一.全加器的设计  Screen Shot 2021-11-01 at 8.22.43 PM  经过验证，上述真值表与实验手册所介绍的逻辑电路完全相同，可以达到1位加法器的作用，实验成功。   1. 设计2位并行加法器   Screen Shot 2021-11-01 at 8.44.22 PM  经过验证，上述真值表与实验手册所介绍的逻辑电路完全相同，可以达到2位并行加法器的作用，实验成功。 | | |
| 实验方案的缺陷及改进意见 | 1.在定义端口名称的时候，要尽量与实验手册所介绍的名称一致，否则数据查阅，验证情况和真值表的绘制将十分麻烦（因为还要把自己定义的端口名称与实验手册的进行匹配）。  2.输入管脚即使未使用，也不能定义为空，否则会引发错误，改进意见是在检查时确保所有引脚都已有有效定义。 | | |
| 心得体会、问题讨论 | 1.命名时绝对不能使用中文。  2.真值表的绘制要细心参考实验结果，不能出错。  3.本实验的原理图比较复杂，检查时应确认接线是否错误。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |

实验报告说明

数字逻辑课程组

**实验名称** 列入实验指导书相应的实验题目。

**实验目的** 目的要明确，要抓住重点，可以从理论和实践两个方面考虑。可参考实验指导书的内容。在理论上，验证所学章节相关的真值表、逻辑表达式或逻辑图的实际应用，以使实验者获得深刻和系统的理解，在实践上，掌握使用软件平台及设计的技能技巧。一般需说明是验证型实验还是设计型实验，是创新型实验还是综合型实验。

**实验环境** 实验用的软硬件环境（配置）。

**实验内容（**含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏**）** 这是实验报告极其重要的内容。这部分要写明经过哪几个步骤。可画出流程图，再配以相应的文字说明，这样既可以节省许多文字说明，又能使实验报告简明扼要，清楚明白。

**实验结果分析** 数字逻辑的设计与实验结果的显示是否吻合，如出现异常，如何修正并得到正确的结果。

**实验方案的缺陷及改进意见** 在实验过程中发现的问题，个人对问题的改进意见。

**心得体会、问题讨论** 对本次实验的体会、思考和建议。