

# 中山大学数据科学与计算机学院本科生实验报告

## (2017学年秋季学期)

课程名称：数字电路与逻辑设计实验      任课教师：保延翔      助教：岳锐

年级&班级	16级教务二班	专业(方向)	软件工程
学号	16340154	姓名	刘硕
电话	13954608969	Email	<a href="mailto:ninomyemail@163.com">ninomyemail@163.com</a>
开始日期	2017.11.14	完成日期	2017.11.14

### 一、实验目的

熟悉编码器、译码器、数据选择器等组合逻辑功能模块的功能与使用方法。  
掌握用MSI设计的组合逻辑电路的方法。

### 二、实验原理

中规模的器件，如译码器、数据选择器等，它们本身是为了实现某种逻辑功能而设计的，但是由于它们的一些特点，我们也可以用它们实现任意的逻辑函数。

### 三、实验仪器及器件

Vivado集成设计环境

基本逻辑门以及 74LS138, 74LS151

### 四、实验内容

#### 实现一个六输入二输出的ALU

此算数单元有六个输入两个输出。其中六输入包括三个控制端和三个数据输入端，三个控制端由高位到低位分别记做  $S_2$ 、 $S_1$ 、 $S_0$ ，三个数据输入端记做 A、B、C。对于数据输入端，当此算数单元执行全加（全加）操作的时候，数据输入端是被加数（被减数）、加数（减数）、进位（借位）。当算数单元进行逻辑运算的时候。部分数据输入端有效，其他数据输入端可以忽略。输出记为  $OUT_1$ 、 $OUT_2$ ，当全加（全减）操作时  $OUT_1$  表示当前位（残留位）， $OUT_2$  表示进位（借位）。分本实验采取的算数单元功能表：

控制端			功能
S2	S1	S0	
0	0	0	与
0	0	1	或
0	1	0	A 非
0	1	1	B 非
1	0	0	异或
1	0	1	全加
1	1	0	全减
1	1	1	清零

根据功能表，可以得出 $OUT_1$ 、 $OUT_2$ 的逻辑表达式

$$\begin{aligned} OUT_1 = & \overline{S_2} \overline{S_1} \overline{S_0} A B + \overline{S_2} \overline{S_1} S_0 A B + \overline{S_2} \overline{S_1} S_0 \overline{A} B + \overline{S_2} \overline{S_1} S_0 A \overline{B} + \overline{S_2} S_1 \overline{S_0} \overline{A} \\ & + \overline{S_2} S_1 S_0 \overline{B} + S_2 \overline{S_1} \overline{S_0} \overline{A} B + S_2 \overline{S_1} \overline{S_0} A \overline{B} + S_2 \overline{S_1} S_0 \overline{A} \overline{B} C + S_2 \overline{S_1} S_0 \overline{A} B \overline{C} \\ & + S_2 \overline{S_1} S_0 A \overline{B} \overline{C} + S_2 \overline{S_1} S_0 A B C + S_2 S_1 \overline{S_0} \overline{A} \overline{B} C + S_2 S_1 \overline{S_0} \overline{A} B \overline{C} \\ & + S_2 S_1 \overline{S_0} A \overline{B} \overline{C} + S_2 S_1 \overline{S_0} A B C \end{aligned}$$

$$\begin{aligned} OUT_2 = & S_2 \overline{S_1} S_0 \overline{A} B C + S_2 \overline{S_1} S_0 A \overline{B} C + S_2 \overline{S_1} S_0 A B \overline{C} + S_2 \overline{S_1} S_0 A B C \\ & + S_2 S_1 \overline{S_0} \overline{A} \overline{B} C + S_2 S_1 \overline{S_0} \overline{A} B \overline{C} + S_2 S_1 \overline{S_0} \overline{A} B C + S_2 S_1 \overline{S_0} A B C \end{aligned}$$

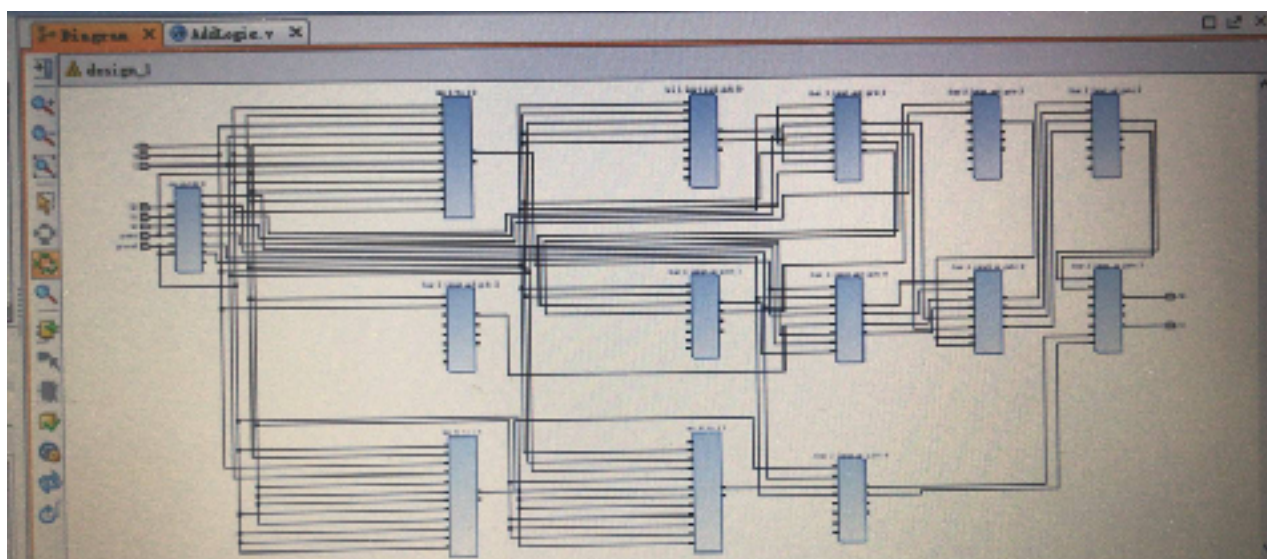
151芯片的输出表达式

$$\begin{aligned} Z = & \overline{S_2} \overline{S_1} \overline{S_0} D_0 + \overline{S_2} \overline{S_1} S_0 D_1 + \overline{S_2} S_1 \overline{S_0} D_2 + \overline{S_2} S_1 S_0 D_3 + S_2 \overline{S_1} \overline{S_0} D_4 \\ & + S_2 \overline{S_1} S_0 D_5 + S_2 S_1 \overline{S_0} D_6 + S_2 S_1 S_0 D_7 \end{aligned}$$

138芯片的输出表达式

$$\begin{aligned} Y_0 &= \overline{S_2} \overline{S_1} \overline{S_0} G \\ Y_1 &= \overline{S_2} \overline{S_1} S_0 G \\ Y_2 &= \overline{S_2} S_1 \overline{S_0} G \\ Y_3 &= \overline{S_2} S_1 S_0 G \\ Y_4 &= S_2 \overline{S_1} \overline{S_0} G \\ Y_5 &= S_2 \overline{S_1} S_0 G \\ Y_6 &= S_2 S_1 \overline{S_0} G \\ Y_7 &= S_2 S_1 S_0 G \end{aligned}$$

据此可以推断出算数单元里各个引脚的连接。用 Vivado 的仿真界面实现该电路，结果如图所示：



## 五、实验结论

这次实验是上次实验的扩充，比以前多了熟悉 Vivado 的界面和烧写实验板。遇到的困难主要是对实验设计还没有特别熟练，设计电路耗时较多。除此之外，Vivado 的运用还不熟练，争取下次实验前更了解 Vivado 和 Basy3 实验板。