

预习报告

数据科学与计算机学院 16级教务二班 16340154 刘硕

一、预习目标

了解并简单掌握 Verilog HDL 硬件描述语言的使用。

下载 Vivado 熟悉其界面以及简单操作。

二、预习实验的步骤

1、Verilog 简介

一种形式化方法描述数字电路和数字逻辑系统的语言。设计者可以利用这种语言描述自己设计思想，用EDA仿真。

2、Top-Down的设计方法

自顶而下的设计方法，可以实现设计的结构化，一个复杂的系统可以被分成多个模块，便于层次化管理。

3、module的基本语法

```
Module module_name(port1, port2...);
```

```
// Declaration
```

```
Inputs, outputs, regs, wires, parameters, functions, tasks...
```

```
// Statements
```

```
Initial statement
```

```
Always statement
```

```
Module instantiation
```

```
...
```

```
Endmodule
```

三、下周目标

实现全减器逻辑的 Verilog HDL 实现，探索其他 Verilog HDL 逻辑电路设计的实验，熟悉vivado。