

中山大学数据科学与计算机学院本科生实验报告

(2017学年秋季学期)

课程名称：数字电路与逻辑设计实验 任课教师：保延翔 助教：岳锐

年级&班级	16级教务二班	专业(方向)	软件工程
学号	16340154	姓名	刘硕
电话	13954608969	Email	ninomyemail@163.com
开始日期	2017.12.18	完成日期	2017.12.19

一、实验目的

熟悉中规模集成电路计数器和译码器的功能及应用。

熟悉LED数码管及显示电路的工作原理并学会综合测试的方法。

二、实验原理

大模计数器的设计

对于计数规模比较小的计数器，我们使用集成触发器来设计计数器，但是如果计数器的规模达到十六进制以上，用集成触发器设计电路会比较复杂。在这种情况下，我们可以用集成计数器来构成任意进制的计数器，利用集成计数器的清零端和置数端实现归零，从而构成按自然态序进行计数的 N 进制计数器的方法。

1. 用同步清零端或置数端置零或置数构成 N 进制计数器

- 1) 写出状态 S_{N-1} 的二进制码
- 2) 求归零逻辑，即求同步清零端或置数控制信号的逻辑表达式
- 3) 画连线图

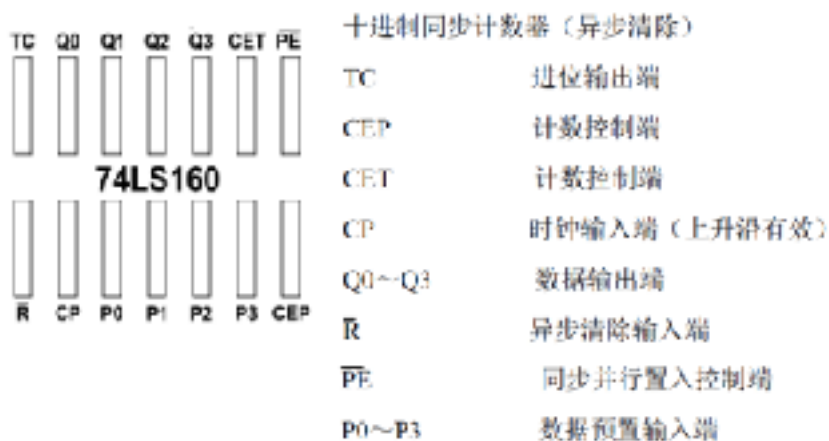
2. 用异步清零端或置数端置零或置数构成 N 进制计数器

- 1) 写出状态 S_N 的二进制码
- 2) 求归零逻辑，即求异步清零端或置数控制信号的逻辑表达式
- 3) 画连线图

74LS160 芯片

附：74LS160 四位十进制同步计数器逻辑功能（同步置数异步清零）

CP	\overline{RD}	\overline{PE}	CET	CEP	功 能
x	0	x	x	x	清 零
↑	1	0	x	x	置 数
↑	1	1	0	x	保 持
↑	1	1	x	0	保 持 (但 $C=0$)
↑	1	1	1	1	计 数



74LS160是四位十进制计数器，Q3~Q0输出0~9的循环计数，且每计数到10，进位输出端TC输出高电平。同步置数是指当置数条件满足后（PE为低电平），计数器要等待下一个时钟有效沿（上升沿）到来后Q3~Q0才输出P3~P0的预置数字。异步清零是指只要清零条件满足（R为低电平），计数器不用等待时钟有效沿（上升沿），Q3~Q0输出清零。

三、实验仪器及器件

实验箱、万用表、示波器。

74LS48（七段显示译码器）、74LS08（四组二输入与门）、74LS20（两组四输入与非门）。

四、实验内容

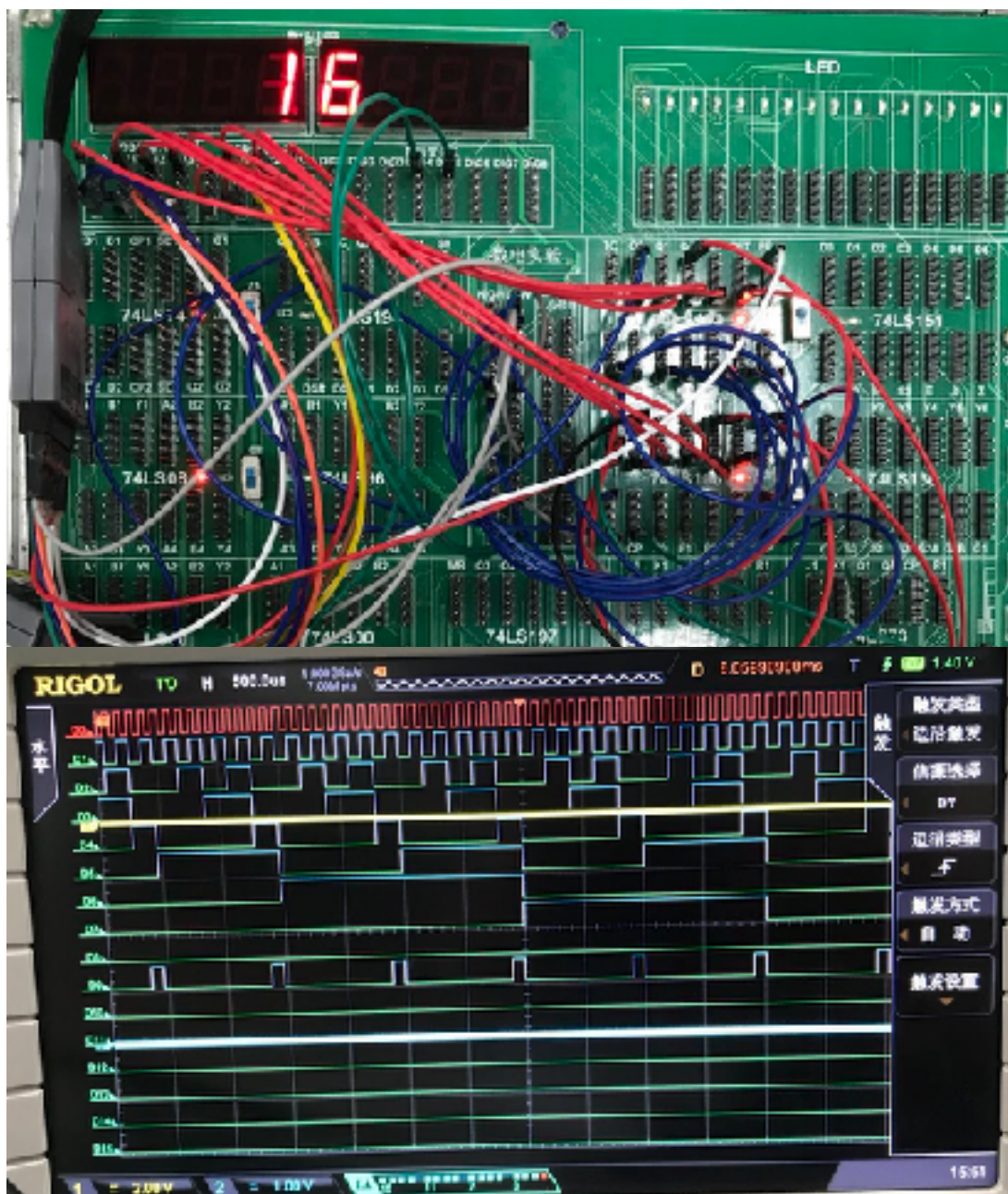
设计一个六十进制计数器

1. 设计方法

用集成计数器 74LS160 分别组成8421码的十进制和六进制计数器，然后连接成一个60进制计数器（6进制为高位，10进制为低位）。使用实验箱上的LED译码显示电路显示（注意高低顺序以及最高位的处理）。使用函数发生器的低频连续脉冲（调节频率为1~2Hz）作为计数器的计数脉冲，通过数码管观察此计数、译码、显示电路。

2. 实验结果

如图为实验箱显示结果和各输出波形。



五、实验结论

相较于前一次十二进制计数器的设计实验，这次实验解决了模较大的计数器的功能，省去繁多的J-K触发器。同时也为设计一个模拟时钟提供了可能。