

总线系统

- 概述
- 总线接口
- 总线仲裁、定时和数据传送
- 常用标准总线

总线是构成计算机系统的互连机构，是多个系统功能部件之间进行数据传送的公共通路。

一个单处理器系统中的总线，大致分为三类：

- (1) 内部总线：** CPU内部连接各寄存器及运算部件之间的总线。
- (2) 系统总线：** CPU同计算机系统的其他高速功能部件，如存储器、通道等互相连接的总线。
- (3) I/O总线：** 中、低速I/O设备之间互相连接的总线。

总线的特性：

物理特性： 指总线的物理连接方式，包括总线的根数，总线的插头、插座的形状，引脚线的排列方式等。

功能特性： 描述总线中每一根线的功能。

电气特性： 定义每一根线上信号的传递方向及有效电平范围。送入CPU的信号叫输入信号 (IN)，从CPU发出的信号叫输出信号 (OUT)。

时间特性： 规定了总线上各信号有效的时序关系。

总线的性能指标

总线带宽：

单位时间内总线上可传送的数据量。通常用兆字节数/秒（MB/s）表示。实际带宽受到总线布线长度、总线驱动器/接收器性能、连接在总线上的模块数等因素的影响，这些因素造成信号在总线上的延时和畸变，使总线的最高数据传输速率受到限制。

总线位宽：

总线上能同时传送的数据位数。如1位、8位、16位、32位等。

总线工作频率：

用于控制总线操作周期的时钟信号的频率。通常用MHz表示。

这三个参数的关系如下：

$$\text{总线带宽} = \text{总线位宽} \times \text{总线工作频率}$$

【例】

(1)某总线在一个总线周期中并行传送4个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为**33MHz**，则总线带宽是多少？

(2)如果一个总线周期中并行传送**64**位数据，总线时钟频率升为**66MHz**，则总线带宽是多少？

[解]：

(1)设总线带宽用**Dr**表示，总线时钟周期用 **$T=1/f$** 表示，一个总线周期传送的数据量用**D**表示，根据定义可得

$$Dr = D/T = D \times 1/T = D \times f = 4B \times 33 \times 1000000/s = 132MB/s$$

(2) **64位=8B**， $Dr = D \times f = 8B \times 66 \times 1000000/s = 528MB/s$

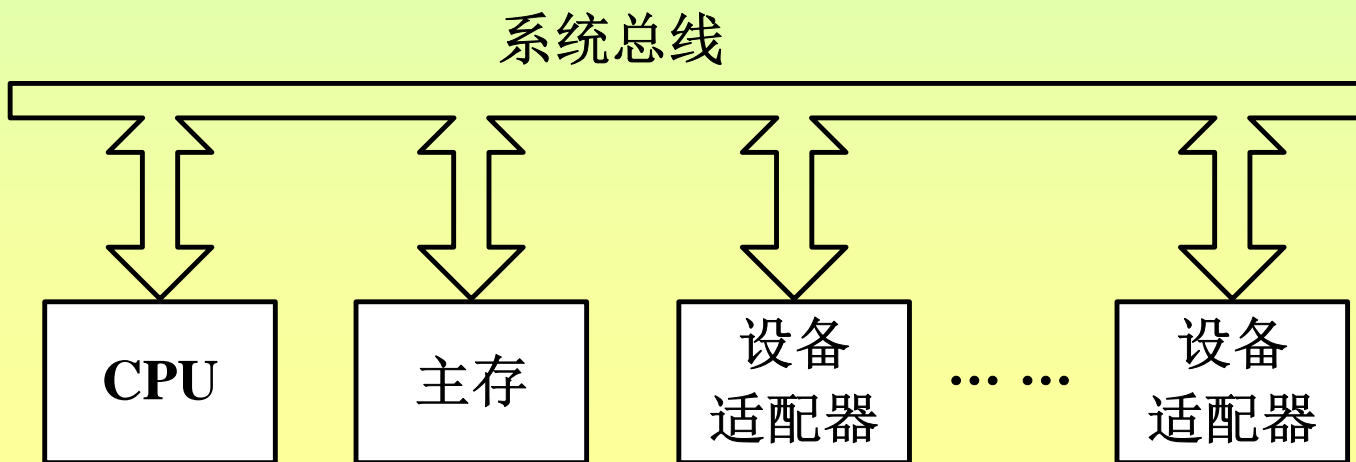
总线的连接方式

单机系统中采用的总线结构有三种基本类型：(1)单总线结构；(2)双总线结构；(3)三总线结构。

(1) 单总线结构

在许多单处理器的计算机中，使用一条单一的系统总线来连接CPU、主存和I/O设备，叫做单总线结构。

此时要求连接到总线上的逻辑部件必须高速运行，以便在某些设备需要使用总线时能迅速获得总线控制权；而当不再使用总线时，能迅速放弃总线控制权。



取指令：当CPU取一条指令时，首先把程序计数器PC中的地址同控制信息一起送至总线上。在“取指令”情况下的地址是主存地址,此时该地址所指定的主存单元的内容一定是一条指令，而且将被传送给CPU。

传送数据：取出指令之后，CPU将检查操作码。操作码规定了对数据要执行什么操作，以及数据是流进CPU还是流出CPU。

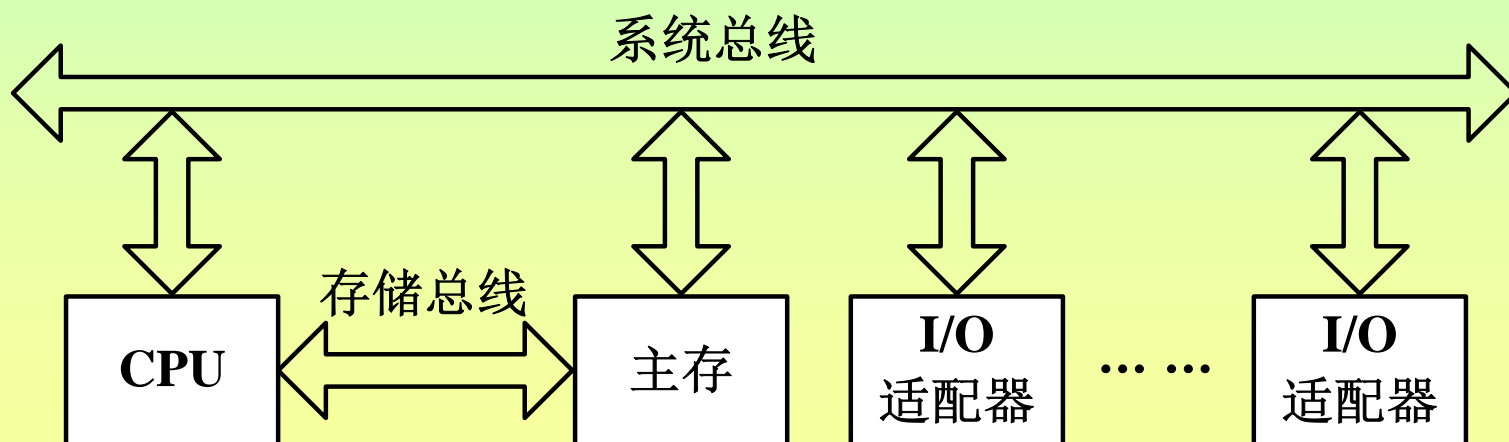
I/O操作：CPU把指令的地址字段放到总线上，如果该指令地址字段对应的是外围设备地址，则外围设备译码器予以响应，从而在CPU和与该地址所对应的外围设备之间发生数据传送，而数据传送的方向由指令操作码决定。

DMA (Direct Memory Access, 直接存储器访问) 操作：某些外围设备也可以指定地址。如果一个由外围设备指定的地址对应于一个主存单元，则主存予以响应，于是在主存和外设间将进行直接存储器传送(DMA)。

扩展成多CPU系统：只要在系统总线上挂接多个CPU即可。

(2) 双总线结构

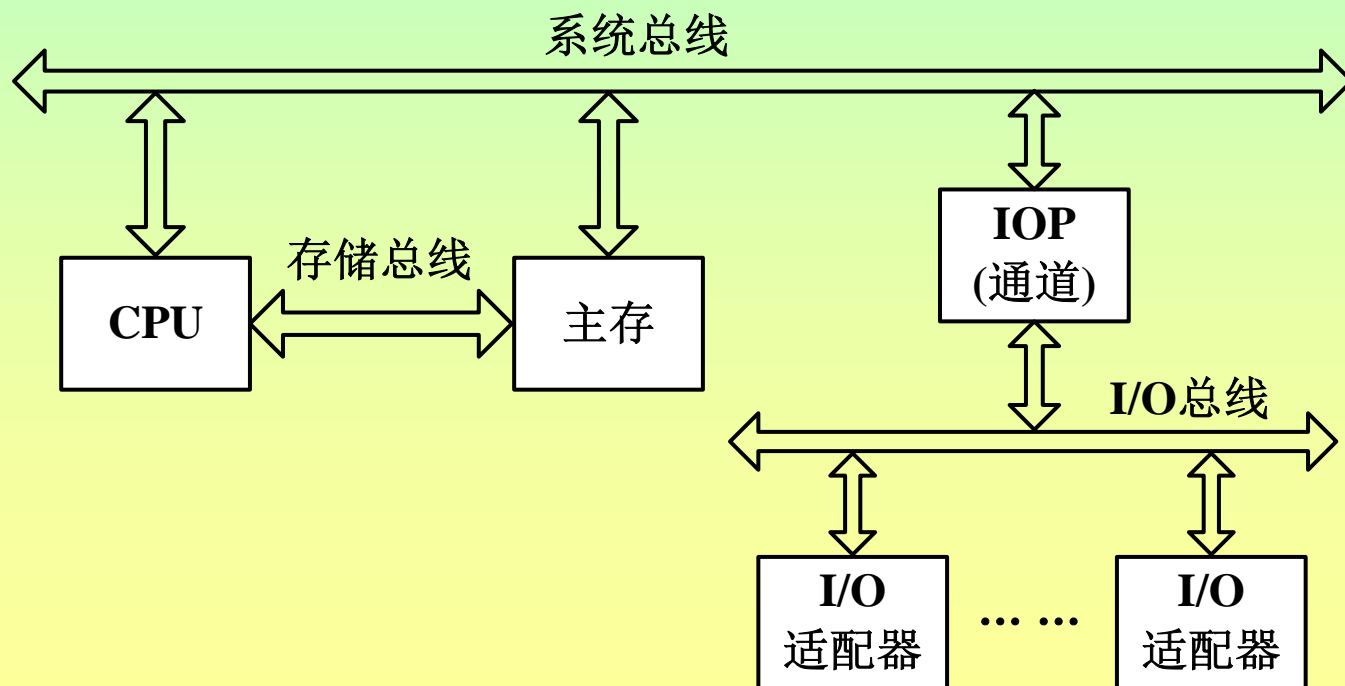
单总线系统中，所有逻辑部件都挂接到同一总线上，总线只能分时工作，即某一时间只能允许一对部件之间传递信息。双总线结构保持了单总线系统简单、易于扩充的优点，但又在CPU和主存之间专门设置了一组高速的存储总线，使CPU可通过专用总线与存储器交换信息，并减轻了系统总线的负担，同时主存仍可通过系统总线与外设之间实现DMA操作，而不必经过CPU。这种双总线系统以增加硬件为代价。



(3) 三总线结构

在双总线的基础上增加I/O总线。系统总线是CPU、主存和I/O通道之间进行数据传送的公共通路，而I/O总线是多个外部设备与I/O通道之间进行数据传送的公共通路。

通道实际上是一台具有特殊功能的处理器，又称为IOP (I/O处理器)，它分担了一部分CPU的功能，以实现对外设的统一管理及外设与主存之间的数据传送。由于增加了IOP，使整个系统的效率大大提高。



总线结构的影响

(1)最大存储容量。

单总线系统中，对主存和外设进行存取的差别，仅仅在于出现在总线上的地址不同，为此必须为某些外围设备保留地址。最大的主存容量小于计算机字长决定的地址数。

(2)指令系统。

双总线系统中，CPU对存储总线和系统总线必须有不同的指令系统。访存操作和I/O操作各有不同的指令。单总线结构中，使用相同的操作码，不同的地址。

(3)吞吐量。

计算机系统的吞吐量是指流入、处理和流出系统的信息的速率。它取决于信息能够多快的输入内存。取决于主存的存取周期。双端口存储器可以增加主存的有效速度。三总线结构中，CPU的一部分功能下放给通道，因此吞吐能力比单总线的强的多。

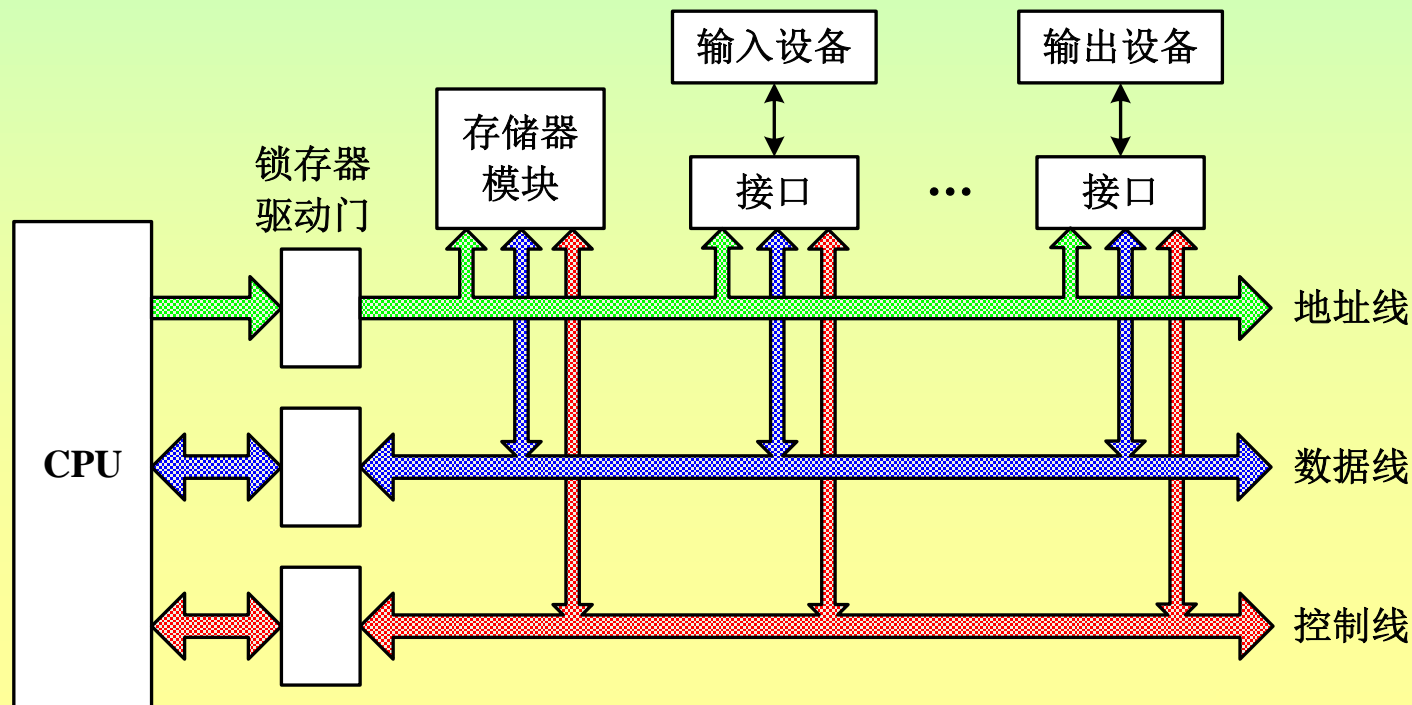
总线结构的优点

- (1)简化了硬件的设计。从硬件的角度看，总线结构是由总线接口代替了专门的I/O接口，由总线规范给出了传输线和信号的规定，并对存储器、I/O设备和CPU如何挂在总线上都作了具体的规定，所以，面向总线的微型计算机设计只要按照这些规定制作CPU插件、存储器插件以及I/O插件等，将它们连入总线即可工作，而不必考虑总线的详细操作。
- (2)简化了系统结构。整个系统结构清晰，连线少，底板连线可以印刷化。
- (3)系统扩充性好。一是规模扩充，二是功能扩充。规模扩充仅仅需要多插一些同类型的插件；功能扩充仅仅需要按总线标准设计一些新插件。插件插入机器的位置往往没有严格的限制。这就使系统扩充既简单又快速可靠，而且也便于查错。
- (4)系统更新性能好。因为CPU、存储器、I/O接口等都是按总线规约挂到总线上的，因而只要总线设计恰当，可以随时随着处理器芯片以及其他有关芯片的进展设计新的插件，新的插件插到底板上对系统进行更新，其他插件和底板连线一般不需更改。

总线的内部结构

早期的总线实际上是处理器芯片引脚的延伸，一般由50—100条线组成。这些线按功能分为：地址线、数据线和控制线。地址线是单向的，用来传送主存和设备的地址；数据线是双向的，用来传送数据；控制线用来传送控制信号、时序信号和状态信息。每一条控制线是单向的，但控制线作为整体是双向的。

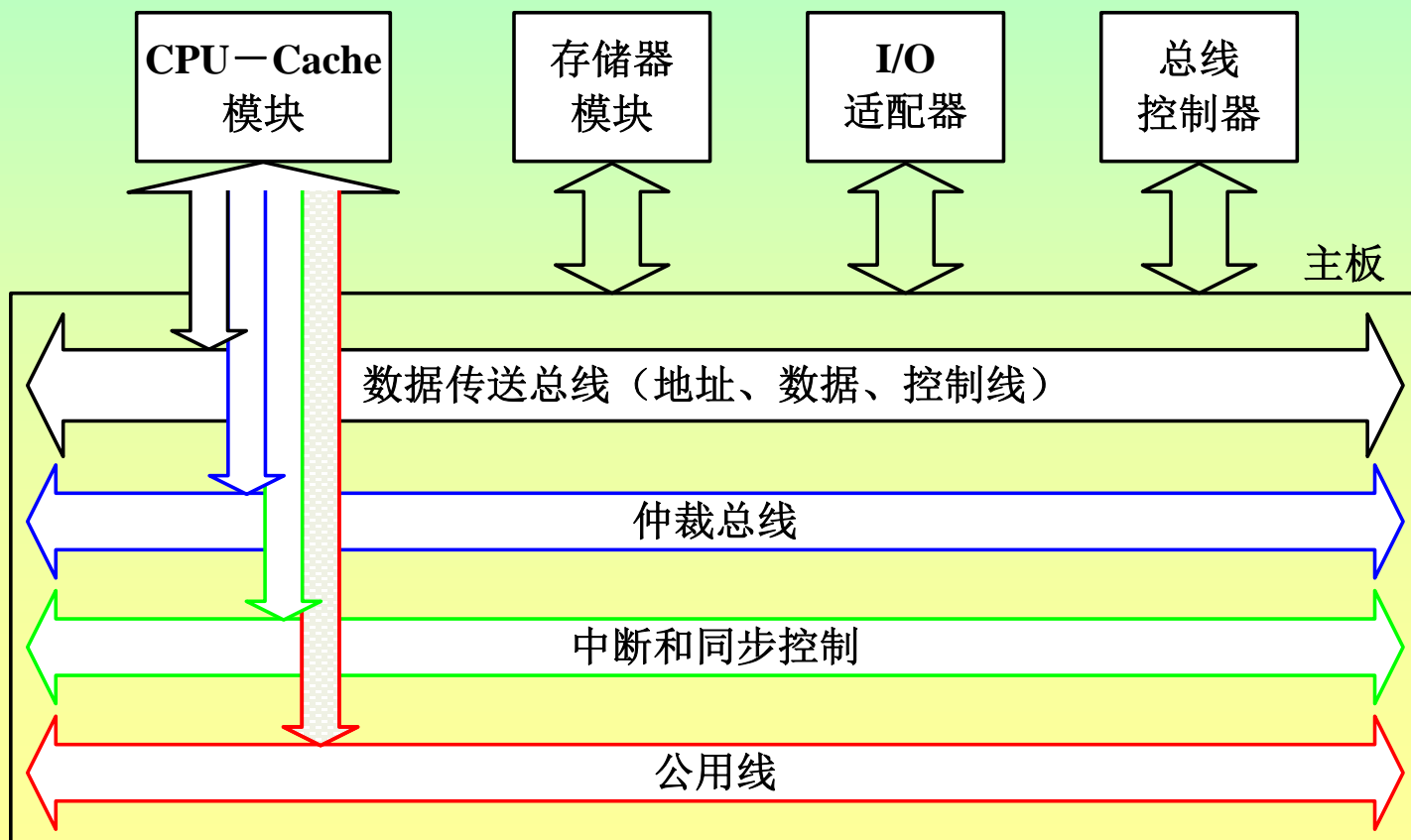
简单总线结构的不足之处在于：第一，CPU是总线上的唯一主控者。第二，总线结构紧密与CPU相关，通用性较差。



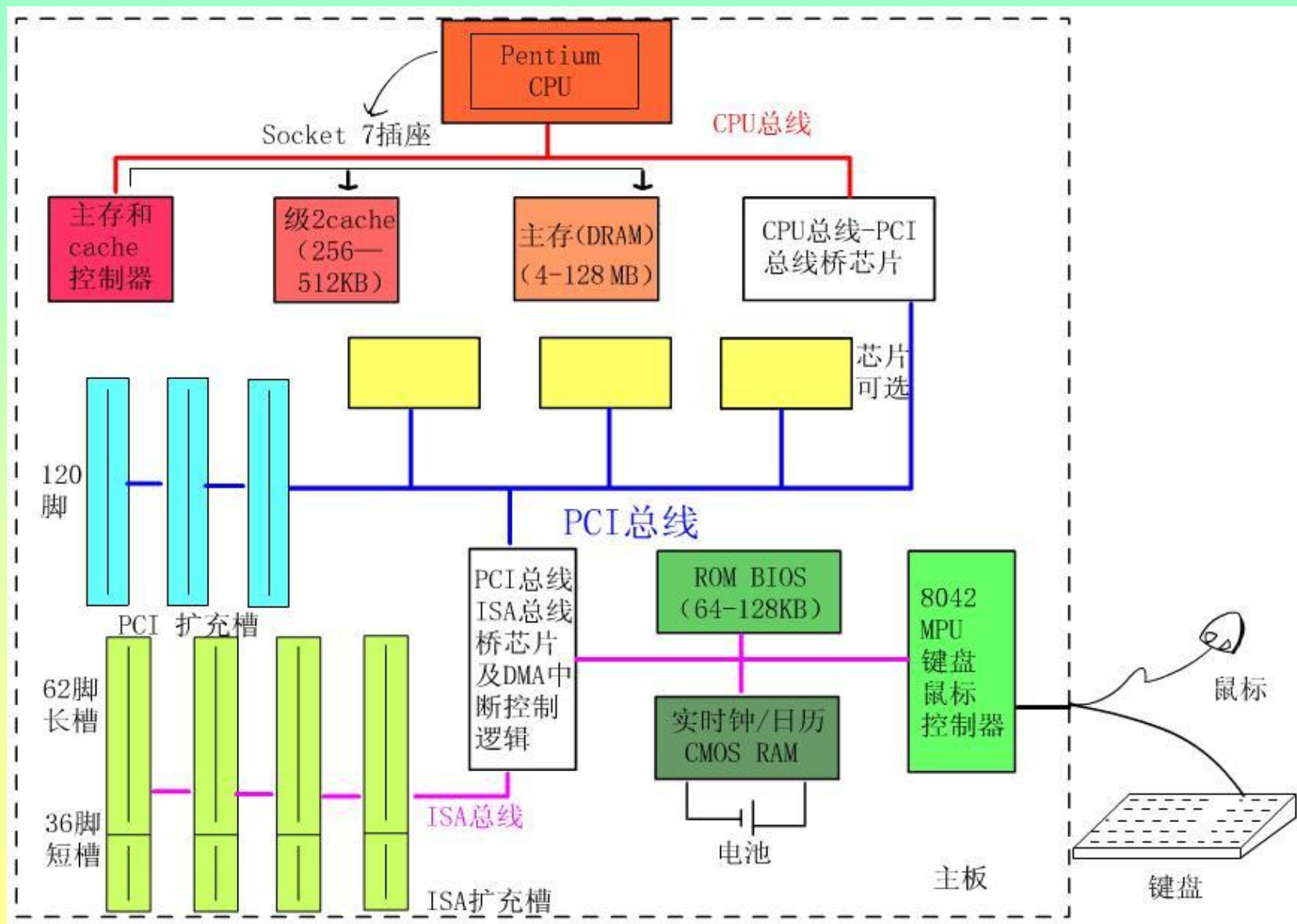
当代流行的总线内部结构如图。它是一些标准总线，追求与结构、CPU、技术无关的开发标准，并满足包括多个CPU在内的主控者环境需求。

在当代总线结构中，CPU和它私有的Cache一起作为一个模块与总线相连。系统中允许有多个这样的处理器模块。而总线控制器完成几个总线请求者之间的协调与仲裁。

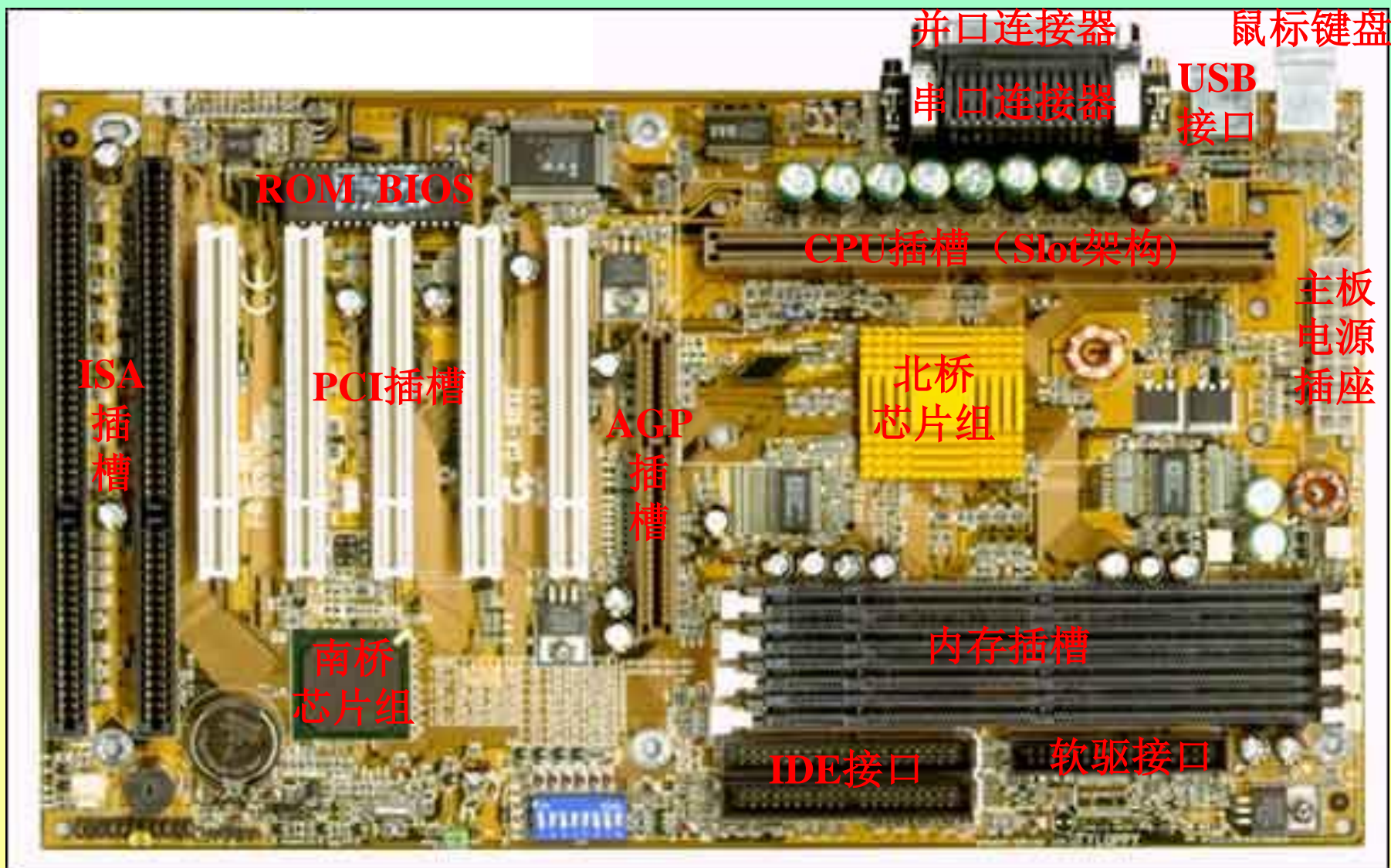
整个总线分成数据传送总线、仲裁总线、中断和同步总线、公用线。

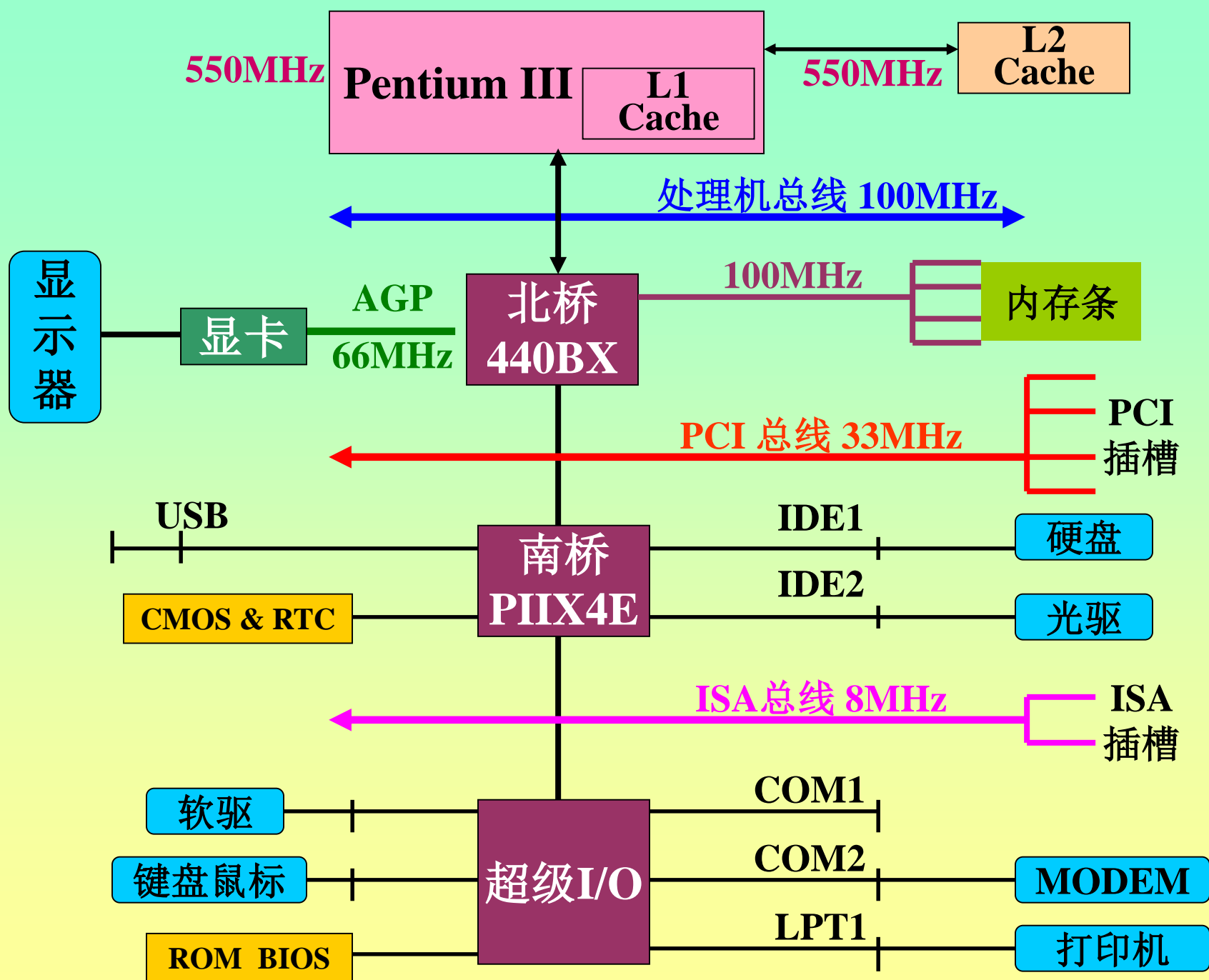


Pentium计算机主板总线结构



Pentium计算机主板





内存插槽：今年来内存插槽主要有两种，用于安装SDRAM的168线插槽和用于安装DDR SDRAM的184线插槽。前者用于Pentium III系列，后者用于Pentium IV系列。

总线扩展槽：目前使用的扩展槽主要有PCI插槽和AGP插槽，此前曾经广泛使用的ISA插槽已被淘汰。PCI插槽用于插接PCI总线的板卡，一般为白色，有3~5个。AGP插槽是Intel开发的一种图形加速接口，专门用来安装AGP显卡，一般为褐色。新式的显卡采用PCI-E接口。

芯片组 (Chipset)：芯片组是主板的核心部件，起着协调和控制数据在CPU、主存和各部件之间传输的作用，它决定了主板的性能。芯片组分为北桥芯片和南桥芯片。北桥芯片起主导作用，也称主桥，控制主存、L2 Cache，AGP显卡和PCI总线；南桥芯片通过PCI总线与北桥芯片相连，控制USB接口、硬盘、光驱，并通过超级I/O接口控制键盘、鼠标、软驱等。

Intel从845/850系列芯片组起，不再分北桥芯片和南桥芯片，而改用MCH (存储器控制中心)和ICH (接口控制中心)代替。

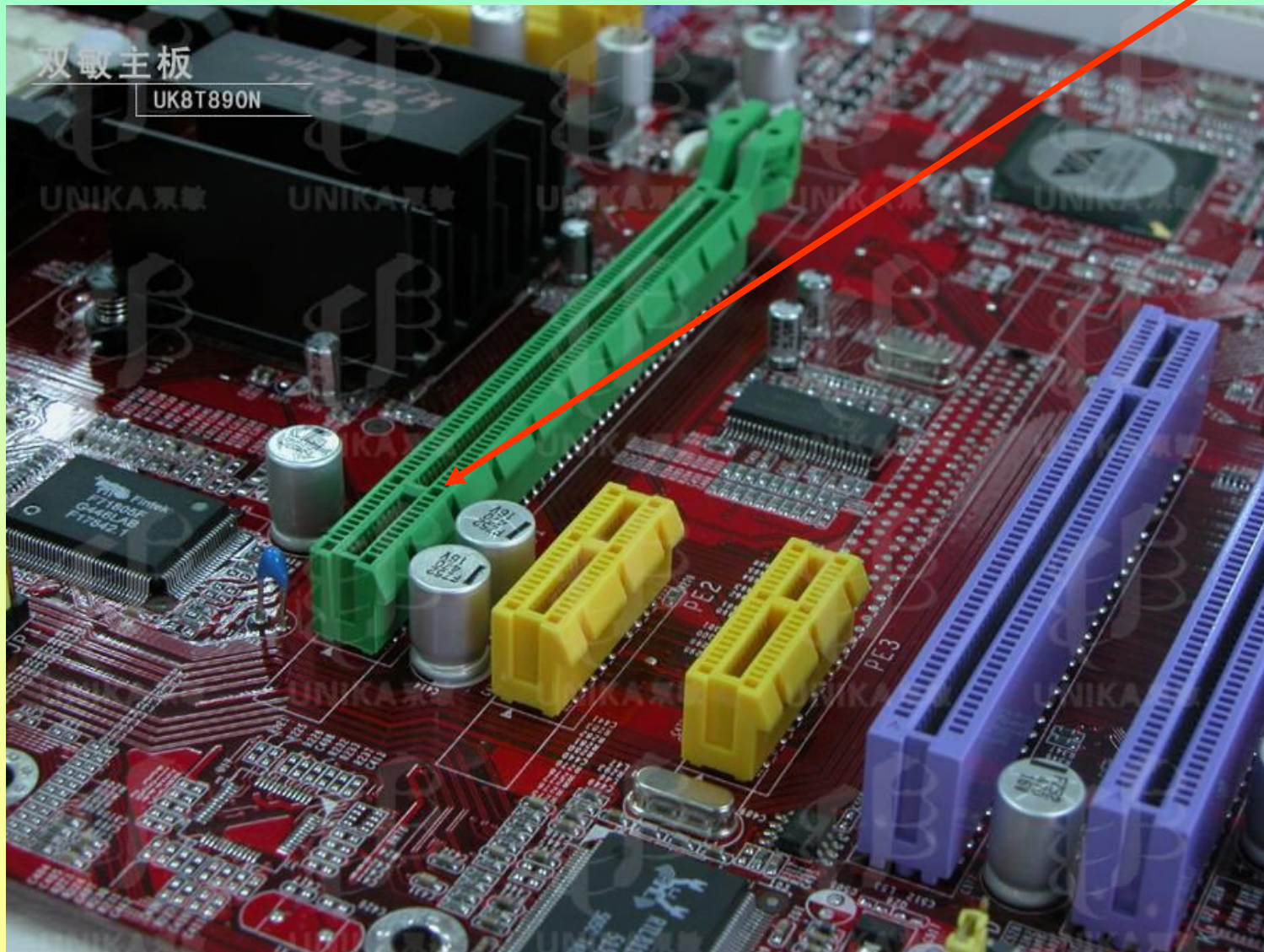
PCI Express是新一代的总线接口，而采用此类接口的显卡产品，已经在**2004**年正式面世。早在**2001**年的春季“英特尔开发者论坛”上，英特尔公司就提出了要用新一代的技术取代**PCI**总线和多种芯片的内部连接，并称之为第三代**I/O**总线技术。随后在**2001**年底，包括**Intel**、**AMD**、**DELL**、**IBM**在内的**20**多家业界主导公司开始起草新技术的规范，并在**2002**年完成，对其正式命名为**PCI Express**。

PCI Express的接口根据总线位宽不同而有所差异，包括**X1**、**X4**、**X8**以及**X16**（**X2**模式将用于内部接口而非插槽模式）。较短的**PCI Express**卡可以插入较长的**PCI Express**插槽中使用。**PCI Express**接口能够支持热拔插。**PCI Express**卡支持的三种电压分别为**+3.3V**、**3.3Vaux**以及**+12V**。用于取代**AGP**接口的**PCI Express**接口位宽为**X16**，将能够提供**5GB/s**的带宽，即便有编码上的损耗但仍能够提**4GB/s**左右的实际带宽，远远超过**AGP 8X**的**2.1GB/s**的带宽。

看槽的话,**PCI-E**几乎只能看见一个大槽,而**AGP**的很清楚的分2半.

看卡的话**PCI-E**的中间宽,2边短.**AGP**的三个插口几乎一样长.

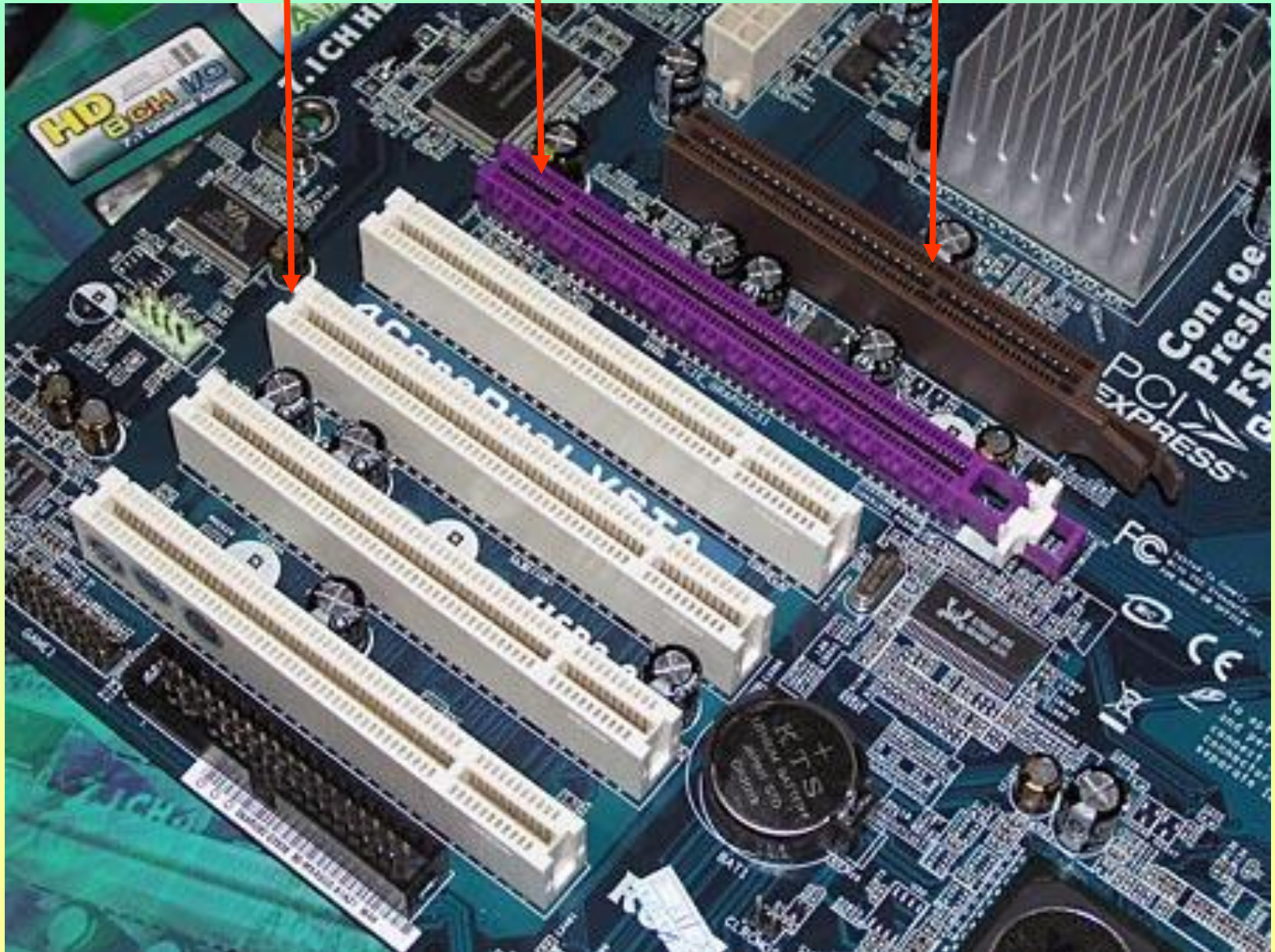
PCI-E



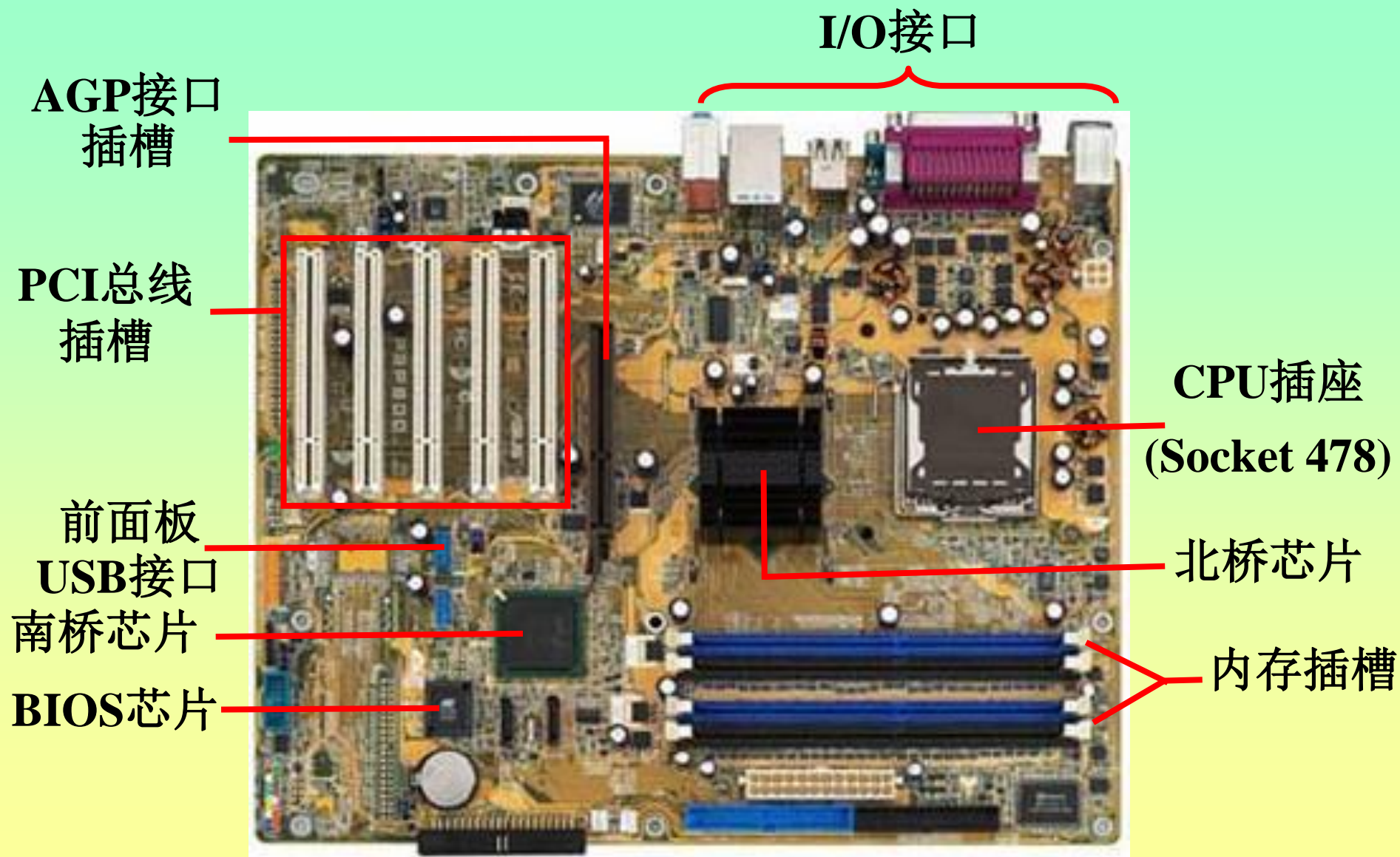
PCI

PCI-E

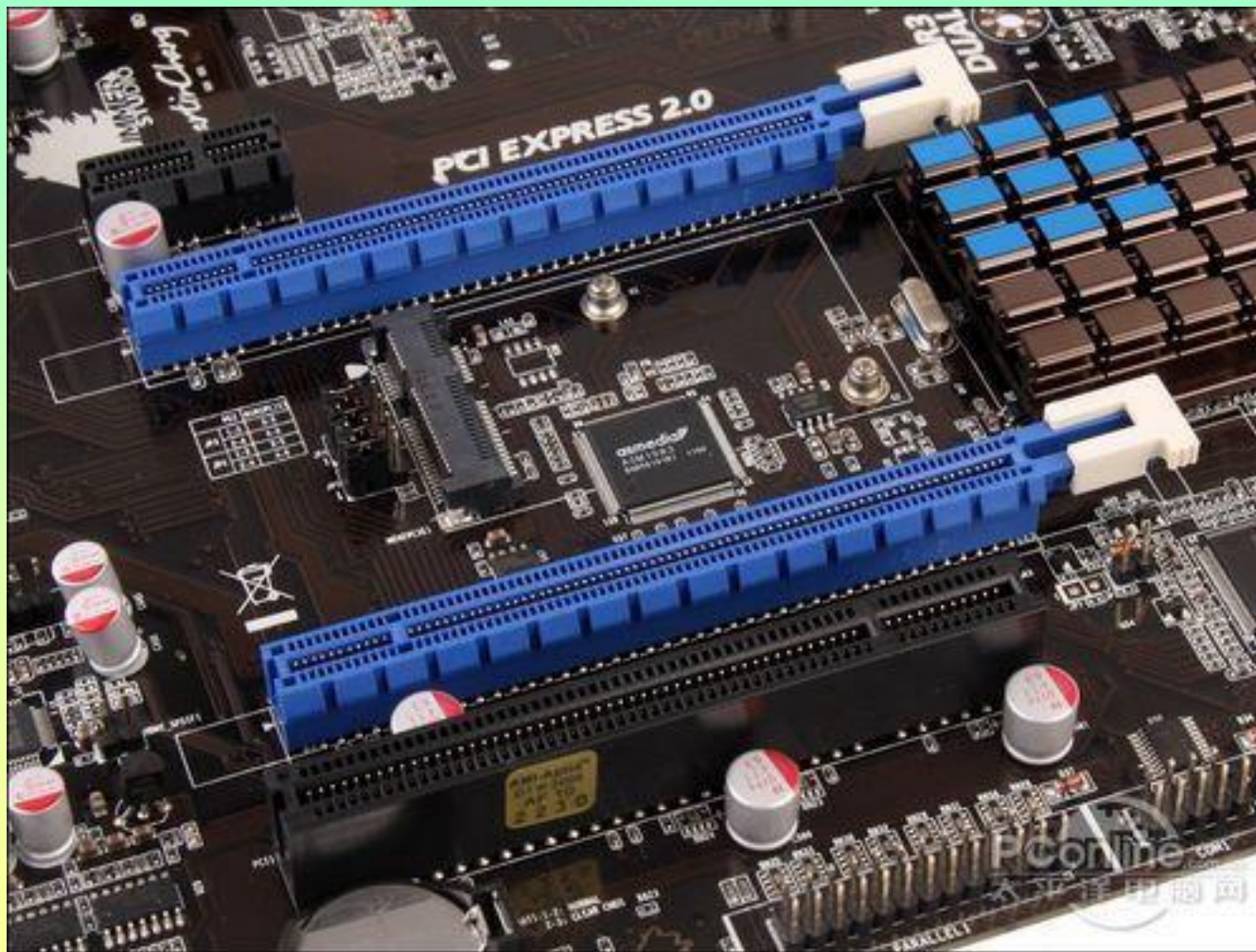
AGP



Pentium IV 计算机主板



双卡技术



- 双卡技术，是一种同时搭载两款同类型显卡的特殊系统。这样做的目标往往是为了大幅提高整台电脑的图像处理能力，在运行3D游戏的时候可以得到更佳的运行效果。
- 优点：大幅提高电脑的图像处理能力
- 缺点：由于价格以及性能需求，普通用户无须配置两块显卡
- 适用人群：高端玩家、对游戏视频画质要求较高的用户

- **SLI和CrossFire分别是Nvidia和ATI两家的双卡或多卡互连工作组模式.其本质是差不多的.只是叫法不同。**
- **SLI Scan Line Interlace（扫描线交错）技术是3dfx公司应用于Voodoo 上的技术，它通过把2块Voodoo卡用SLI线物理连接起来，工作的时候一块Voodoo卡负责渲染屏幕奇数行扫描，另一块负责渲染偶数行扫描，从而达到将两块显卡“连接”在一起获得“双倍”的性能。SLI中文名速力，目前的SLI工作模式与早期Voodoo有所不同，现在改为屏幕分区渲染。**
- **CrossFire，中文名交叉火力，简称交火，是ATI的一款多重GPU技术，可让多张显示卡同时在一部电脑上并排使用，增加运算效能，与NVIDIA的SLI技术竞争。CrossFire技术于2005年6月1日，在Computex Taipei 2005正式发布，比SLI迟一年。从首度公开至今，CrossFire经过了一次修订。**
- **双卡虽然理论上图像处理能力提高了一倍，实际性能只能提高到40%**

混合交火

- 混合交火,英文名称Hybrid CrossFireX是对Hybrid Graphics混合图形技术的诠释
- 简单的说, Hybrid CrossFireX 混合交火技术交火技术就是利用板载显卡和外接显卡进行交火,从而提升性能
- 当需要进行高负荷的运算的时候, **独立显卡**和**集成显卡**将会同时工作以达到最佳的显示性能,而当运算需求降低的时候则可以仅使用集成显卡,再加上AMD的Cool'n'quite技术,整个平台的功耗将降低到最低点,这也就满足了人们对能源合理利用的要求。

Virtu独显/集显切换功能

- 性能和功耗，这是计算机发展至今依然无法有效解决的一对矛盾，性能越强必然功耗越大，降低功耗必然降低性能，这点在显卡上体现的更为明显，高端显卡功耗非常惊人。虽然高端显卡本身也具备了**2D/3D**模式切换，在空闲时自动降频降压来节约能源，但这效果依然不是太好，于是在几年之前，显卡业巨头**Nvidia**就在研究通过独立显卡和集成显卡的自动切换来有效降低功耗，并于**2007**年时推出了**Switchable Graphics(Hybrid Power)**技术，不过需要特定型号的主板芯片组才能支持这项技术，然而此后由于**Nvidia**淡出主板市场，这项切换技术也就从桌面上消失了，倒是在笔记本电脑领域里**Nvidia**之后又推出了改进的**Optimus**显卡自动切换技术，并且取得了不错的应用效果。一直到以色列**LucidLogix**公司在今年年初宣布了“**GPU虚拟化软件方案**”**Virtu**，可以用纯软件的方式支持独显和集显的智能自动切换，显卡自动切换技术才再一次在台式电脑上出现。



- 需主板、显卡支持，且安装Lucid Virtu 软件

信息的传送方式

二进制数可以用电位的高、低来表示，也可以用脉冲的有、无来表示。

计算机系统中，传输信息采用三种方式：串行传送、并行传送和分时传送。但是出于速度和效率上的考虑，系统总线上传送的信息必须采用并行传送方式。

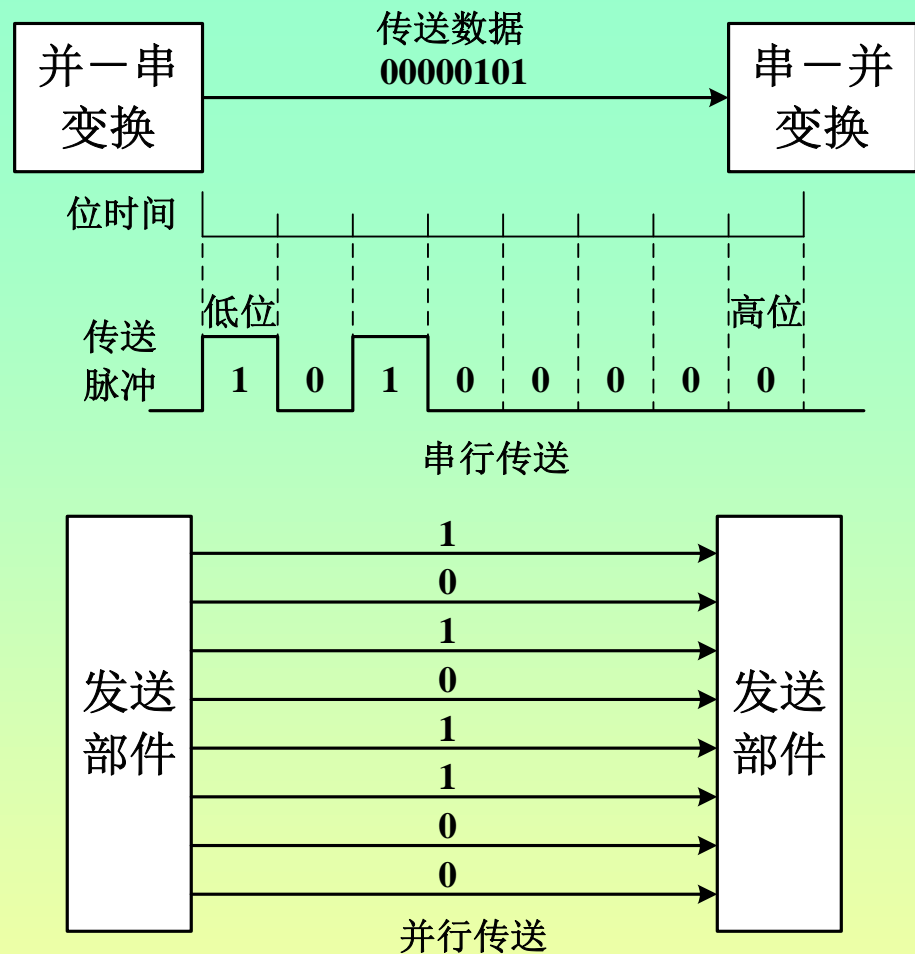
1. 串行传送：当信息以串行方式传送时，只有一条传输线，且采用脉冲传送。在串行传送时，按顺序来传送表示一个数码的所有二进制位 (bit) 的脉冲信号，每次一位，通常以第一个脉冲信号表示数码的最低有效位，最后一个脉冲信号表示数码的最高有效位，即**传送时，低位在前，高位在后**。

在串行传送时，被传送的数据需要在发送部件进行并一串变换，这称为拆卸；而在接收部件又需要进行串一并变换，这称为装配。

串行传送的主要优点是只需要一条传输线，这一点对长距离传输显得特别重要，不管传送的数据量有多少，只需要一条传输线，成本比较低廉。当连续传送若干位时，需要指定“位时间”才能保持同步。

2. 并行传送：每个数据位都需要单独一条传输线。信息有多少二进制位组成，就需要多少条传输线，从而使得二进制数“0”或“1”在不同的线上同时进行传送。

并行传送一般采用电位传送。由于所有的位同时被传送，所以并行数据传送比串行数据传送快得多。

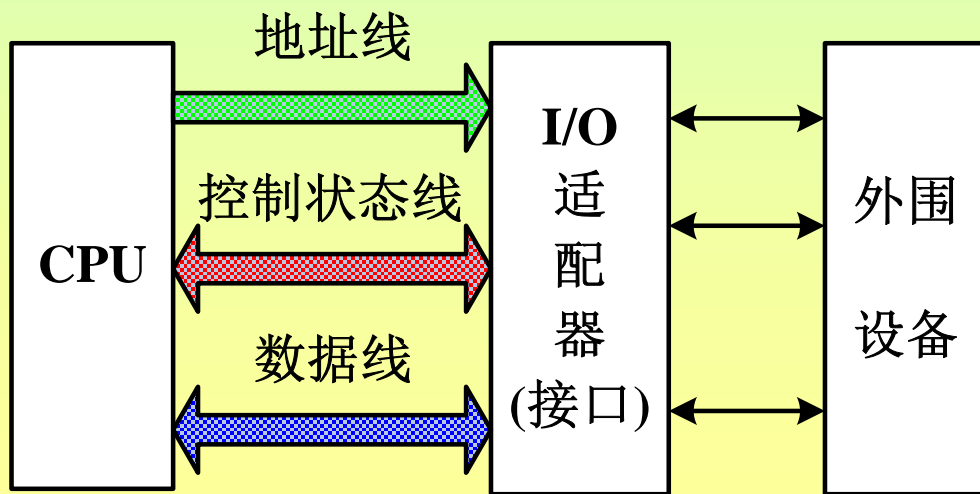


3. 分时传送：分时传送有两种概念。一是采用总线复用方式，某个传输线上既传送地址信息，又传送数据信息。为此必须划分时间片，以便在不同的时间间隔中完成传送地址和传送数据的任务。分时传送的另一种概念是共享总线的部件分时使用总线。

接口的基本概念

接口即I/O设备适配器，具体指CPU和主存、外围设备之间通过总线进行连接的逻辑部件。接口部件在它动态连接的两个部件之间起着“转换器”的作用，以便实现彼此之间的信息传送。

事实上，一个适配器必有两个接口：一是和系统总线的接口，CPU和适配器的数据交换一定的是并行方式；二是和外设的接口，适配器和外设的数据交换可能是并行方式，也可能是串行方式。



典型的接口通常具有如下功能：

- 1. 控制：**接口靠程序的指令信息来控制外围设备的动作，如启动、关闭设备等。
- 2. 缓冲：**接口在外围设备和计算机系统其他部件之间用作为一个缓冲器，以补偿各种设备在速度上的差异。
- 3. 状态：**接口监视外围设备的工作状态并保存状态信息。状态信息包括数据“准备就绪”、“忙”、“错误”等等，供CPU询问外围设备时进行分析之用。
- 4. 转换：**接口可以完成任何要求的数据转换，例如并——串转换或串——并转换，因此数据能在外围设备和CPU之间正确地进行传送。
- 5. 整理：**接口可以完成一些特别的功能，例如在需要时可以修改字计数器或当前内存地址寄存器。
- 6. 程序中断：**每当外围设备向CPU请求某种动作时，接口即发生一个中断请求信号到CPU。

【例】 利用串行方式传送字符，每秒钟传送的比特(bit)位数常称为波特率。假设数据传送速率是120个字符/秒，每一个字符格式规定包含10个bit(起始位、停止位、8个数据位)，问传送的波特率是多少？每个bit占用的时间是多少？

【解】：

波特率为： $10\text{位} \times 120/\text{秒} = 1200\text{波特}$

每个bit占用的时间 T_d 是波特率的倒数：

$$T_d = 1/1200 = 0.833 \times 0.001\text{s} = 0.833\text{ms}$$

连接到总线上的功能模块有主动和被动两种形态。主方可以启动一个总线周期，而从方只能响应主方的请求。每次总线操作，只能有一个主方占用总线控制权，但同一时刻可以有一个或多个从方。

为了解决多个主设备同时竞争总线控制权，必须具有总线仲裁部件，以某种方式选择其中一个主设备作为总线的下一次主方。对多个主设备提出的占用总线请求，一般采用优先级或公平策略进行仲裁。例如，在多处理器系统中对各CPU模块的总线请求采用公平的原则来处理，而对I/O模块的总线请求采用优先级策略。

按照总线仲裁电路的位置不同，仲裁方式分为集中式仲裁和分布式仲裁两类。

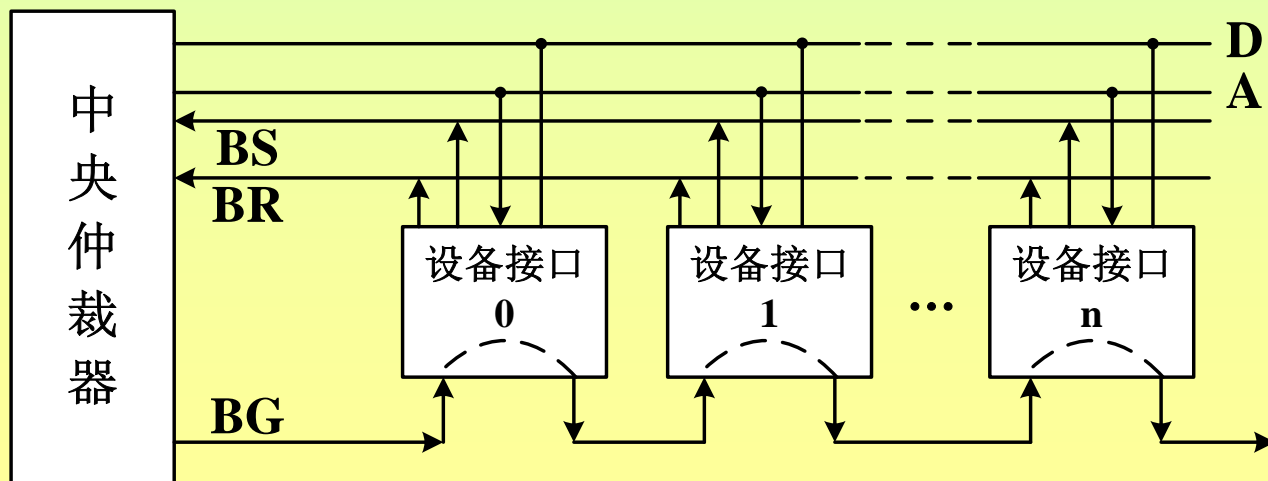
集中式仲裁

集中式仲裁中每个功能模块有两条线连到中央仲裁器：一条是送往仲裁器的总线请求信号线BR，一条是仲裁器送出的总线授权信号线BG。

链式查询方式：A表示地址线，D表示数据线。BS线为1表示总线忙。

总线授权信号BG串行地从一个I/O接口传送到下一个I/O接口。假如BG到达的接口无总线请求，则继续往下查询；假如BG到达的接口有总线请求，BG信号不再往下查询，该I/O接口就获得了总线的控制权。

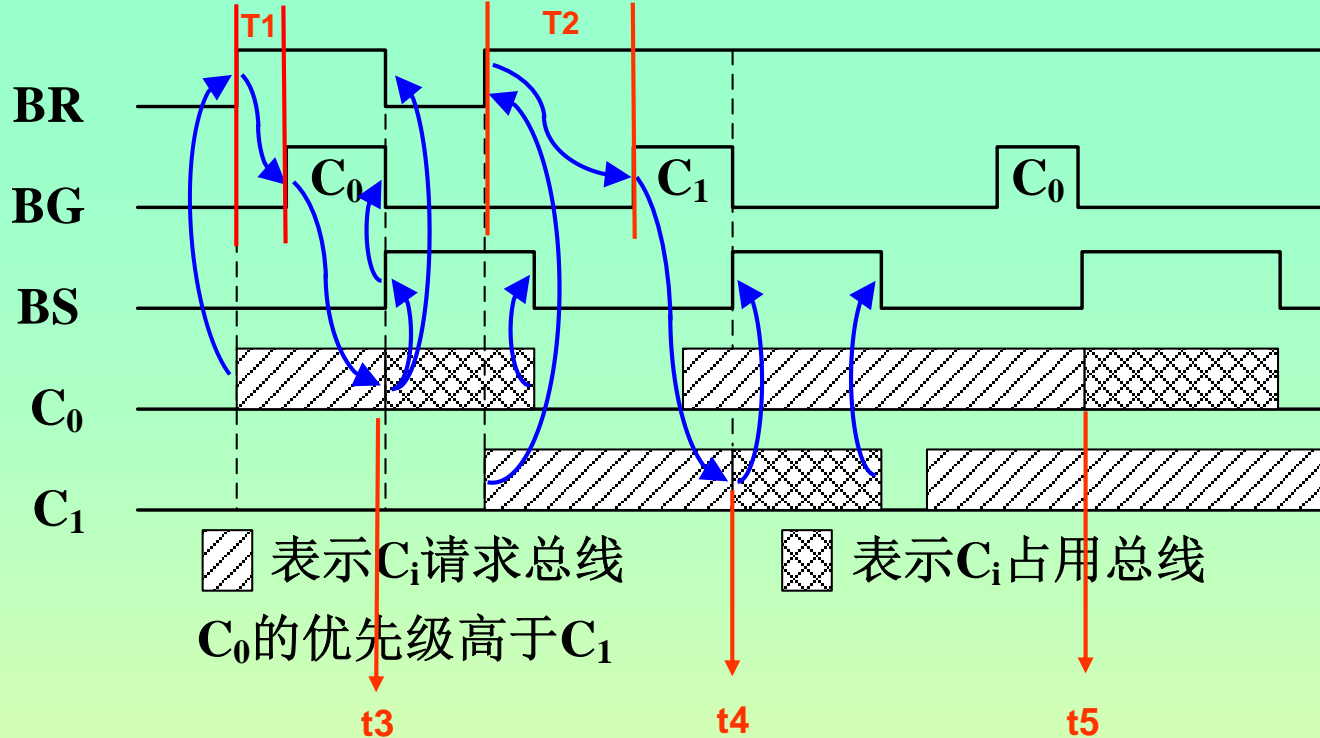
查询链中离中央仲裁器最近的设备具有最高的优先级，离中央仲裁器越远，优先级越低。



链式查询方式的优点：逻辑上和物理实现上都很简单，只用很少几根线就能按一定优先次序实现总线仲裁，与设备数无关。易于扩充，增加设备时，只需“挂到”总线上即可。

链式查询方式的缺点：对查询链的电路故障很敏感，如果第 i 个设备的接口中有关链的电路有故障，那么第 i 个以后的设备都不能进行工作。查询链的优先级是固定的，如果优先级高的设备出现频繁的请求时，优先级较低的设备可能长期不能使用总线，会出现“饿死”现象。

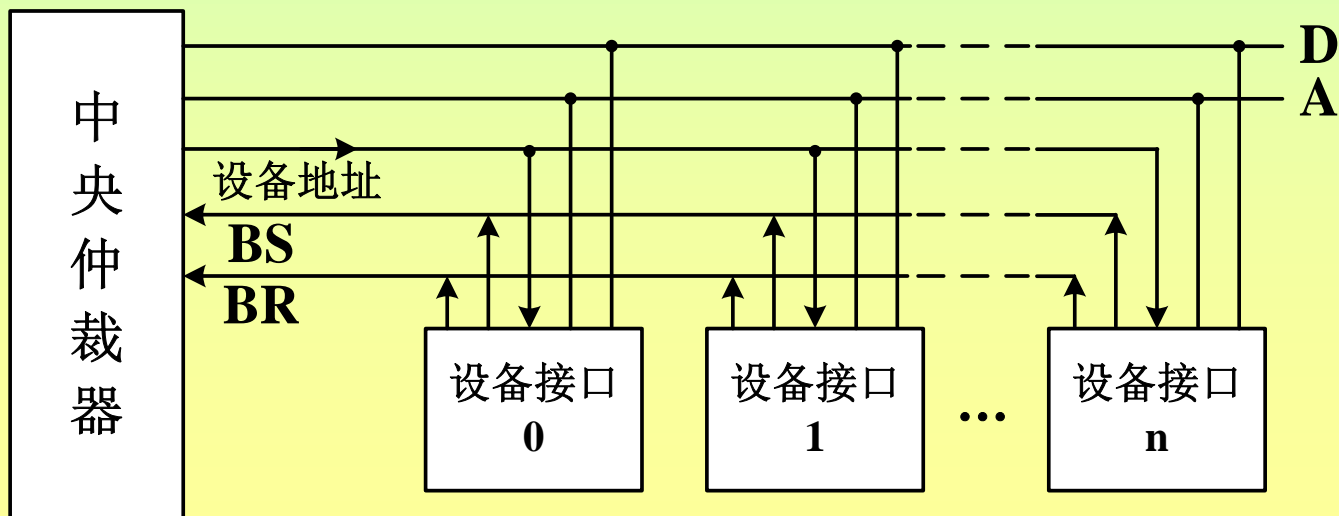
链式查询方式也叫做菊花链查询方式。



- 1、BR表示什么含义？它与 C_i 占用总线有什么关系？
- 2、 $T2 > T1$ 的原因是什么？
- 3、t3时刻当 C_0 占用总线时，BR变为0，而t4、t5时刻，当 C_1 占用总线时，BR却没有变为0，原因是什么？

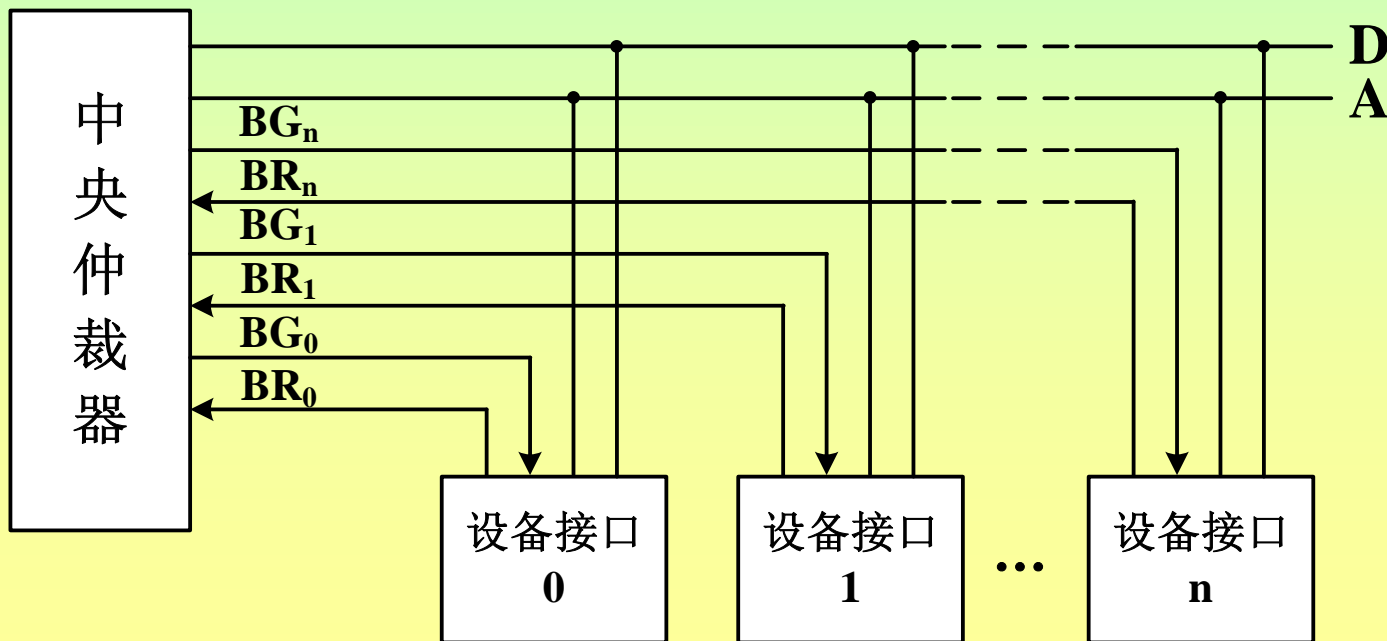
计数器定时查询方式：也叫循环菊花链。总线上任一设备要求使用总线时，通过BR线发出总线请求。中央仲裁器接到请求信号后，在BS线为“0”的情况下让计数器开始计数，计数值通过一组设备地址线发向各设备。每个设备接口都有一个设备地址判别电路，当设备地址线上的计数值与请求总线的设备地址相一致时，该设备将BS线置“1”，获得总线使用权，并中止计数查询。

每次计数可以从“0”开始，也可以从中止点开始。如果从“0”开始，各设备的优先次序与链式查询法相同，优先级的顺序是固定的。如果从中止点开始，则每个设备使用总线的优先级相等。计数器的初值也可用程序来设置。



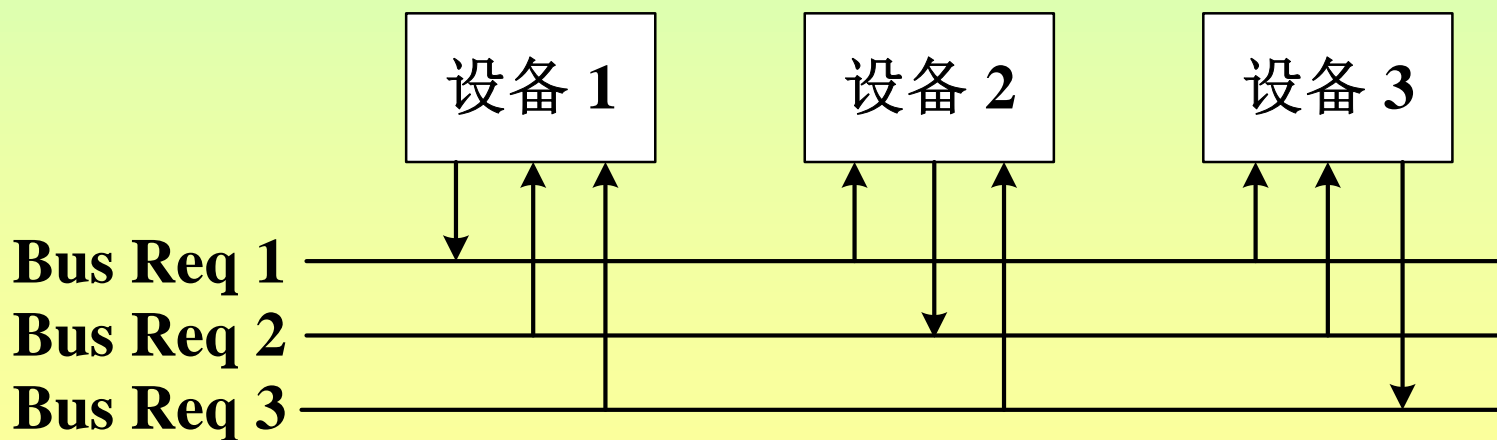
独立请求方式：每一个共享总线的设备均有一对总线请求线 BR_i 和总线授权线 BG_i 。当设备要求使用总线时，便发出该设备的请求信号。中央仲裁器中的排队电路决定首先响应哪个设备的请求，给设备以授权信号 BG_i 。

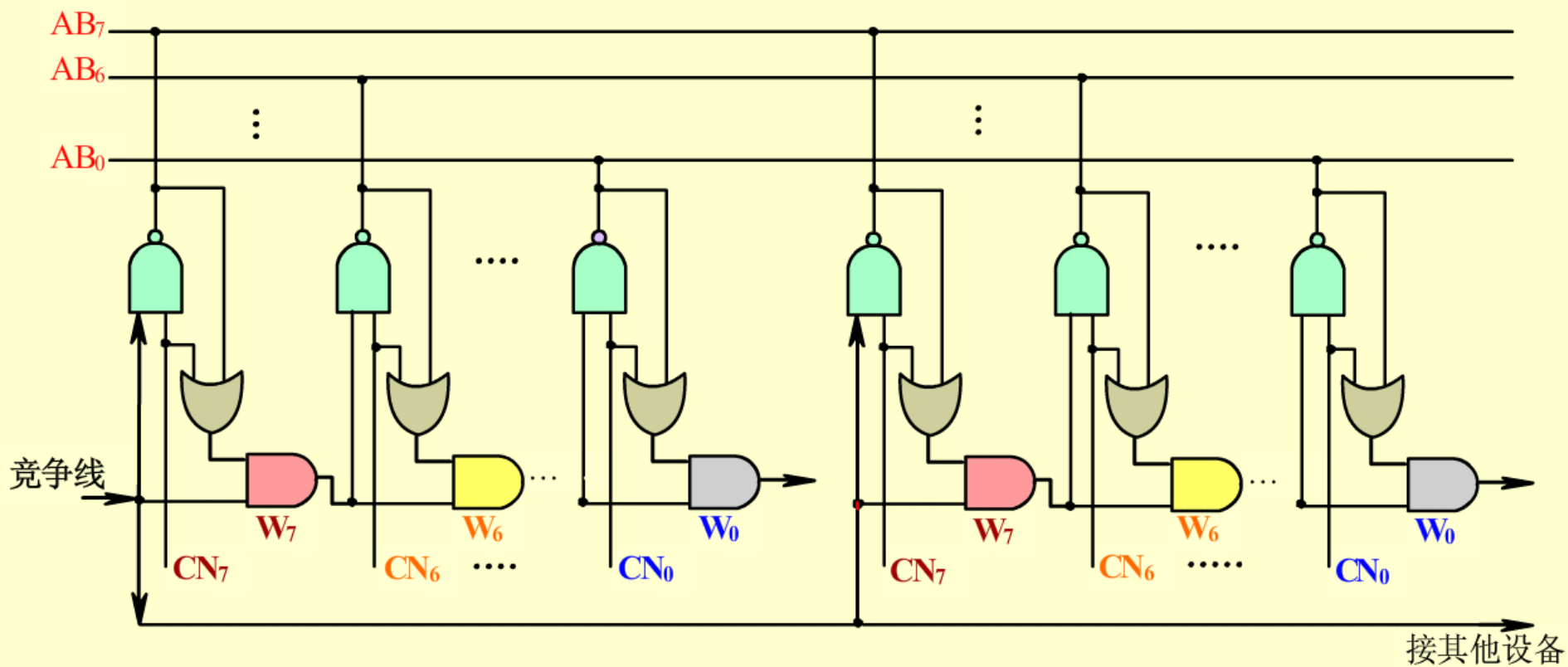
独立请求方式的优点：响应时间快，确定优先响应的设备所花费的时间少，用不着一个设备接一个设备地查询。其次，对优先次序的控制相当灵活，可以预先固定也可以通过程序来改变优先次序；还可以用屏蔽 (禁止)某个请求的办法，不响应来自无效设备的请求。



分布式仲裁

分布式仲裁不需要中央仲裁器，每个主方功能模块都有自己的仲裁号和仲裁器。当某个主方模块有总线请求时，把它唯一的仲裁号发送到共享的仲裁总线上。每个主方模块的仲裁器将仲裁总线上得到的号与自己的号进行比较。如果仲裁总线上的号大，则请求失败，并撤消自己的仲裁号。最后，获胜者的仲裁号保留在仲裁总线上。显然，分布式仲裁是以优先级仲裁策略为基础。



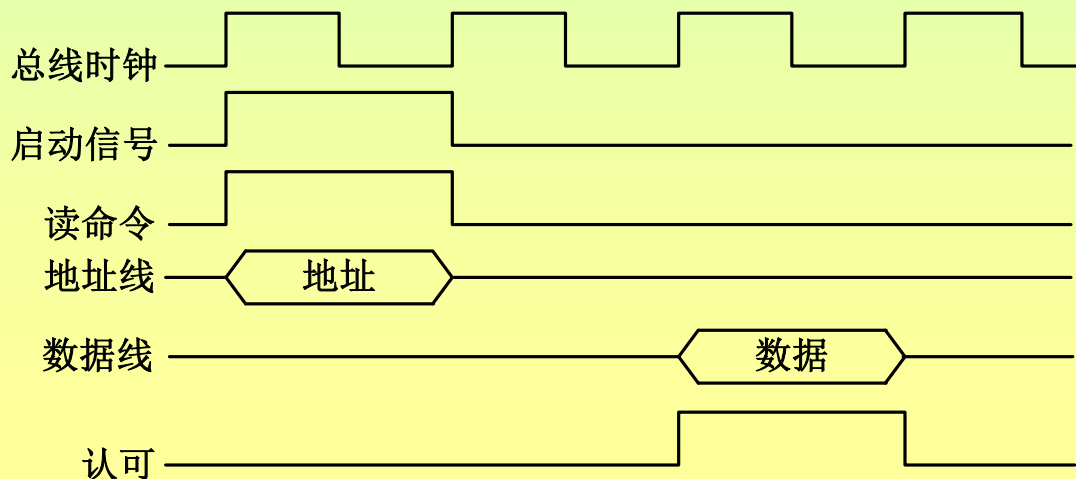


总线的定时

总线的一次信息传送过程，大致可分为如下五个阶段：请求总线，总线仲裁，寻址，信息传送，状态返回。为了同步主方、从方的操作，必须制订定时协议。定时是指事件出现在总线上的时序关系。

1. 同步定时：事件出现在总线上的时刻由总线时钟信号来确定。由于采用了公共时钟，每个功能模块什么时候发送或接收信息都由统一时钟规定，因此，同步定时具有较高的传输频率。

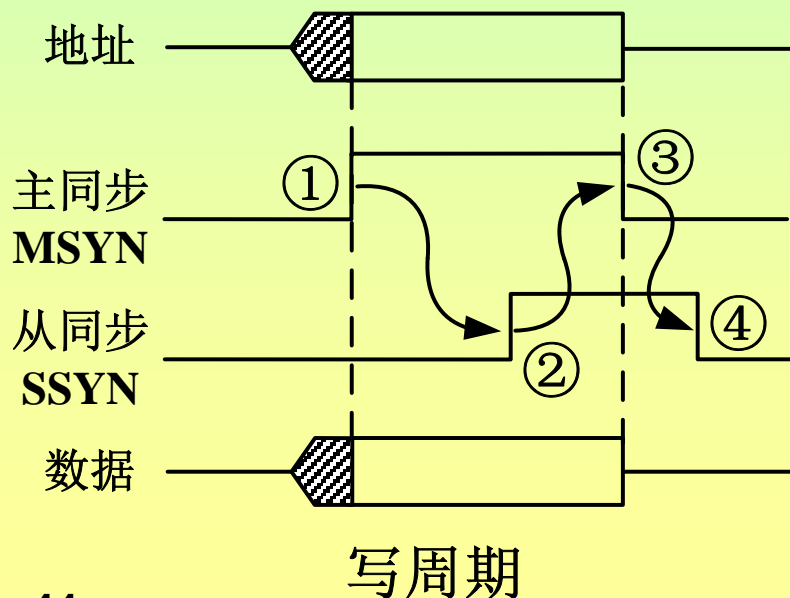
同步定时适用于总线长度较短、各功能模块存取时间比较接近的情况。同步总线必须按最慢的模块设计公共时钟。当时间差别较大时，会损失效率



2. 异步定时：在异步定时协议中，后一事件出现在总线上的时刻取决于前一事件的出现，即建立在应答式或互锁机制基础上。在这种系统中，不需要统一的公共时钟信号。总线周期的长度是可变的。

异步定时的优点是总线周期长度可变，不把响应时间强加到功能模块上，因而允许快速和慢速的功能模块都连接到同一总线上。

写周期：主方把地址和数据放在总线上，经过一段时间的延迟后（即图中阴影部分所示的建立时间），“对话”开始：



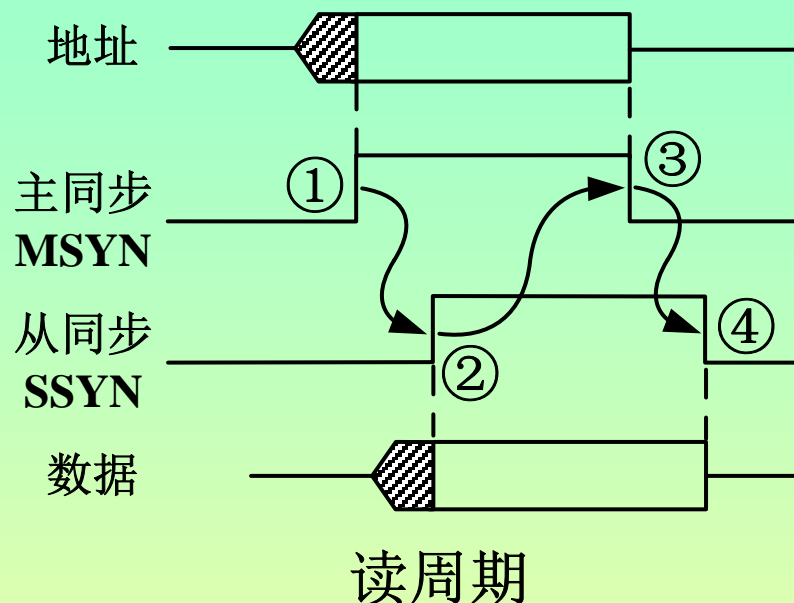
① 主同步有效，通知从方数据已准备好，可以接收；

② 从方接收到数据后，从同步有效，通知主方已接收数据；

③ 主方收到从方的应答后，主同步变为无效，并撤消地址和数据；

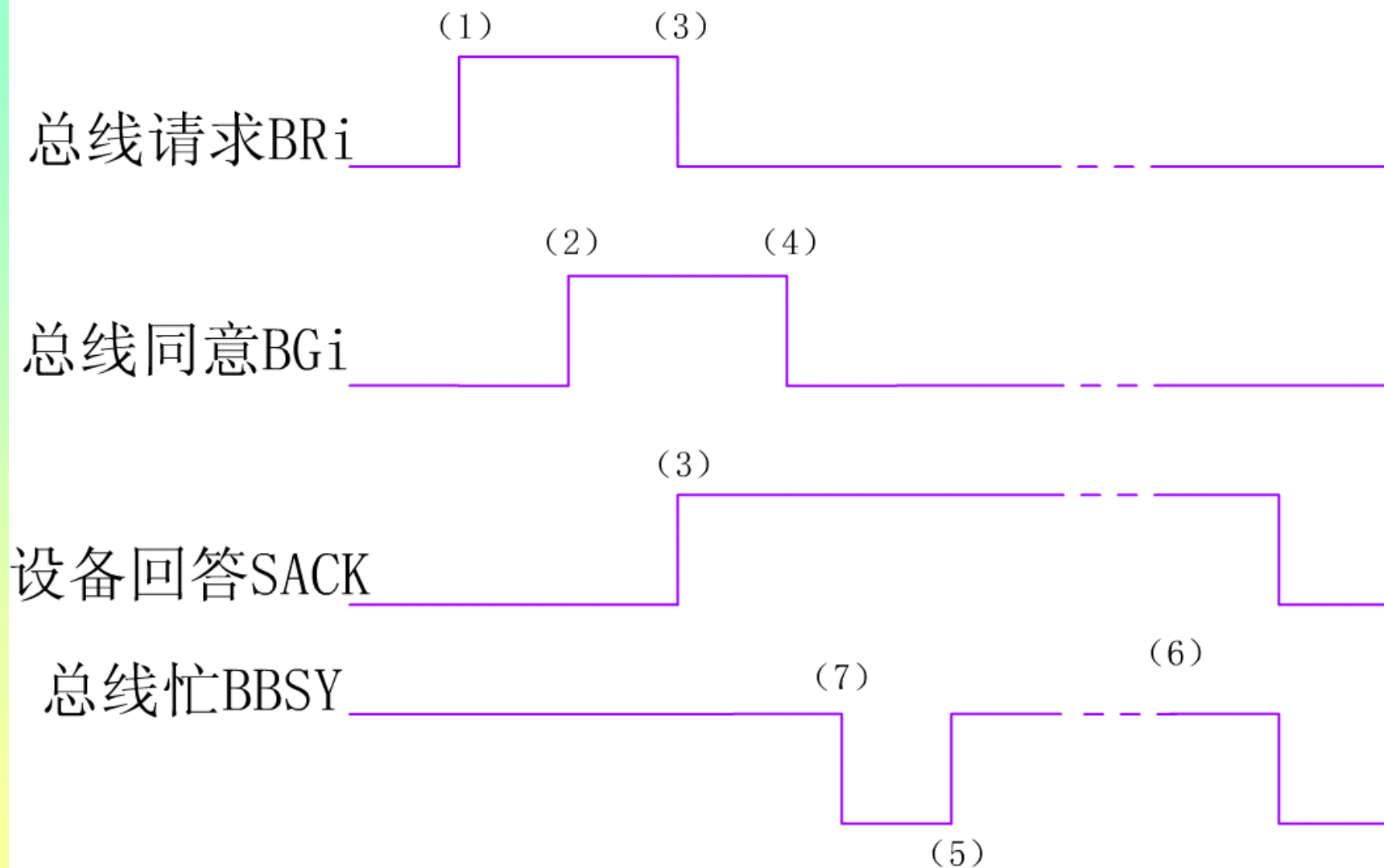
④ 从方知道主方已收到自己的应答后，从同步变为无效。本次操作结束。

读周期：主方把地址放在总线上，经过一段时间的延迟后，“对话”开始：



- ① 主同步有效，通知从方已作好读数准备，请送数；
- ② 从方把数据放到总线上，经过一段时间的延迟后，从同步有效，通知主方数据已送出；
- ③ 主方接收数据后，主同步变为无效，通知从方数据已接收，并撤消地址；
- ④ 从方知道主方已接收数据后，从同步变为无效并撤消数据。本次操作结束。

P202 分析说明下图所示的总线仲裁时序图



- ① 当某个设备请求使用总线时，在该设备的请求线上发出申请信号**BRi**
- ② **CPU**按照优先原则同意后给出授权信号**BGi**作为回答
- ③ **BGi**链式查询各设备，并上升从设备回答**SACK**信号证实已收到**BGi**信号
- ④ **CPU**接到**SACK**信号后下降**BGi**作为回答
- ⑤ 在总线“忙”标志**BBSY**为0情况该设备上升**BBSY**，表示该设备获得总线控制权，成为控制总线的主设备
- ⑥ 在设备用完总线后，下降**BBSY**和**SACK**，释放总线
- ⑦ 在上述选择主设备过程中，可能现行的主从设备正在进行传送。此时需等待现行传送结束，即主设备下降**BBSY**信号，新的主设备才能上升**BBSY**，获得总线控制权。

总线数据传送模式

当代的总线标准大都能支持以下四类模式的数据传送：

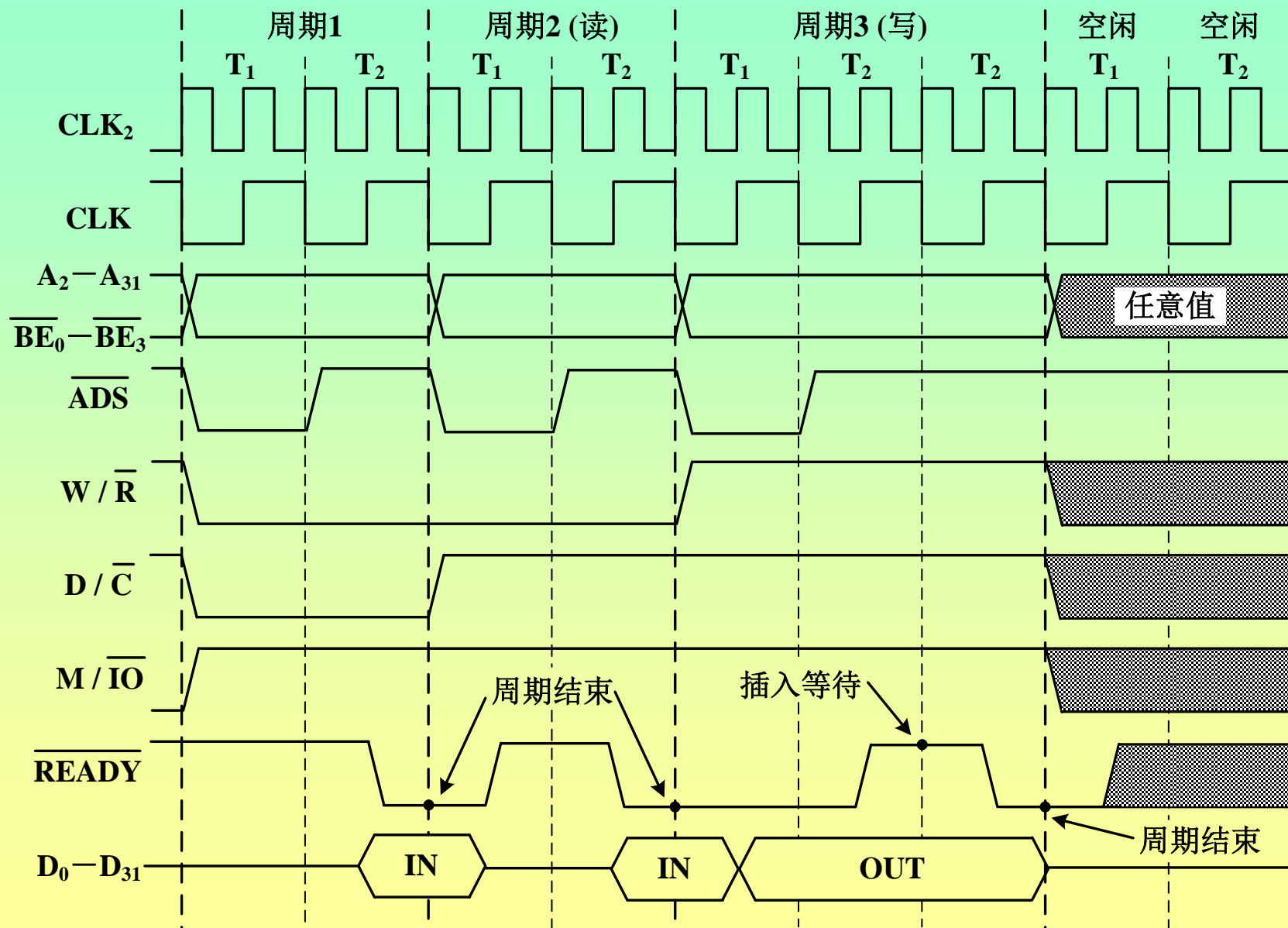
读、写操作：读操作是由从方到主方的数据传送；写操作是由主方到从方的数据传送。一般，主方先以一个总线周期发出命令和从方地址，经过一定的延时再开始数据传送总线周期。为了提高总线利用率，减少延时损失，主方完成寻址总线周期后可让出总线控制权，以使其他主方完成更紧迫的操作。然后再重新竞争总线，完成数据传送总线周期。

块传送操作：只需给出块的起始地址，然后对固定块长度的数据一个接一个地读出或写入。对于CPU (主方)、存储器 (从方)而言的块传送，常称为猝发式传送，其块长一般固定为数据线宽度(存储器字长)的4倍。

写后读、读修改写操作：只给出地址一次，或进行先写后读操作，或进行先读后写操作。前者用于校验目的，后者用于多道程序系统中对共享存储资源的保护。这两种操作和猝发式操作一样，主方掌管总线直到整个操作完成。

广播、广集操作：一般而言，数据传送只在一个主方和一个从方之间进行。但有的总线允许一个主方对多个从方进行写操作，这种操作称为广播。与广播相反的操作称为广集，它将选定的多个从方数据在总线上完成AND或OR操作，用以检测多个中断源。

例：分析说明图示CPU总线周期时序图。



$\overline{\text{ADS}}$: 地址状态输出, 低电平表示总线上的地址和控制信号有效

$\text{W}/\overline{\text{R}}$: 高电平表示写命令, 低电平表示读命令

$\text{D}/\overline{\text{C}}$: 高电平表示数据周期, 低电平表示控制周期

$\text{M}/\overline{\text{IO}}$: 高电平表示对存储器操作, 低电平表示对I/O端口操作

$\overline{\text{READY}}$: 存储器在读/写操作结束后产生的应答信号

该总线采用同步定时协定。每个机器周期包括两个时钟周期CLK。

机器周期1为读指令周期。在 T_1 时间主方CPU送出 $\overline{\text{ADS}}$ 信号, 表示总线上的地址和控制信号有效。在 T_2 时间末尾, 从方存储器将指令送到数据线上, 并产生 $\overline{\text{READY}}$ 信号, 通知CPU读操作结束。

机器周期2为读数据周期。除了 $\text{D}/\overline{\text{C}}$ 为高电平外, 其余同机器周期1。

机器周期3为写数据周期。 $\text{W}/\overline{\text{R}}$ 为高电平, CPU把数据输出到数据线上。如果在一个机器周期内能完成写入操作, 则在 T_2 末尾由存储器产生 $\overline{\text{READY}}$ 信号。假如 T_2 末尾没有完成写入操作, 可插入若干个 T_2 时钟周期, 直到出现 $\overline{\text{READY}}$ 信号。

PCI (Peripheral Component Interconnect)总线是Intel公司结构实验室于1991年提出的。1992年推出1.0版，1993年4月和1995年6月推出2.0版和2.1版。

V1.0支持33MHz工作频率，32位地址和数据线；V2.1支持66MHz工作频率，64位地址和数据线。地址线和数据线是一组线，分时复用。

PCI总线最先引入“即插即用”(Plug and Play, PnP)的概念。每个PCI总线扩展卡上有256字节的配置存储器，用来存放自动配置信息。一旦它插入系统，系统BIOS可根据这些信息为控制卡分配存储地址、端口地址、中断级和某些定时信息，实现即插即用。

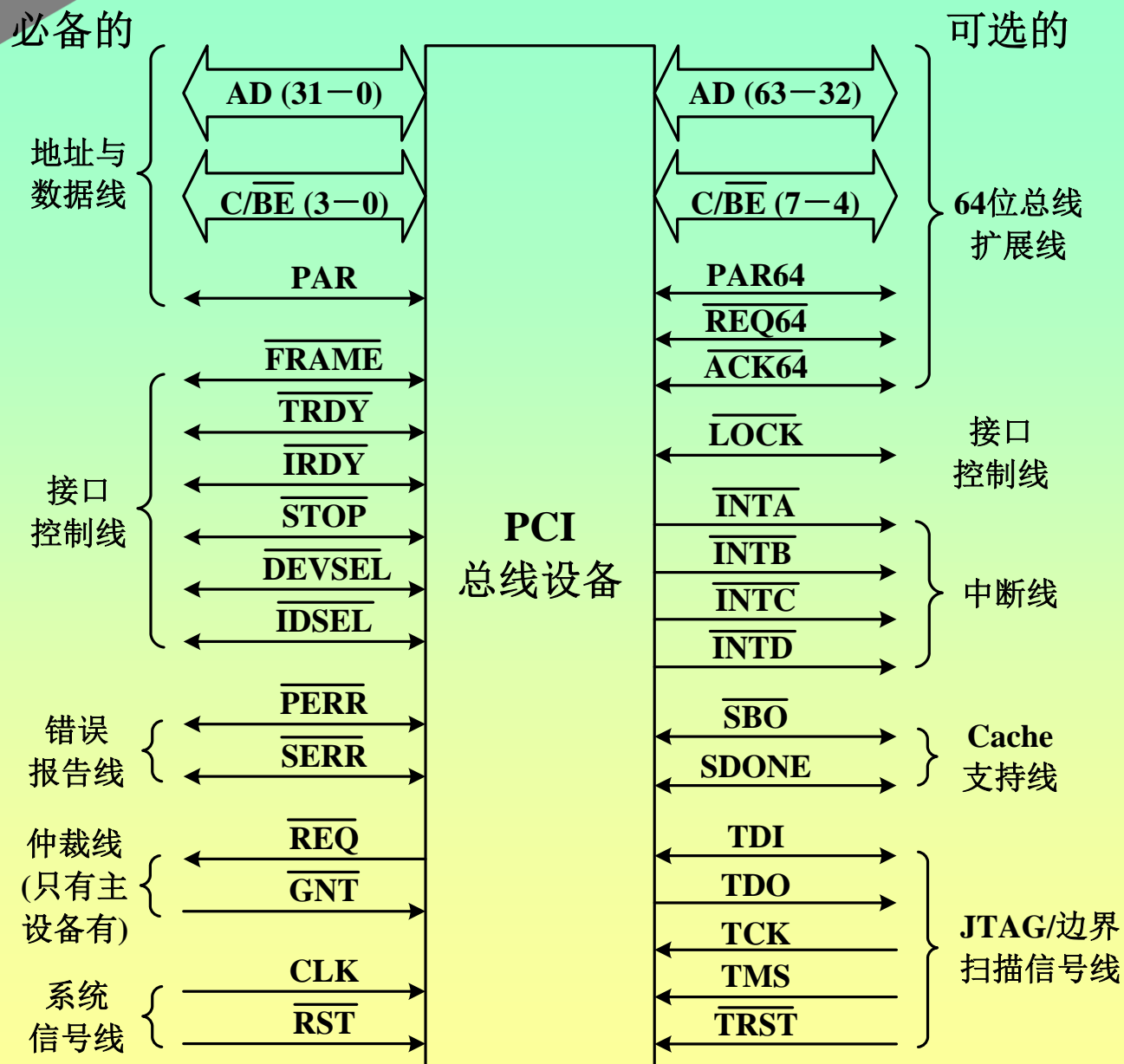
考虑到绿色节能的要求，PCI总线在支持5V工作电压的同时，把支持3.3V的工作电压加入到规范中。

PCI总线V2.1仍然难以满足日新月异的高性能CPU、主板和新型外设对传输带宽日益增长的需求。为此，Intel公司开始推出新一代PCI总线规范：PCI-X和PCI-X2.0，分别适用于133MHz和533MHz总线时钟频率的主板。

PCI信号线

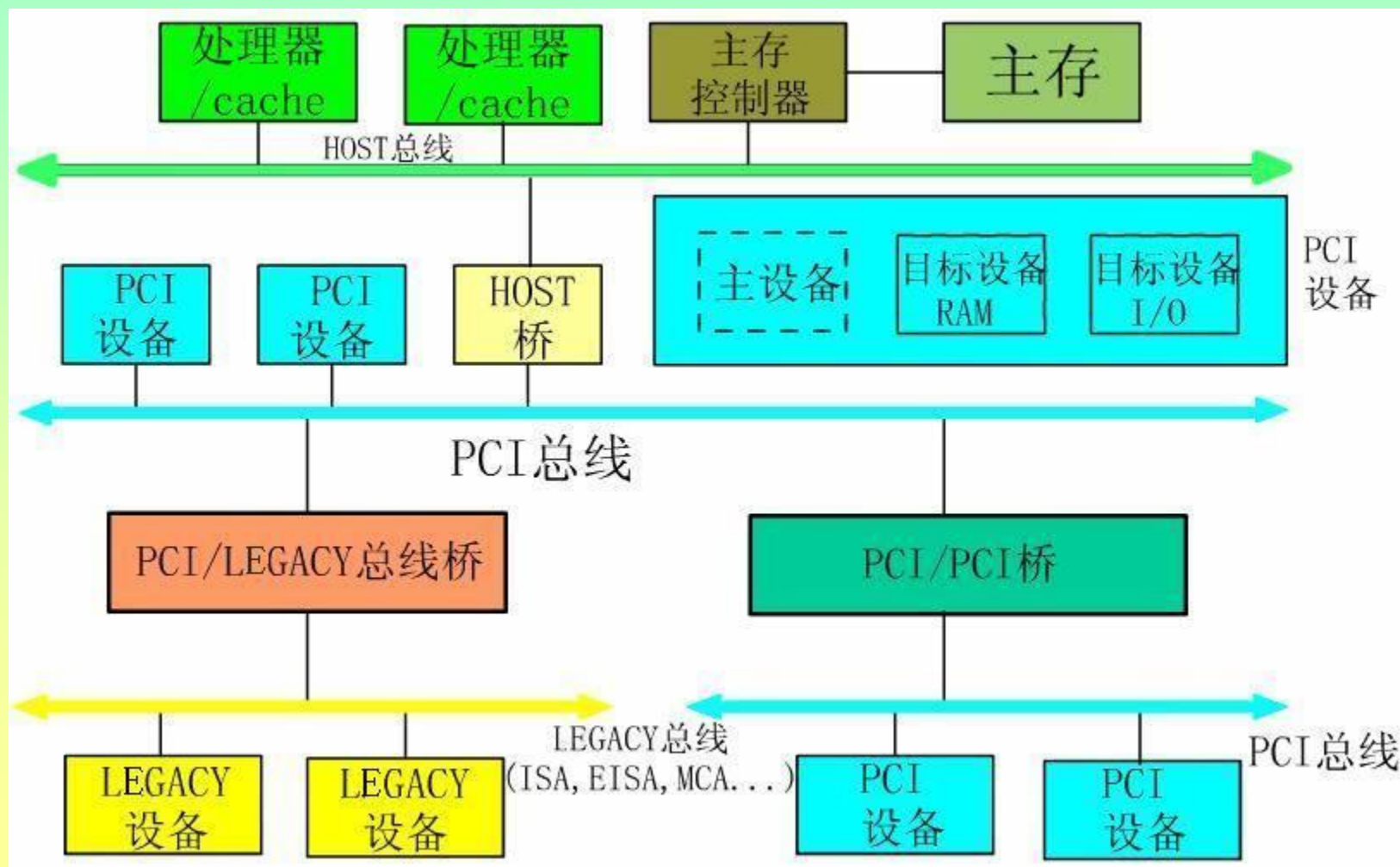
PCI总线的信号线包括两类：必备的和可选的。对从方设备，必备线为47条，对主方设备为49条。

除了图中所示的信号线外，还有若干电源线、地线和保留线等。



多总线结构

PCI是一个与处理器无关的高速外围总线，又是至关重要的层间总线。它采用同步时序协议和集中式仲裁策略。典型的PCI总线结构框图如下：



HOST总线：该总线有CPU总线、系统总线、主存总线等多种名称，各自反映总线功能的一个方面。这里称“宿主”总线。HOST总线不仅连接主存，还可以连接多个CPU。

PCI总线：连接各种高速的PCI设备。PCI设备可以是主设备，也可以是从设备，或兼而有之。在PCI设备中不存在DMA的概念，这是因为PCI总线支持无限的猝发式传送。系统中允许有多条PCI总线，它们可以使用HOST桥与HOST总线相连，也可使用PCI/PCI桥与已和HOST总线相连的PCI总线相连，从而得以扩充整个系统的PCI总线负载能力。

LEGACY总线：可以是ISA，EISA，MCA等这类性能较低的传统总线，以便充分利用市场上丰富的适配器卡，支持中、低速I/O设备。

ISA (Industrial Standard Architecture)总线是IBM公司1984年为推出PC/AT机而建立的系统总线标准，也称AT总线。它是对XT总线的扩展，在XT总线62线的基础上再扩充36线，共98线。主要性能为：

64 KB I/O地址空间

16 MB存储器地址空间

8位或16位数据存取

8 MHz最高时钟频率和16 MB/s最大稳态传输率

15级硬中断和7级DMA通道

目前ISA总线已逐渐被淘汰。除了微机原理与接口实验室的PC机为便于教学而保留一个ISA插槽外，主流PC机主板已不再提供ISA插槽了。

EISA (Extended Industrial Standard Architecture) 总线：与ISA兼容，16或32位数据线，32位地址线，工作频率8.33 MHz。

AGP (Accelerated Graphics Port)总线是Intel公司为提高视频带宽、解决3D图形数据的传输问题而设计的专用接口总线规范。

AGP是以**66 MHz PCI 2.1**规范为基础，扩充了一些与加速图形显示有关的功能而形成的。它的引入在主存和显卡之间提供了一条直接的单独的通路，使得图形数据可以不经过**PCI**总线而送入显示子系统，突破了原来采用**PCI**总线作为显卡接口时的数据传输瓶颈。主要性能为：

提供对主存数据读/写的流水线操作功能，大大减少了内存等待时间，提高了数据传输速度。

具有**1X、2X、4X、8X**四种工作模式，数据传输速率为**266 MB/s**至**2133 MB/s**。

具有直接内存执行 (**Direct Memory Execute, DIME**)功能，允许3D纹理数据不经过图形控制器内的显示缓冲区，而直接进入系统内存，既有利于提高数据传输率，又可让出显示缓冲区和带宽供其它功能模块使用。

Futurebus⁺总线标准的目标是开发一种真正开放的总线标准，使之能支持64位地址空间，64位、128位、256位数据传输，为下一代的多处理机系统提供一个稳定的平台。

Futurebus⁺是一个高性能的异步总线标准。其技术要求是：

- (1) 一个与结构、处理器、技术无关的开发标准。
- (2) 基本上是一个异步数据定时协议。
- (3) 允许采用可选的源一同步式协议，用来实现高速的块数据传送。
- (4) 支持32位或64位寻址，数据线长度动态可变，以满足不同带宽的要求。

。

(5) 全分布式的并行仲裁协议及集中式仲裁协议，并支持线路交换式和分离业务协议。

(6) 提供对容错和高可靠性系统的支持。

(7) 提供对Cache共享存储器的支持。

54 (8) 提供一个兼容的消息传递定义。

通用串行总线USB

USB (Universal Serial Bus)是Intel、Compaq等7家公司联合制定的通用串行总线标准。1996年推出USB 1.0版，1998年和1999年推出1.1版和2.0版。它主要用于低速设备(如键盘、鼠标)和中速设备(如U盘、DC)与PC机的连接。主要性能特点为：

具有即插即用和热插拔能力。

由接口给设备提供+5V电源，驱动电流最大为100 mA。若要驱动负载较大的设备，需采取其它途径。最多可挂接127台设备 (用8位地址码区分)

采用带屏蔽传输线时最高传输速率为12 Mb/s，无屏蔽的最高速率为1.5 Mb/s。USB 2.0将设备之间的数据传输速度增加到了480Mbps，比USB 1.1标准快40倍左右。

USB接口有4根信号引脚，引脚1和4是+5V电源线和地线，引脚2和3是串行位数据传送线D(+)和D(-)，2、3脚短而1、4脚长。这样，在插入时，电源触点首先接触，给USB设备供电，然后才进行数据传输，保证设备正常运作；拔出时，数据线先脱离接触，防止突然断电时可能将错误的数

55 据送入主机。

USB 3.0

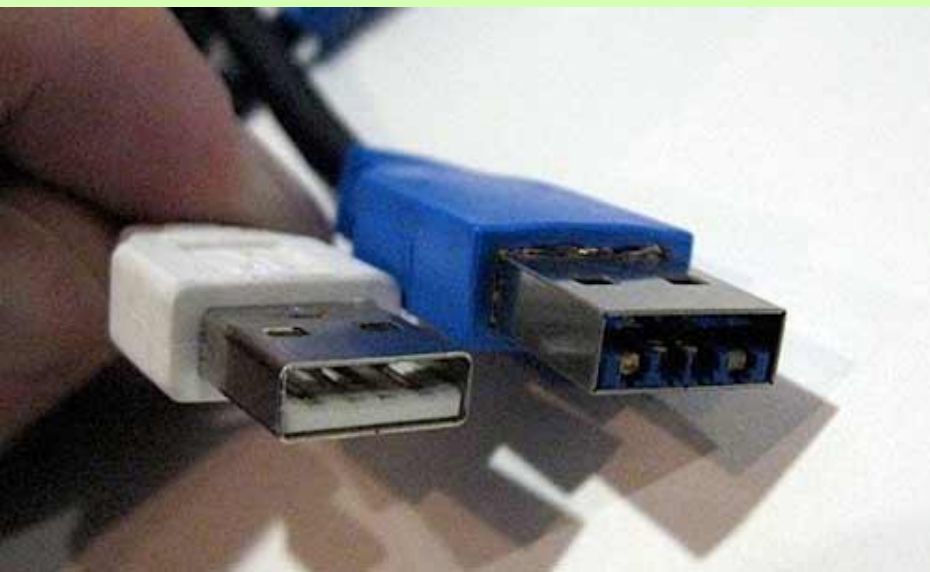
传输速率：**USB3.0**传输速率大约是**3.2Gbps**（即**400MB/S**），理论上的最高速率是**5.0Gbps**（即**625MB/S**）。

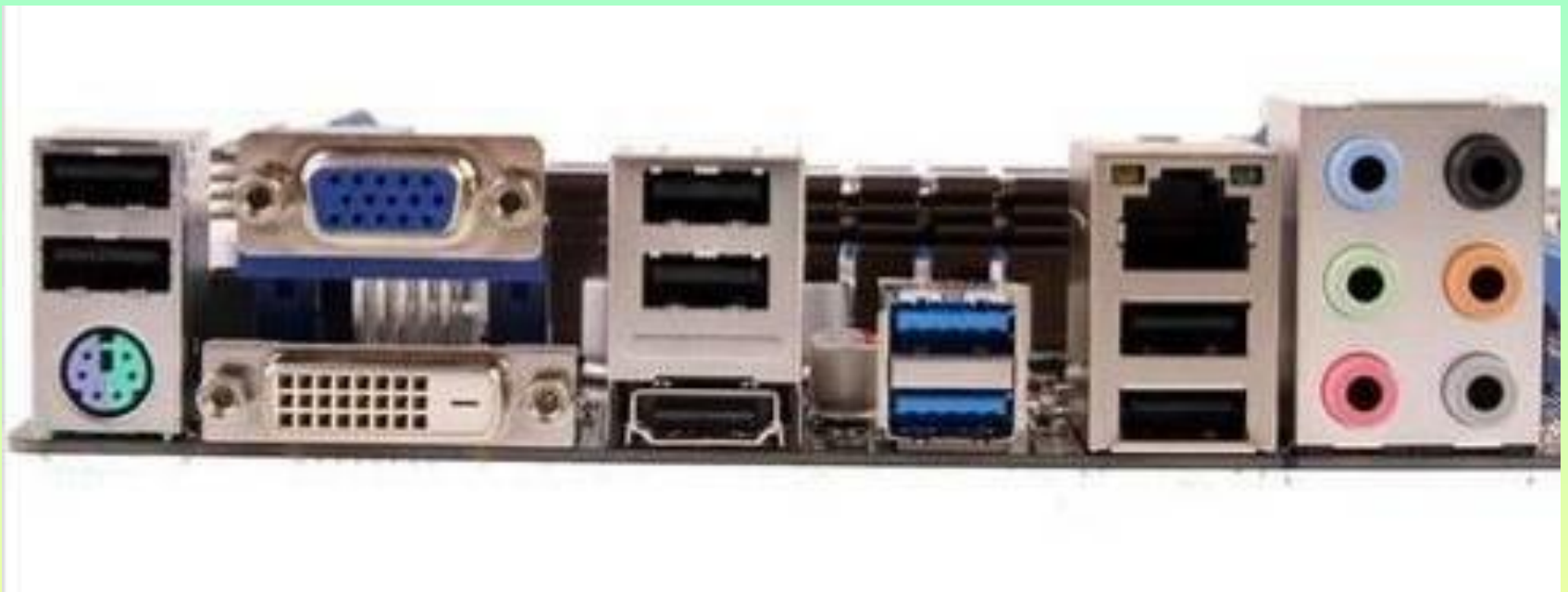
已支持的操作系统

Windows Vista、Windows 7 SP1和**Linux**已支持**USB 3.0**。**苹果 Mac OS**还在观望，应该也会支持的。鉴于**Windows XP**的“年龄”，它能支持**USB 3.0**的希望几乎渺茫。

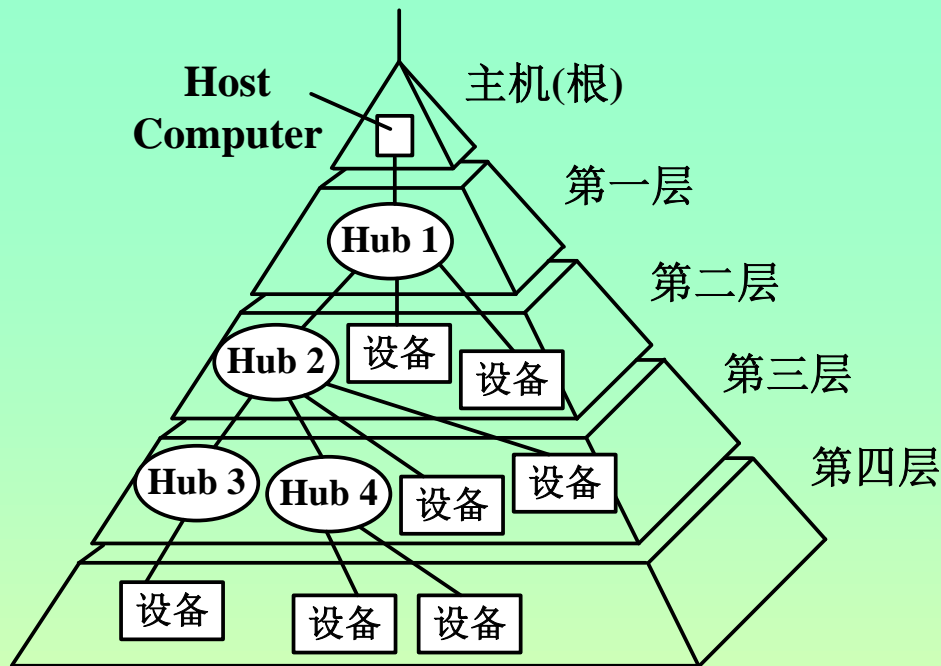
USB3.0与USB2.0外观区别

观察**USB**（本身）的插口和电脑上**USB**插口，中间的塑料片颜色。
USB3.0：蓝色。





主板的I/O接口：**6个USB2.0接口、1个PS/2键鼠接口、VGA+DVI+HDMI全视频输出接口、2个USB3.0接口、RJ-45网线接口和8声道音频接口。**



USB 接口利用 USB 集线器 (Hub) 对设备进行树形连接。USB 系统必有一个根集线器 (root hub) 在主机内与主总线 (如 PCI) 相接，以它为根结点最多可分成 6 层对外设进行树形连接，最多可接 127 个设备。

USB 规范规定了四种不同的数据传输方式：

等步传输方式：用于连接需要连续传送，对数据的正确性要求不高但对时间敏感的外部设备，如麦克风、音箱等。对传送错误不进行处理。

中断传输方式：用于传送数据量小，但需要及时准确处理的数据，如鼠标、键盘、游戏手柄等。

控制传输方式：用于传送控制信号，数据量很小，实时性要求不高。

成批传输方式：用于传送数据量大，要求正确无误，对实时性要求不高的数据，如打印机、数码相机等。

串行I/O标准接口IEEE1394

IEEE 1394与USB有很多相似之处，但IEEE1394一开始就是针对高速设备提出的。IEEE1394接口的主要性能特点有：

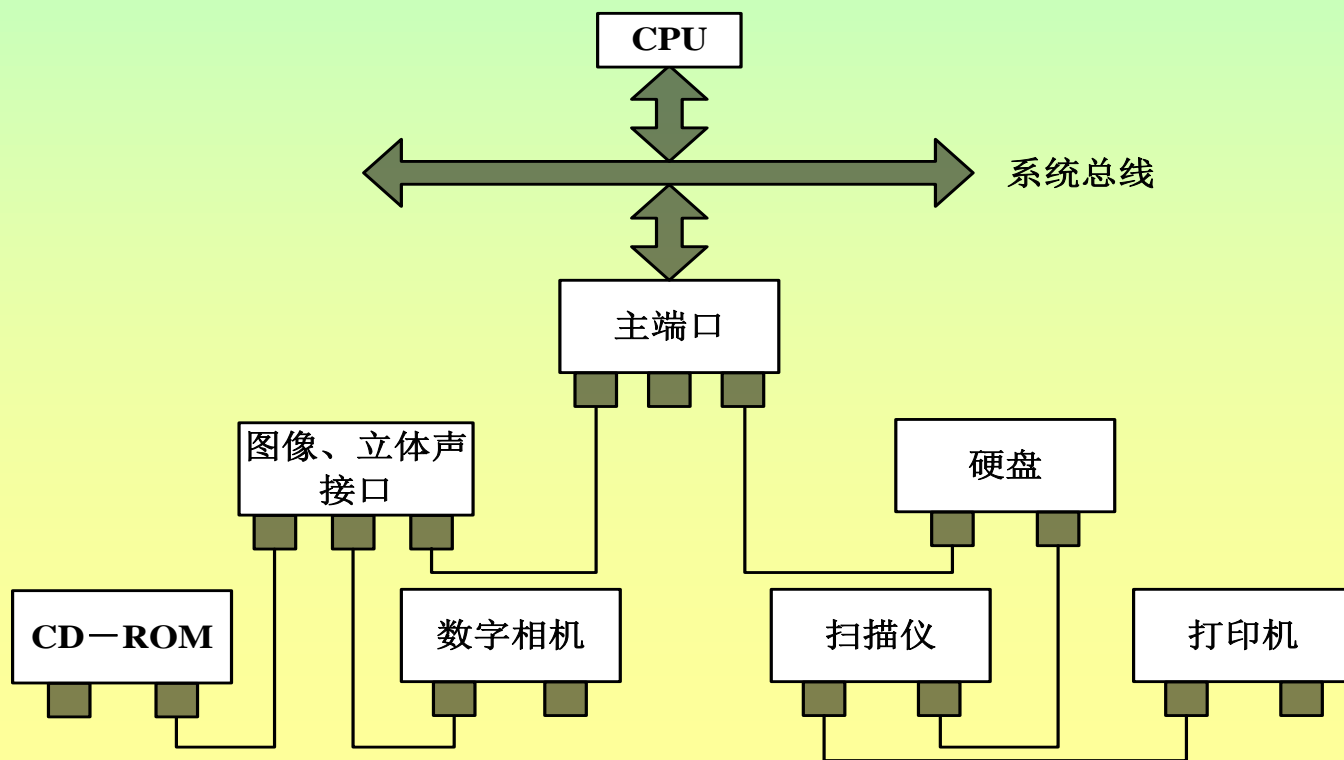
(1)数据传送的高速性：1394的数据传输率分为100Mb/s、200Mb/s、400Mb/s三档。这样的高速特性特别适合于新型高速硬盘及多媒体数据传送。

(2)数据传送的实时性：实时性可保证图像和声音不会出现时断时续的现象，因此对多媒体数据传送特别重要。1394之所以做到实时性，原因有二：一是它除了异步传送外，还提供了一种等步传送方式，数据以一系列固定长度的包规整间隔地连续发送，端到端既有最大延时限制而又有最小延时限制；二是总线仲裁除优先权仲裁之外，还有均等仲裁和紧急仲裁方式。

(3)体积小易安装，连接方便：1394使用6芯电缆，直径约为6mm，插座也小。1394的电缆不需要与电缆阻抗匹配的终端，而且电缆上的设备随时可从插座拔出或插入，即具有热插入能力。这对用户安装和使用1394设备很有利。

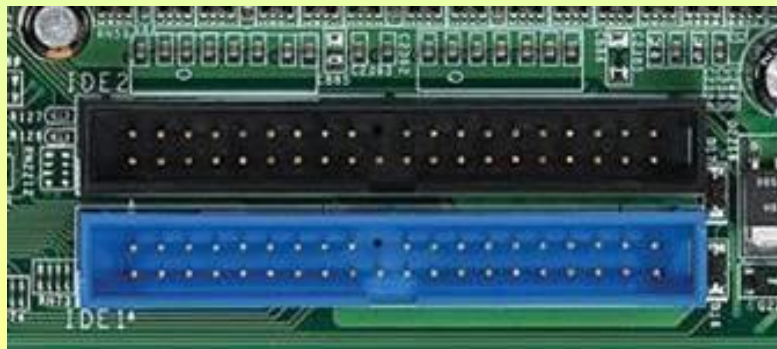
1394采用树形结构配置，也需要一个主适配器和系统总线相连。这个主适配器集成在南桥芯片中。我们将主适配器及其端口称为主端口。主端口是1394接口树形配置结构的根节点。一个主端口最多可连接63台设备。

1394采用集中式总线仲裁方式。中央仲裁逻辑在主端口内，以先到先服务方法来处理节点提出的总线访问请求。在多个节点同时提出使用总线请求时，最靠根节点的竞争节点有高的优先权；同样靠近根节点的竞争节点，其设备标识号ID大的有更高优先权。设备标识号是系统自动指定的。



IDE接口

IDE（集成磁盘电子接口）是**Integrated Device Electronics**的简称，是一种硬盘的传输接口，它有另一个名称叫做**ATA**（高级技术附件规格）（**Advanced Technology Attachment**），简称**ATA**。这两个名词都有厂商在用，指的是相同的东西。**IDE**的规格后来有所进步，而推出了**EIDE**（**Enhanced IDE**）的规格名称，而这个规格同时又被称为**Fast ATA**。所不同的是**Fast ATA**是专指硬盘接口，而**EIDE**还制定了连接光盘等非硬盘产品的标准。而这个连接非硬盘类的**IDE**标准，又称为**ATAPI**接口。而之后再推出更快的接口，名称都只剩下**ATA**的字样，像是**Ultra ATA**、**ATA/66**、**ATA/100**等。



早期的**IDE**接口有两种传输模式，一个是**PIO**（**Programming I/O**）模式，另一个是**DMA**（**Direct Memory Access**）。虽然**DMA**模式系统资源占用少，但需要额外的驱动程序或设置，因此被接受的程度比较低。后来在对速度要求愈来愈高的情况下，**DMA**模式由于执行效率较好，操作系统开始直接支持，而且厂商更推出了愈来愈快的**DMA**模式传输速度标准。而从英特尔的**430TX**芯片组开始，就提供了对**Ultra DMA 33**的支持，提供了最大**33MB/sec**的数据传输率，以后又很快发展到了**ATA 66**，**ATA 100**以及迈拓提出的**ATA 133**标准，分别提供**66MB/sec**，**100MB/sec**以及**133MB/sec**的最大数据传输率。值得注意的是，迈拓提出的**ATA 133**标准并没能获得业界的广泛支持，硬盘厂商中只有迈拓自己才采用**ATA 133**标准，而日立（**IBM**），希捷和西部数据则都采用**ATA 100**标准，芯片组厂商中也只有**VIA**，**SIS**，**ALi**以及**nVidia**对次标准提供支持，芯片组厂商中英特尔则只支持**ATA 100**标准。

各种**IDE**标准都能很好的向下兼容，例如**ATA 133**兼容**ATA 66/100**和**Ultra DMA33**，而**ATA 100**也兼容**Ultra DMA 33/66**。

要特别注意的是，对**ATA 66**以及以上的**IDE**接口传输标准而言，必须使用专门的80芯**IDE**排线，其与普通的40芯**IDE**排线相比，增加了40条地线以提高信号的稳定性。

随着当前硬盘的数据传输率越来越高，传统的并行**ATA**（**PATA**）接口日益逐渐暴露出一些设计上的缺陷，其中最致命的莫过于并行线路的信号干扰问题：随着接口工作频率的提升，数据线路中电气性质的任何差异都可能令各线路的时钟信号不匹配，从而导致数据到达时间不一致，甚至造成数据传输错误；此外，当数据在数据线中传递的时候，并行**ATA**的数据线就会因为线缆的长度和电压的变化而形成一个不断变化的电磁场，进而影响到其它数据线中的数据传递，这种干扰的影响会随着总线频率的提升逐渐增大，而这些都是并行**ATA**所无法克服的设计上的缺陷。**PATA**还有许多不尽如人意的地方，譬如不支持热插拔、冗错性差、功耗高、影响散热及连接线长度有限等等。

近年来出现了串行ATA（**Serial ATA**，简称**SATA**），其最大数据传输率更进一步提高到了**150MB/sec**，**SATA2**提高到**300MB/sec**，而且其接口非常小巧，排线也很细，有利于机箱内部空气流动从而加强散热效果，也使机箱内部显得不太凌乱。与并行ATA相比，**SATA**还有一大优点就是支持热插拔。

SATA3理论上提供**6Gbps(750MB/s)**，事实上**SATA**接口发送信息的速度为**600MB/s**，而受制于系统各部件的影响，实际速度会更低一些，而且不同环境差异会很大。不过，实际上，拿现在主流硬盘的实际速度来判断，都还没有达到**SATA1.0**的峰值，就更别提**SATA3.0**了。



SATA3 6Gb/s主板接口

固态硬盘（**Solid State Disk**、**Solid State Drive**，简称**SSD**，准确的技术称呼应为固态驱动器）。在固态硬盘中已经没有可以旋转的盘状机构，但是依照人们的命名习惯，这类存储器仍然被称为“硬盘”。固态硬盘的存储介质分为两种，一种是采用闪存（**FLASH**芯片）作为存储介质，另外一种是采用**DRAM**作为存储介质。

闪存是最常见的非易失性存储器。小容量的闪存可被制作成带有**USB**接口的移动存储设备，亦即人们常说的“闪存盘”、“**U**盘”。随着生产成本的下降，将多个大容量闪存模块集成在一起，制成以闪存为存储介质的固态硬盘已经是目前的趋势。

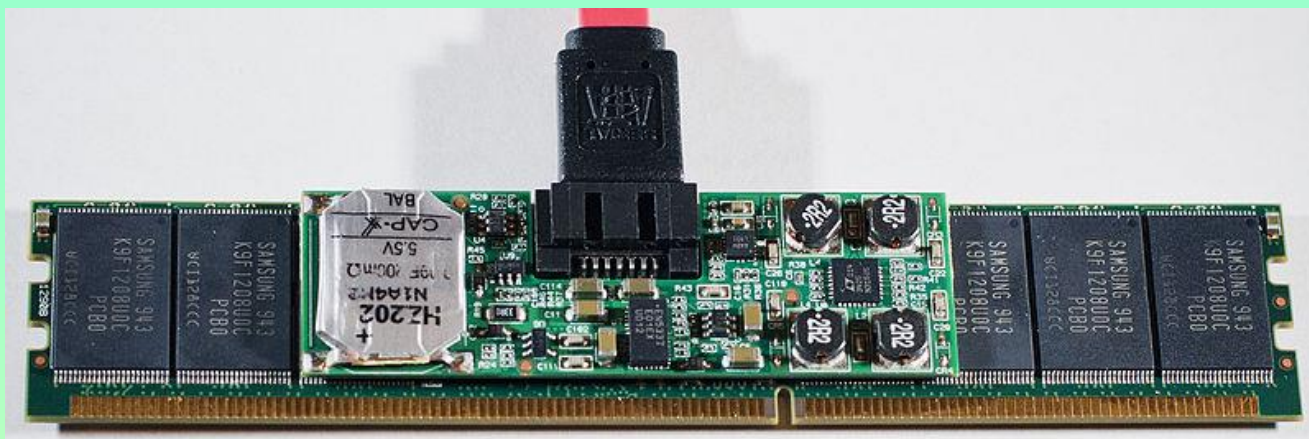
基于**DRAM**的固态硬盘：采用**DRAM**作为存储介质，目前应用范围较窄。它是一种高性能的存储器，而且使用寿命很长，美中不足的是需要独立电源来保护数据安全。



OCZ的OCTANE SATA III SSD



华硕Eee PC的SSD（8GB）



使用DIMM存储器制成的固态硬盘



机械硬盘和SSD内部差异明显

固态硬盘与普通硬盘比较，拥有以下优点：

- **启动快**，没有电机加速旋转的过程。读取延迟小，不用磁头，快速随机读取，读延迟极小。根据相关测试：两台电脑在同样配置的电脑下，搭载固态硬盘的笔记本从开机到出现桌面一共只用了**18秒**，而搭载传统硬盘的笔记本总共用了**31秒**，两者几乎有将近一半的差距。
- **碎片不影响读取时间**，相对固定的读取时间。由于寻址时间与数据存储位置无关，因此磁盘碎片不会影响读取时间。写入速度快，基于**DRAM**的固态硬盘写入速度极快。
- **无噪音**，因为没有机械马达和风扇，工作时噪音值为**0分贝**。某些高端或大容量产品装有风扇，因此仍会产生噪音。
- **发热量较低**，低容量的基于闪存的固态硬盘在工作状态下能耗和发热量较低，但高端或大容量产品能耗会较高。
- **不会发生机械故障**，内部不存在任何机械活动部件，不会发生机械故障，也不怕碰撞、冲击、振动。这样即使在高速移动甚至伴随翻转倾斜的情况下也不会影响到正常使用，而且在笔记本电脑发生意外掉落或与硬物碰撞时能够将数据丢失的可能性降到最小。
- **工作温度范围更大**，典型的硬盘驱动器只能在**5到55°C**范围内工作。而大多数固态硬盘可在**-10~70°C**工作，一些工业级的固态硬盘还可在**-40~85°C**，甚至更大的温度范围下工作（e.g: RunCore军工级产品温度为**-55~135°C**）。
- **体积小重量轻**，低容量的固态硬盘比同容量硬盘体积小、重量轻。
- **抗震动**，比起传统硬盘，固态硬盘抗震能力要强很多，使数据能更加安全地保存。

固态硬盘与传统硬盘比较，拥有以下缺点：

- 成本高**，每单位容量价格是传统硬盘的**5~10倍**（基于闪存），甚至**200~300倍**（基于**DRAM**）。
- 容量低**，目前固态硬盘最大容量远低于传统硬盘。（美国公司**Foremay**推出了**EC188M**系列固态硬盘**2TB**。）传统硬盘的容量仍在迅速增长。
- 易受外界影响**，由于不像传统硬盘那样屏蔽于法拉第笼中，固态硬盘更易受到某些外界因素的不良影响。如断电（基于**DRAM**的固态硬盘尤甚）、磁场干扰、静电等。
- 写入寿命有限**，写入寿命有限（基于闪存）。一般闪存写入寿命为**1万到10万次**，特制的可达**100万到500万次**，然而整台计算机寿命期内文件系统的某些部分（如文件分配表）的写入次数仍将超过这一极限。特制的文件系统或者固件可以分担写入的位置，使固态硬盘的整体寿命达到**20年以上**。
- 数据难以恢复**，数据损坏后难以恢复。一旦在硬件上发生损坏，如果是传统的磁盘或者磁带存储方式，通过数据恢复也许还能挽救一部分数据。但是如果是固态存储，一旦芯片发生损坏，要想在碎成几瓣或者被电流击穿的芯片中找回数据那几乎就是不可能的。
- 电池航程较短**，根据实际测试，使用固态硬盘的笔记本电脑在空闲或低负荷运行下，电池航程短于使用**5400RPM**的**2.5英寸**传统硬盘。
- 能耗较高**，基于**DRAM**的固态硬盘在任何时候的能耗都高于传统硬盘，尤其是关闭时仍需供电，否则数据丢失。

“智能响应加速技术”（Smart Response Technology，简称SRT）

这项技术简单来说就是利用固态硬盘作为机械硬盘的高速缓存，利用它比DRAM的容量优势，以提升系统的整体性能。这样可以兼顾机械硬盘容量大和固态硬盘速度快的特点。

英特尔® 智能响应技术

• 性能

- 英特尔智能响应解决方案 = 用传统硬盘打造堪比SSD的系统表现
- 基于数据块的智能高速缓存技术提升传统硬盘性能
- 性能超越混合式硬盘的两倍 (PC Mark Vantage)
- 性能超越采用传统硬盘系统的四倍 (PC Mark Vantage)
- 延长电池续航时间约20分钟

• 效率

- 智能、实时高速缓存
- 覆盖所有品牌的硬盘

• 易用性

- 友好的用户界面：仅需“开启/关闭”
- 固态硬盘(SSD)即插即用



实时缓存常用的应用程序，提升系统性能与响应速度

中关村在线
ZOL.com.cn

Smart Response智能响应技术是**SSD**固态硬盘与传统机械硬盘组建成为一个基于**Raid**磁盘阵列基础上，通过基于数据块的智能高速缓存技术来提升传统硬盘的性能，也可以说是一种变相的磁盘阵列技术。

SSD灵活应用

通过英特尔®智能响应技术实现

- 英特尔智能响应技术支持不同容量的固态硬盘(SSD)，配置灵活啊
 - OEM可配置
 - 最小缓存容量为20GB
 - 完全采用固态硬盘，最高至64GB

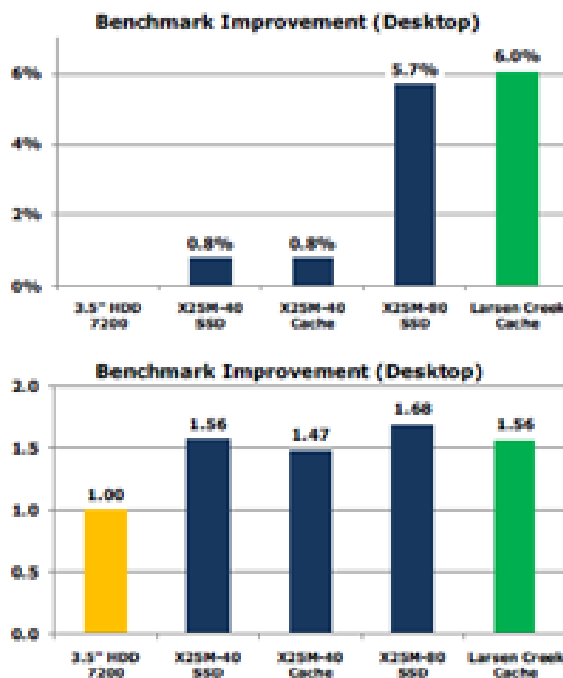


- 剩余的固态硬盘存储空间作为独立的卷，可用于存放平台增值方案或者OEM用于差异化的解决方案。
 - 启动恢复分区相比原来的纯硬盘方案(恢复操作系统)

1. 利用现有的固态硬盘进行高速缓存
2. 提升价值并令**OEM**的解决方案具有差异化

在基准性能测试中，智能响应技术（SRT）比机械硬盘提升了**60%**性能

英特尔® 智能响应技术基准测试



英特尔® 智能响应技术提供媲美纯固态硬盘(SSD)的系统性能

Sysmark* 07

- 英特尔智能响应的缓存性能与SSD相似，高于传统硬盘

PCMark Vantage*

- 将配备7200 RPM 硬盘的台式机系统的硬盘性能提升高达60%

相比传统硬盘或混合式硬盘，性能显著提升

习 题

3

8

9

10

11

12

13

14

15

19