

**Escuela de Ingeniería Electrónica**

**Curso:**

Diseño Lógico

**Bitácora del Tutorial**

**Profesor:** Óscar Mauricio Caravaca Mora

**Grupo:** #02

**Estudiante:** Luis Diego Álvarez Gutiérrez

**Carné:** 2023125649

**II Semestre 2025**

## Evidencias:

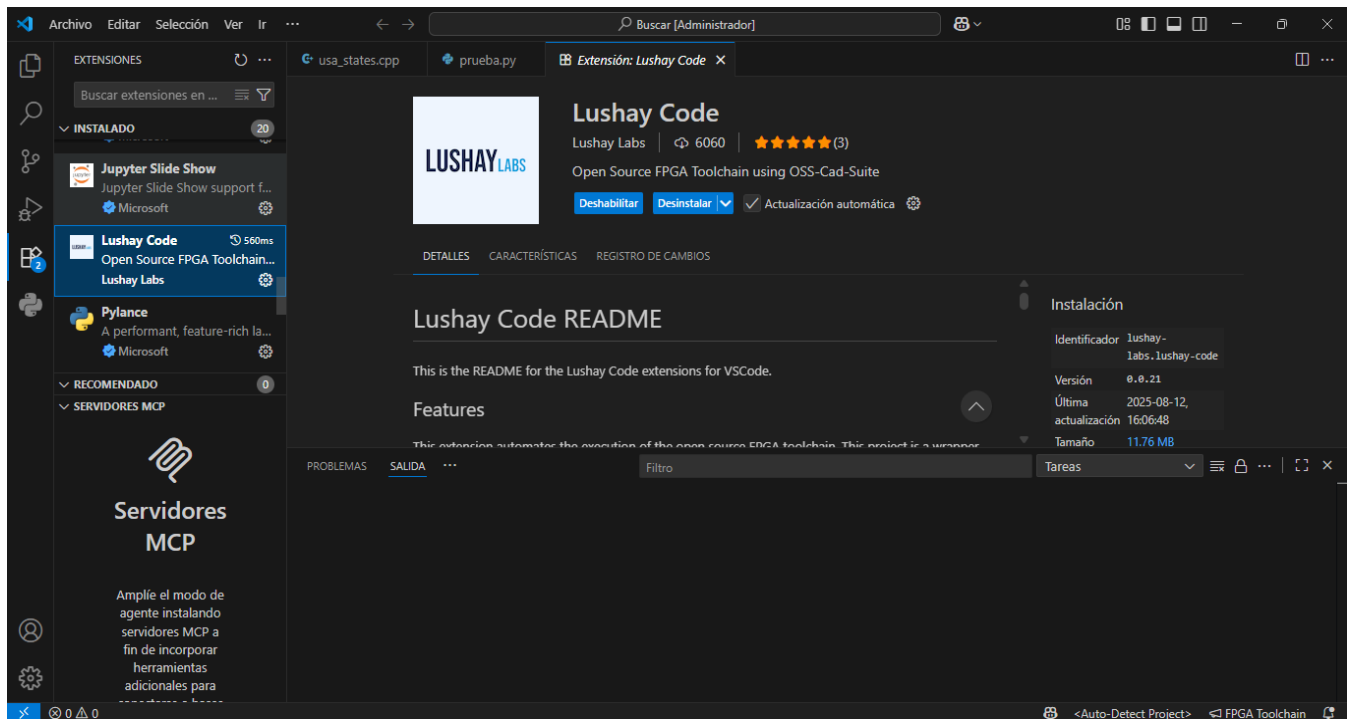


Imagen 1. Instalación Lushay Code

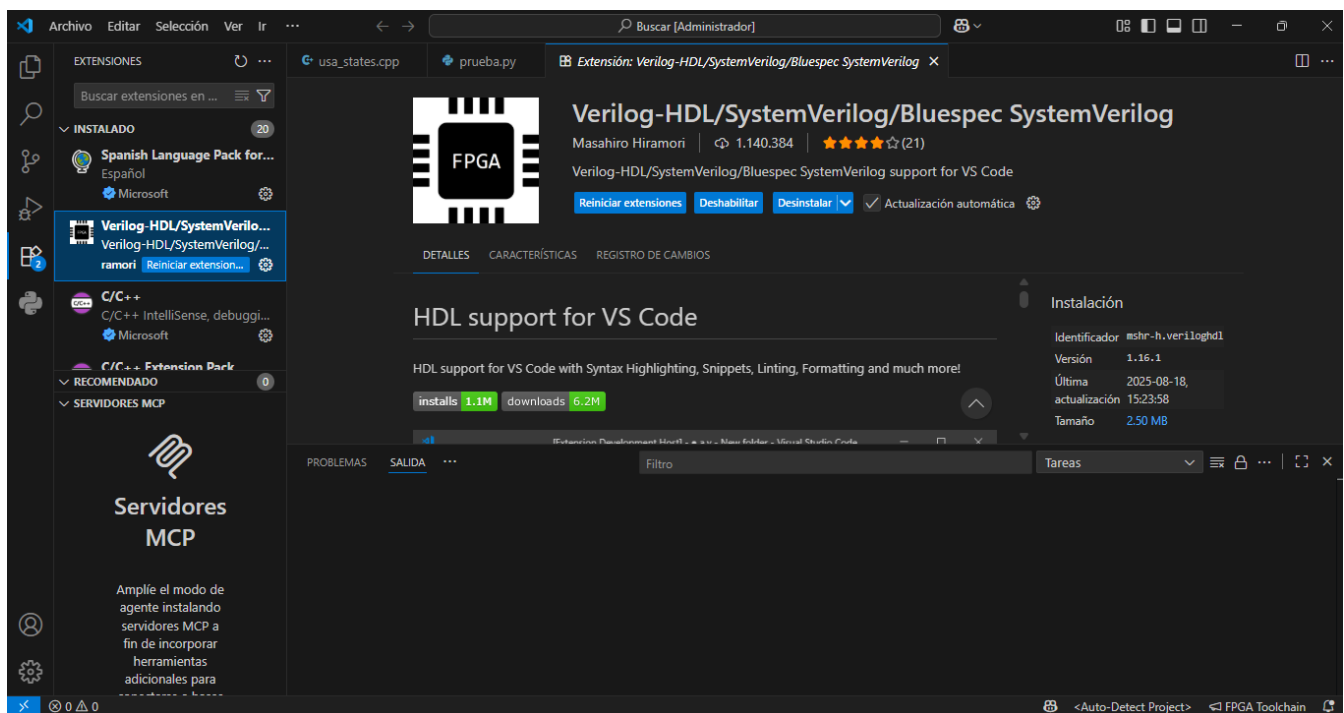


Imagen 2. Instalación Verilog-HDL/System Verilog

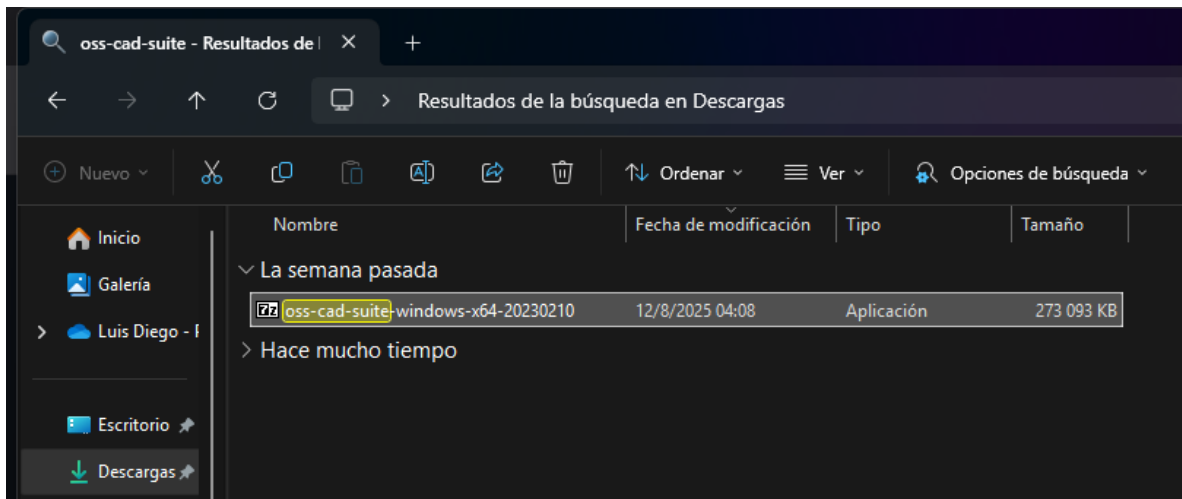


Imagen 3. Instalación de OSS-Cad-Suite de YosysHQ

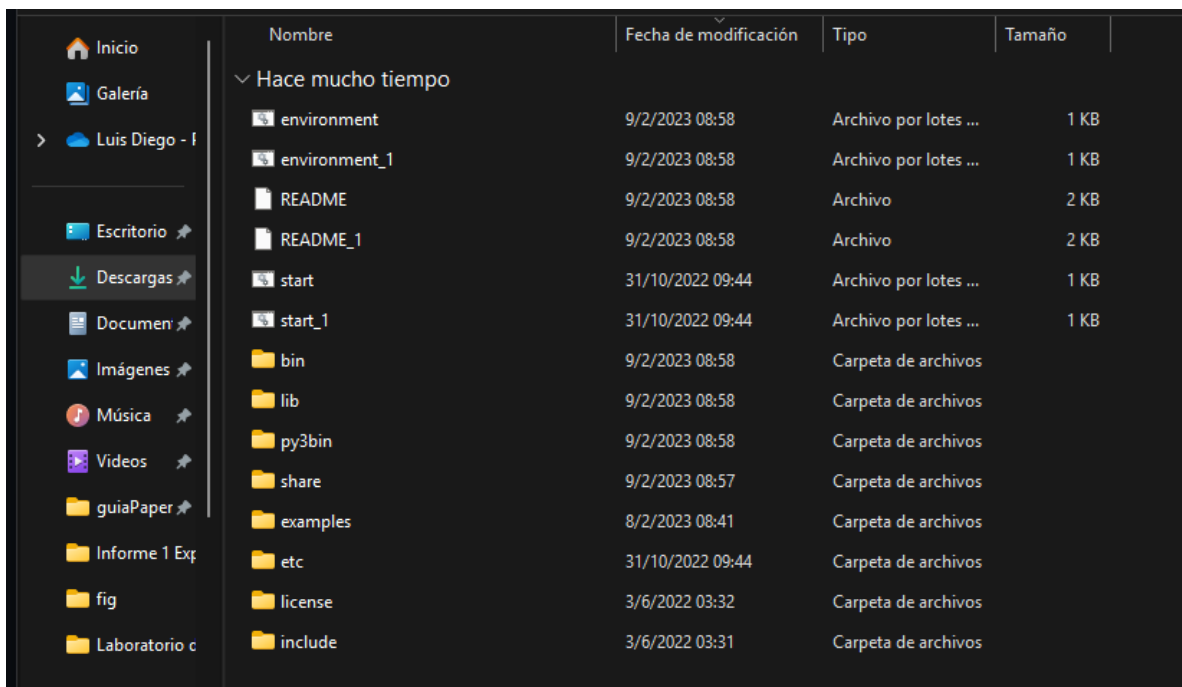


Imagen 4. Contenido de OSS-Cad-Suite de YosysHQ

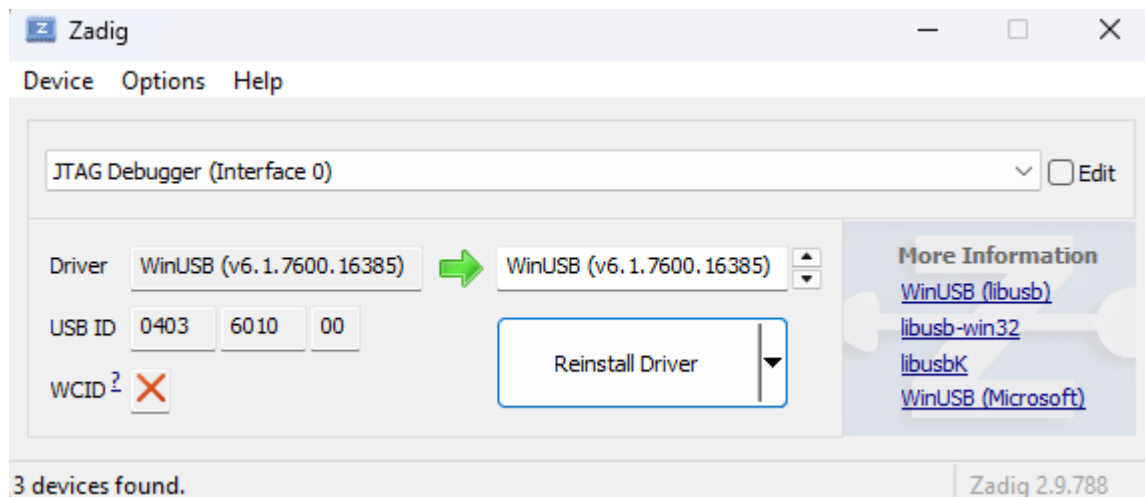


Imagen 5. Configuración del FPGA con los drivers *JTAG Debugger*

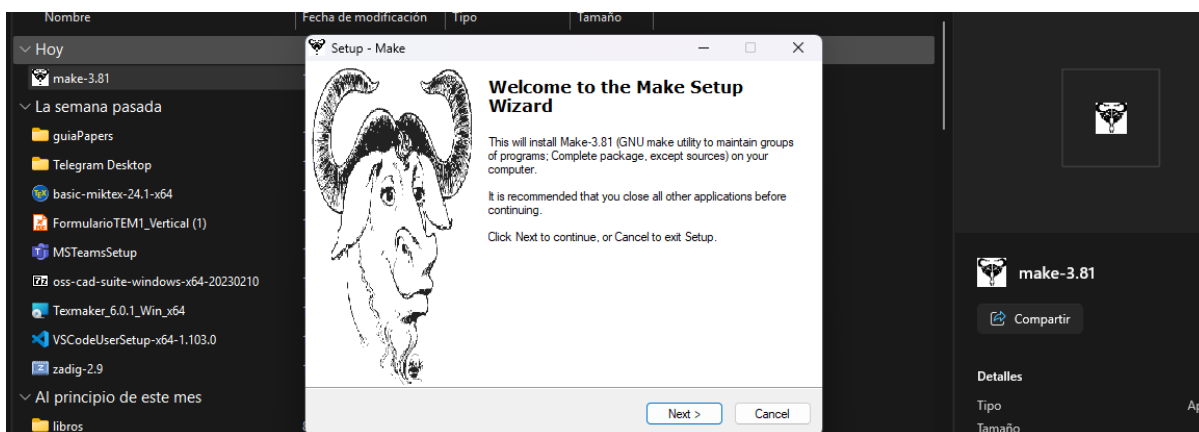


Imagen 6. Instalación GNU-Make

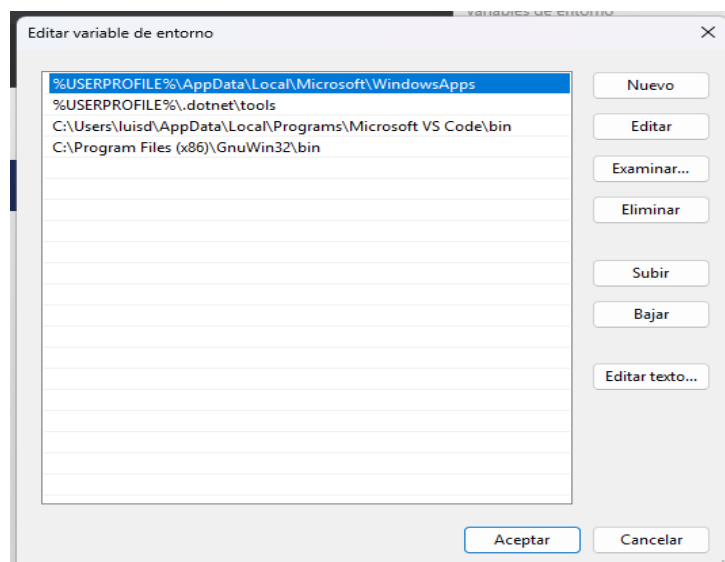


Imagen 7. Agregar Make a Path

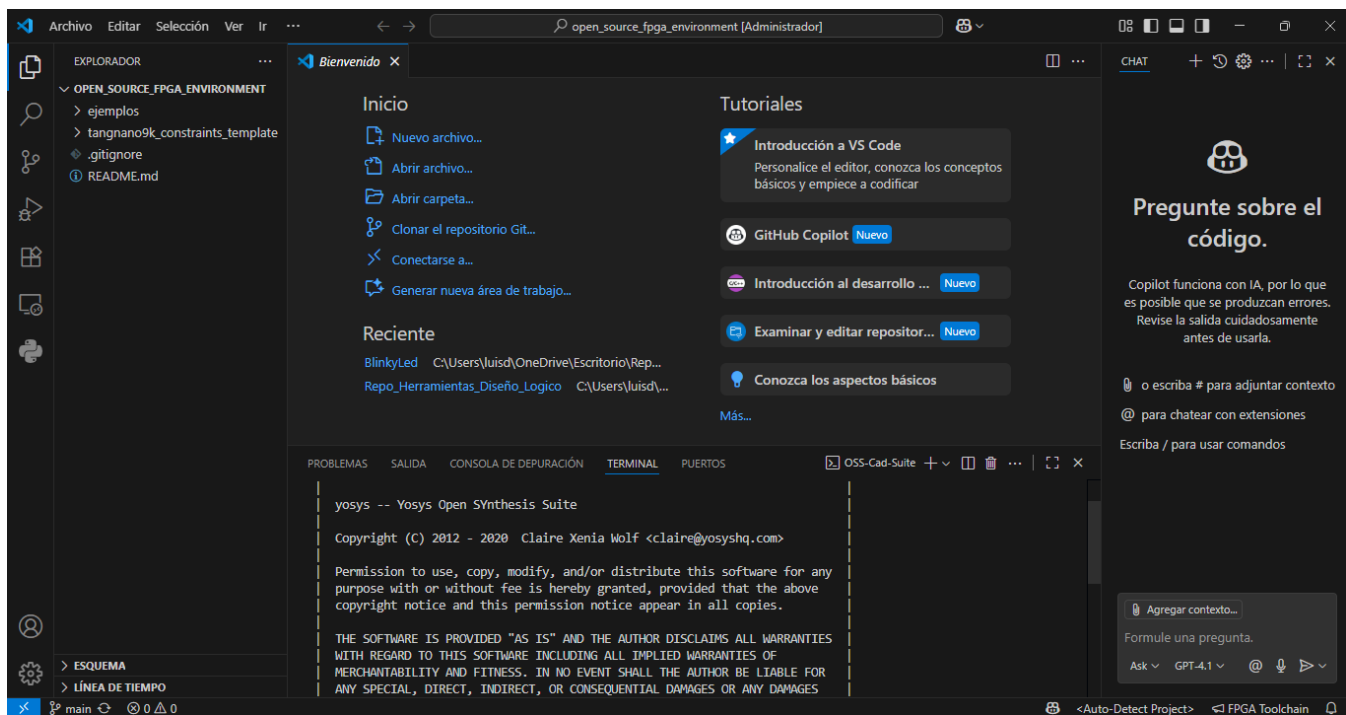


Imagen 8. Ejecución comando yosys

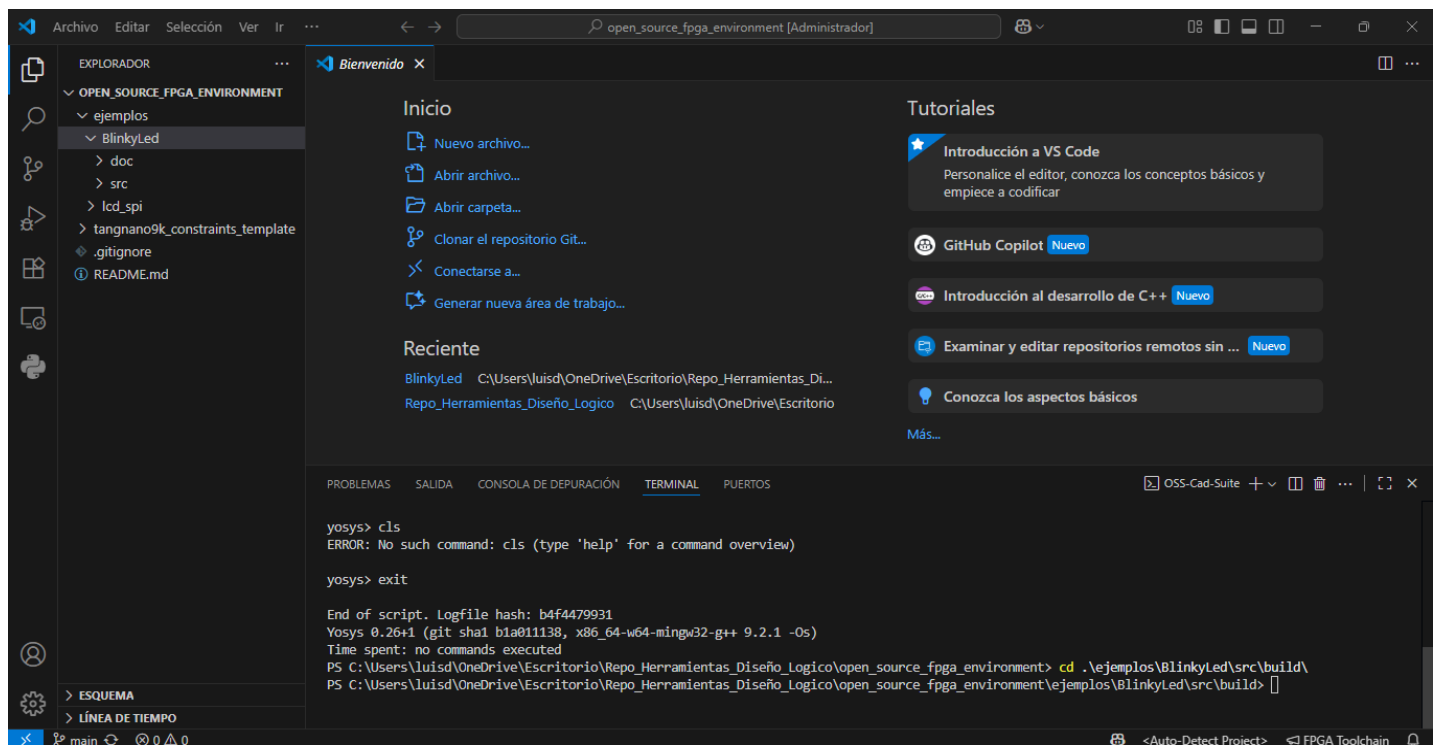


Imagen 9. Ejecución del comando cd

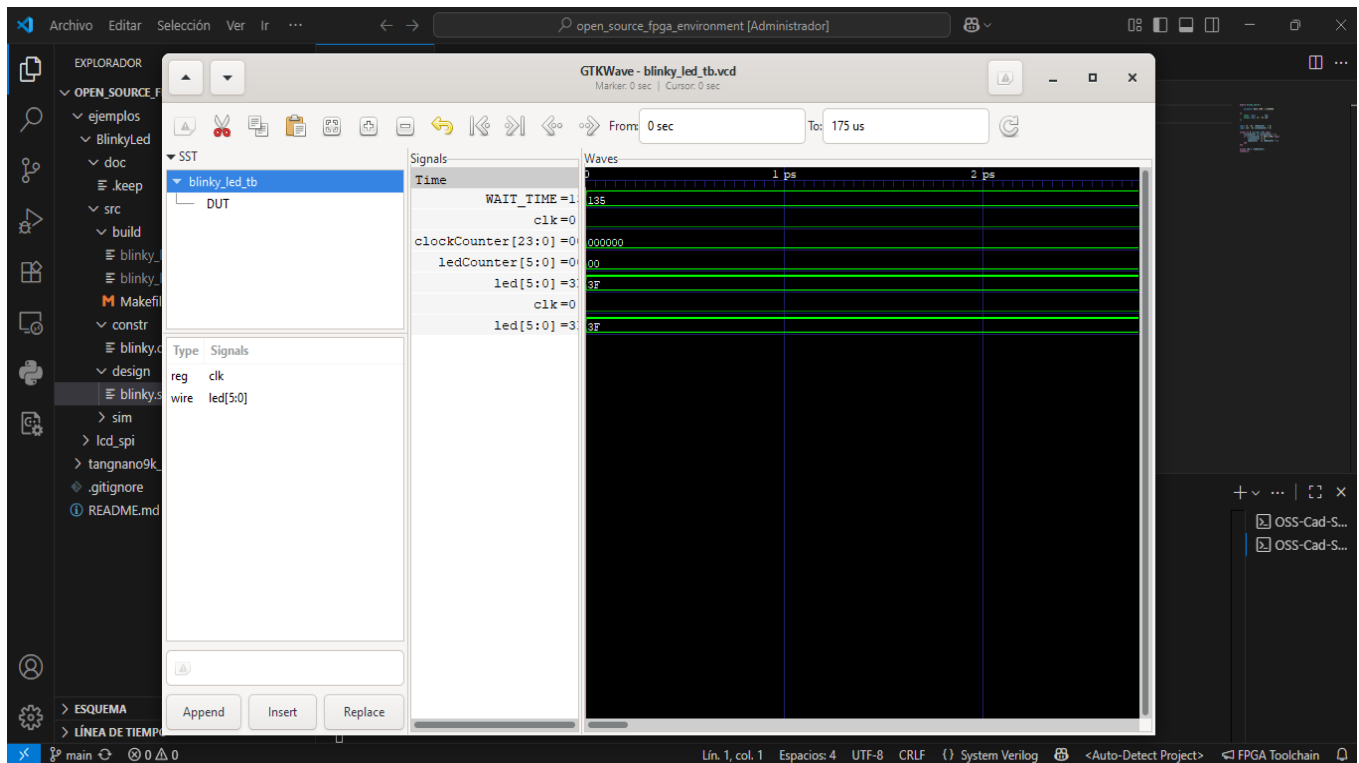


Imagen 10. Ejecución de comando make ww

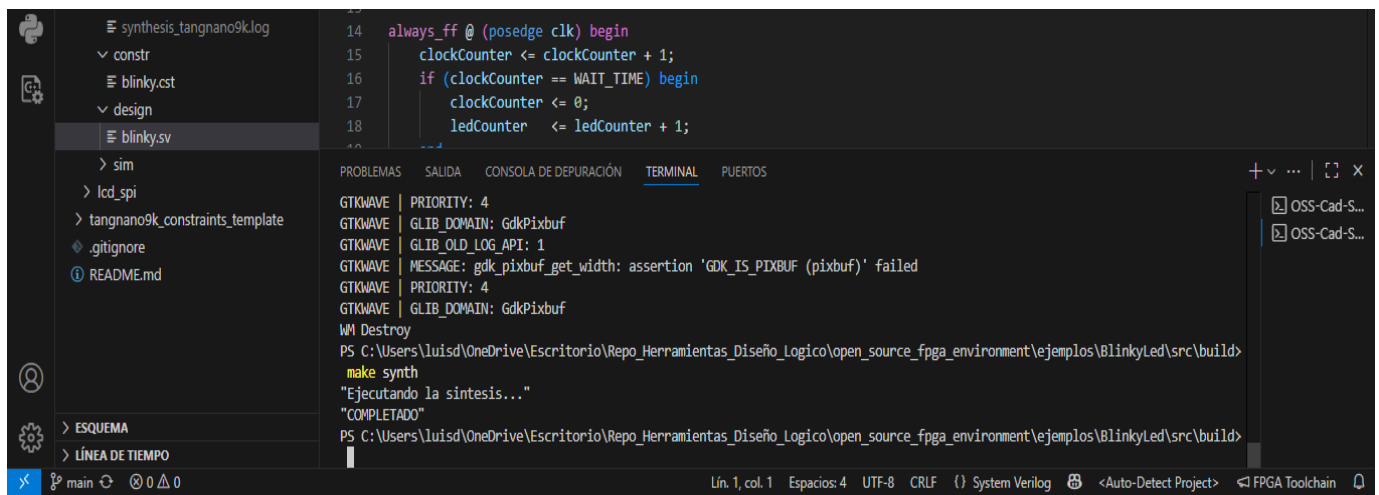


Imagen 11. Ejecución comando make synth

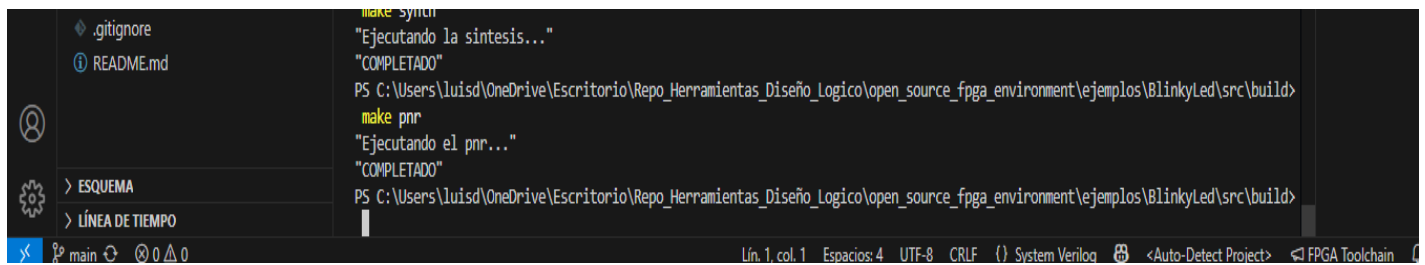


Imagen 12. Ejecución comando make pnr

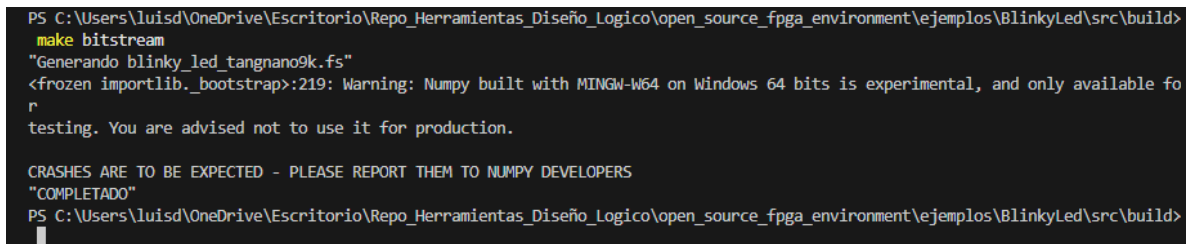


Imagen 13. Ejecución comando make bitsream

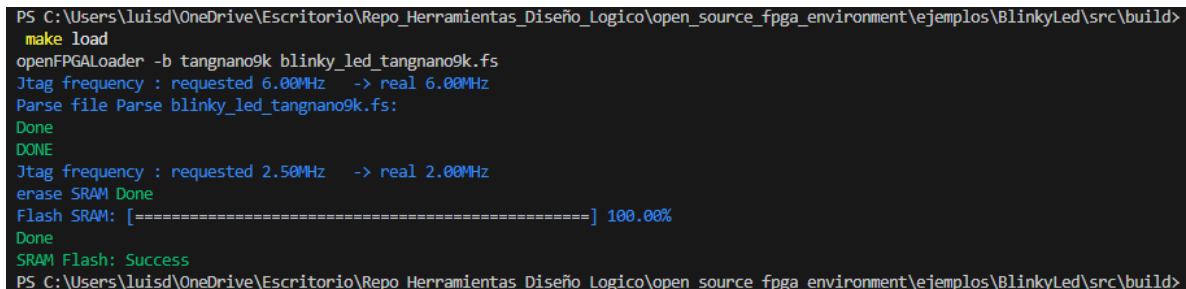


Imagen 14. Ejecución comando make load

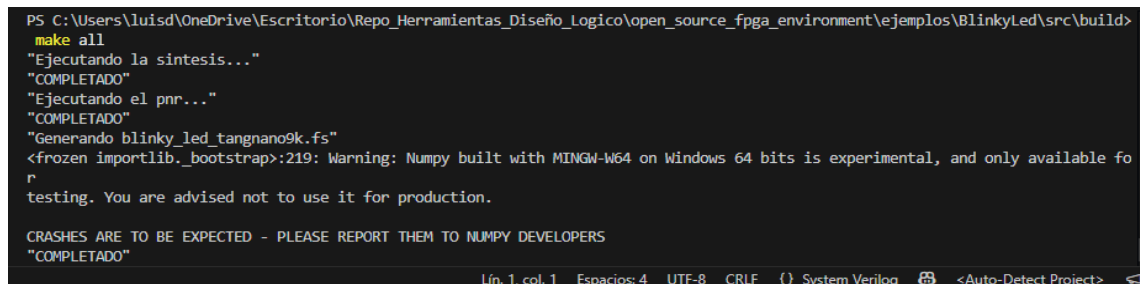


Imagen 15. Ejecución comando make all

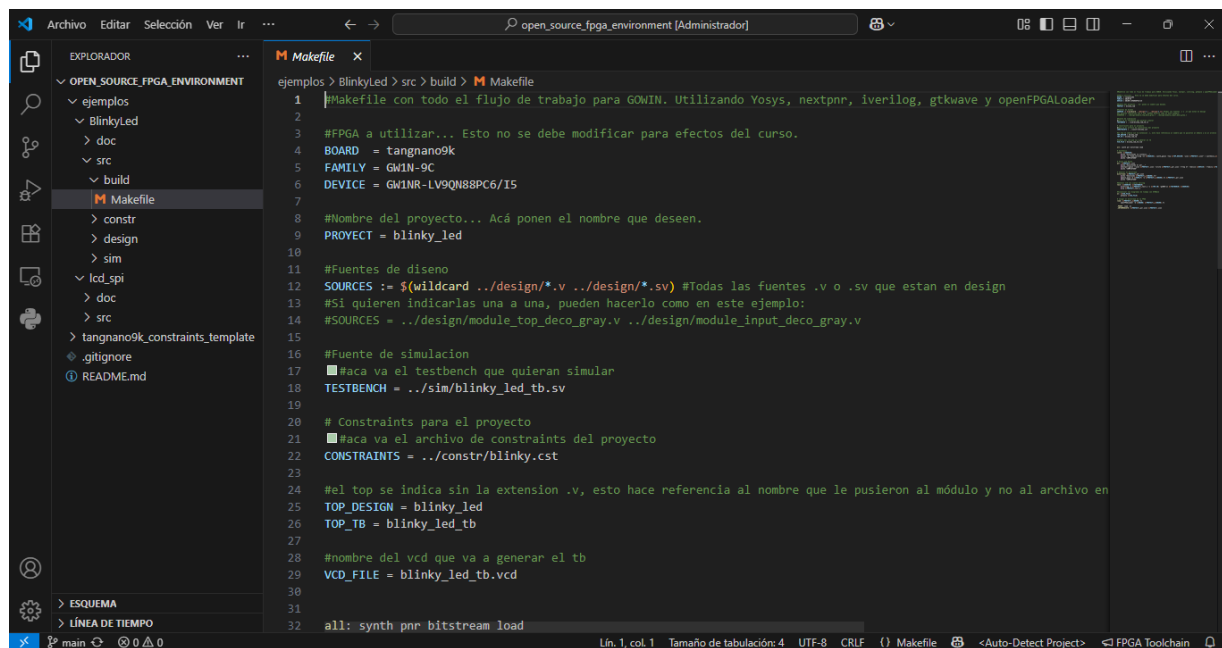


Imagen 16. Contenido de Makefile

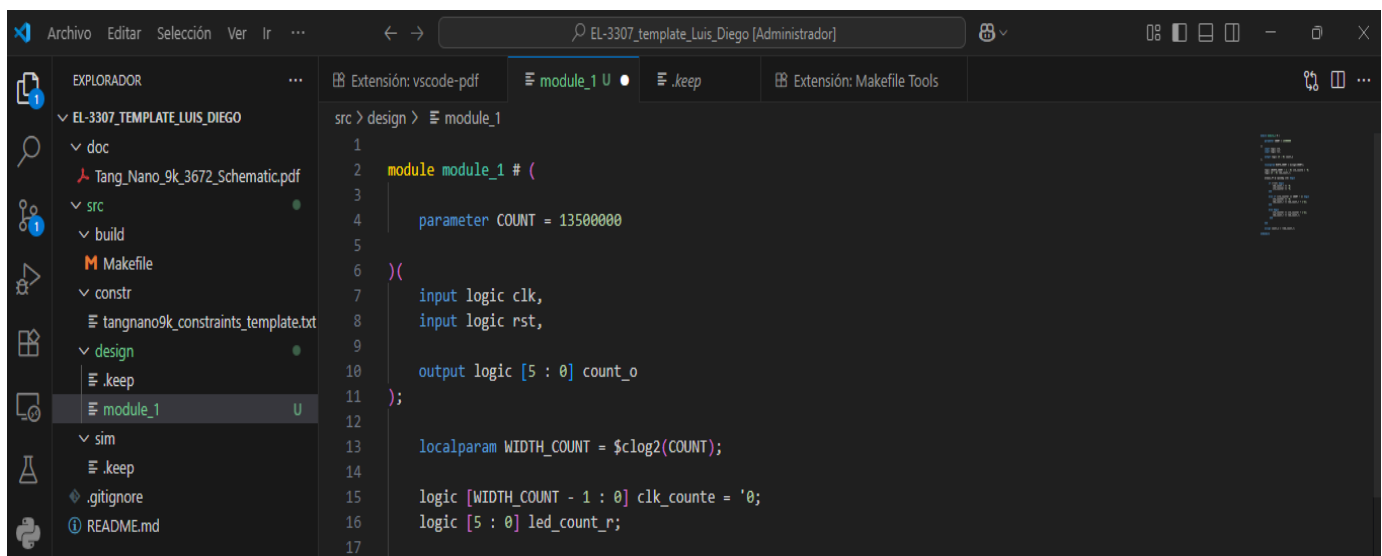


Imagen 17. Primera parte código del contador en design



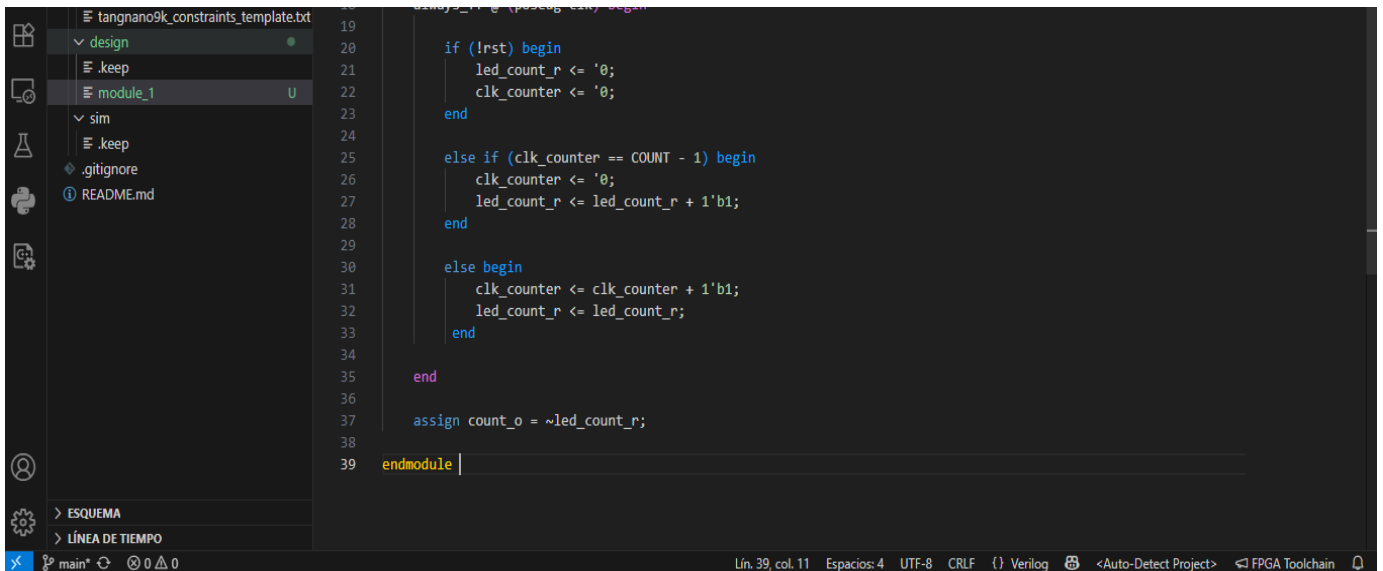


Imagen 18. Segunda parte código del contador en design

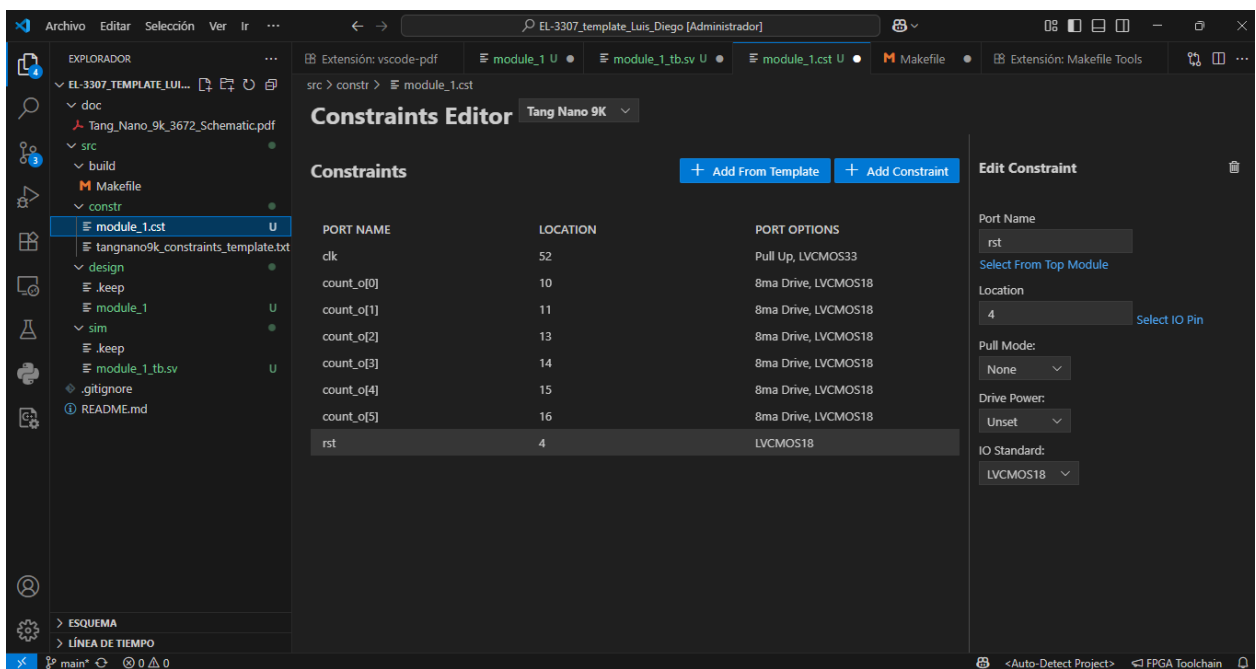


Imagen 19. Modificación de los constraints

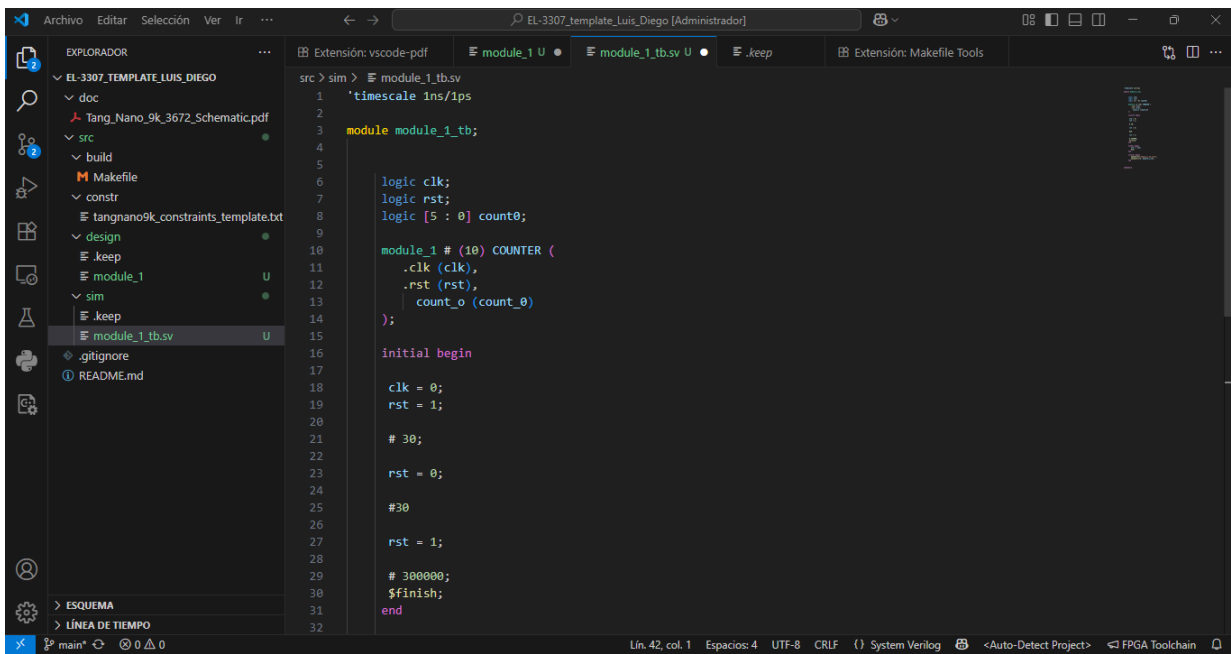


Imagen 20. Código archivo en la pestaña sim

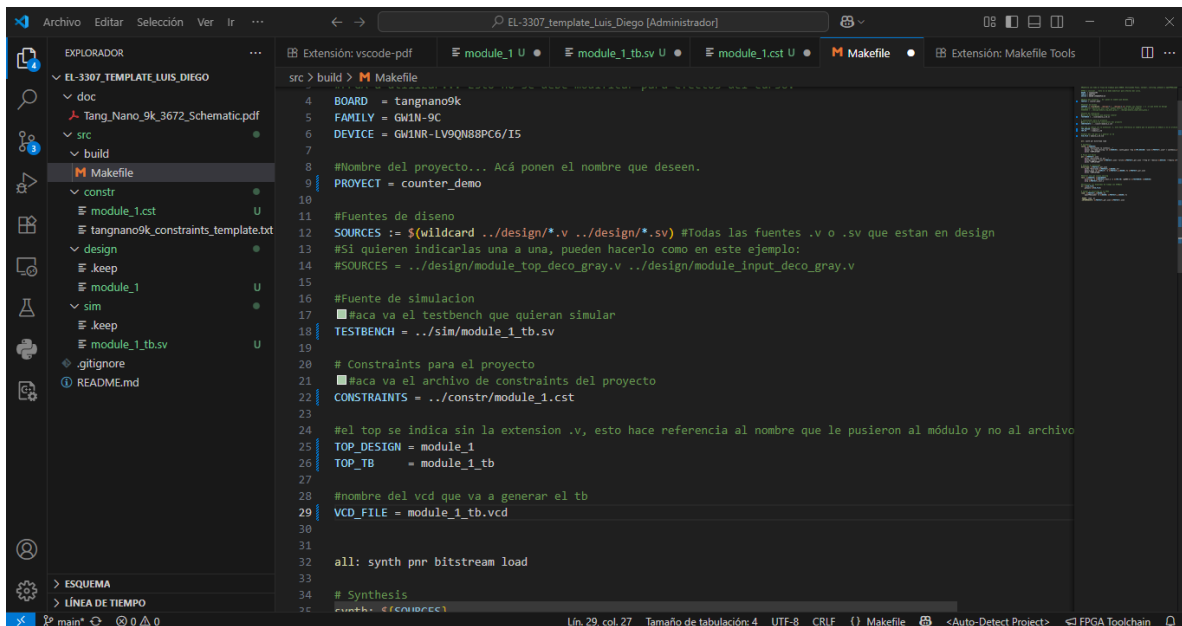


Imagen 21. Inclusión de nombres de los archivos en Makefile

Repositorio de github con evidencias:

[https://github.com/Lu1sD27/Diseno\\_Logico\\_Repositorio\\_IIS2025.git](https://github.com/Lu1sD27/Diseno_Logico_Repositorio_IIS2025.git)

