

## Escuela de Ingeniería Electrónica

## Curso:

Diseño Lógico

#### Bitácora del Tutorial

Profesor: Óscar Mauricio Caravaca Mora

**Grupo:** #02

Estudiante: Luis Diego Álvarez Gutiérrez

Carné: 2023125649

II Semestre 2025

## **Evidencias:**

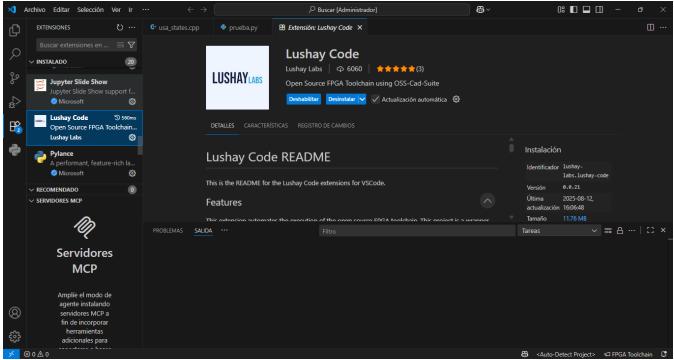


Imagen 1. Instalación Lushay Code

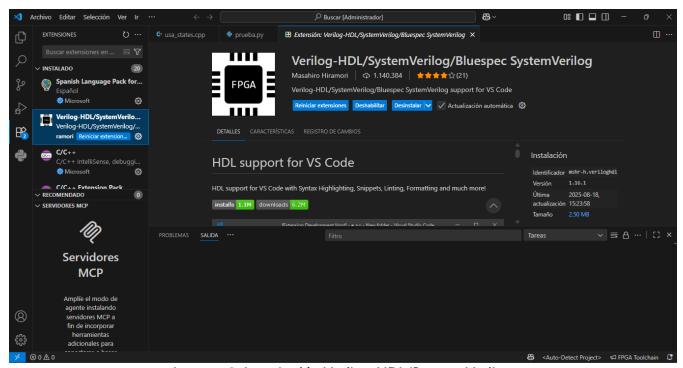


Imagen 2. Instalación Verilog-HDL/System Verilog

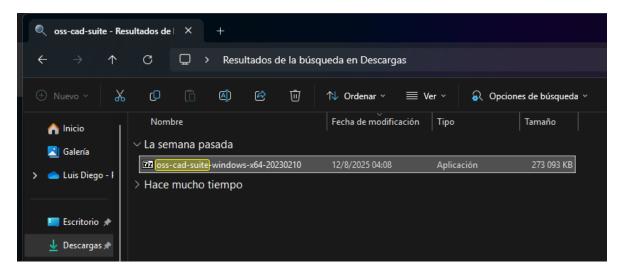


Imagen 3. Instalación de OSS-Cad-Suite de YosysHQ

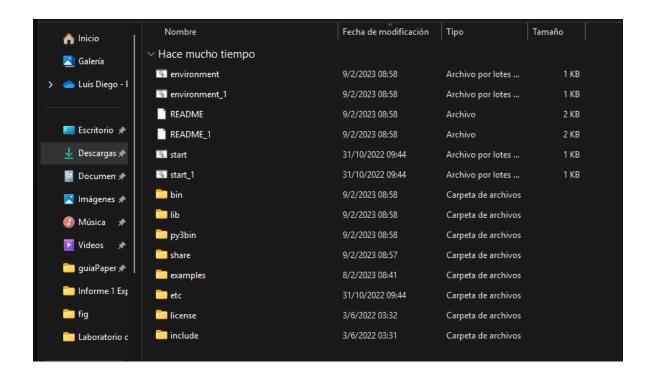


Imagen 4. Contenido de OSS-Cad-Suite de YosysHQ

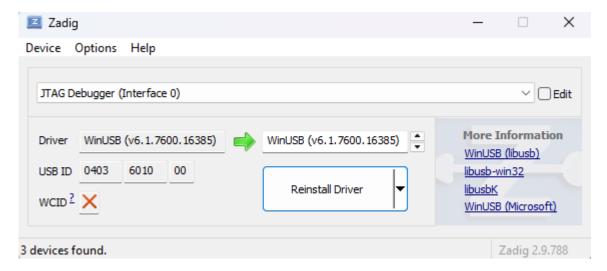


Imagen 5. Configuración del FPGA con los drivers JTAG Debugger



Imagen 6. Instalación GNU-Make

itar variable de entorno	
${\tt \%USERPROFILE\%\AppData\Local\Microsoft\WindowsApps}$	Nuevo
%USERPROFILE%\.dotnet\tools	
C:\Users\luisd\AppData\Local\Programs\Microsoft VS Code\bin	Editar
C:\Program Files (x86)\GnuWin32\bin	
	Examinar
	Eliminar
	Subir
	Bajar
	Editar texto
Aceptar	Cancelar

Imagen 7. Agregar Make a Path

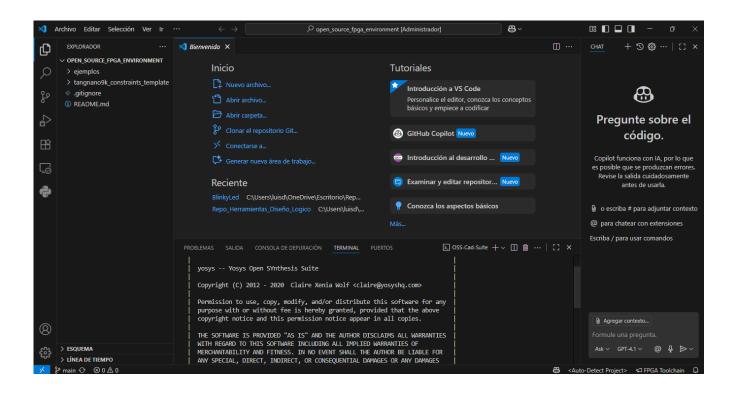


Imagen 8. Ejecución comando yosys

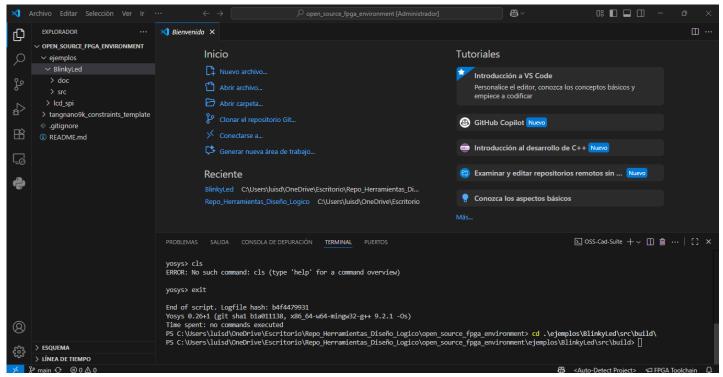


Imagen 9. Ejecución del comando cd

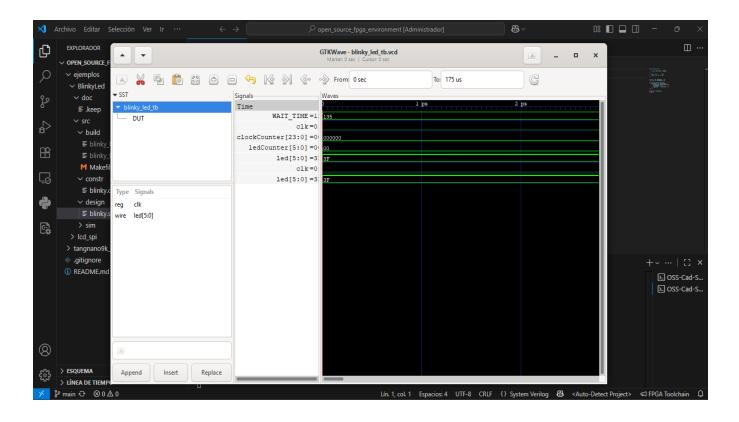


Imagen 10. Ejecución de comando make wv

```
always_ff @ (posedge clk) begin

∨ constr

                                                   clockCounter <= clockCounter + 1;</pre>

    blinky.cst

                                                    if (clockCounter == WAIT_TIME) begin
clockCounter <= 0;</pre>
         ∨ design
                                                       ledCounter <= ledCounter + 1;</pre>
          ≣ blinky.sv
          > sim
                                          PROBLEMAS SALIDA CONSOLA DE DEPURACIÓN TERMINAL PUERTOS
                                         GTKWAVE | PRIORITY: 4
                                                                                                                                                                   ≥ OSS-Cad-S..
       > tangnano9k_constraints_template
                                         GTKWAVE
                                                  GLIB DOMAIN: GdkPixbuf
                                                                                                                                                                   ≥ OSS-Cad-S...
                                                  GLIB OLD LOG API: 1
                                         GTKWAVE
       gitignore
                                         {\tt GTKWAVE} \ | \ {\tt MESSAGE:} \ {\tt gdk\_pixbuf\_get\_width:} \ {\tt assertion} \ '{\tt GDK\_IS\_PIXBUF} \ ({\tt pixbuf})' \ {\tt failed}
      (i) README.md
                                         GTKWAVE | PRIORITY: 4
                                         GTKWAVE | GLIB_DOMAIN: GdkPixbuf
                                         WM Destroy
                                         (8)
                                          make synth
                                          "Ejecutando la sintesis..."
                                          "COMPLETADO"
     > ESQUEMA
                                          PS_C:\Users\luisd\OneDrive\Escritorio\Repo_Herramientas_Diseño_Logico\open_source_fpga_environment\ejemplos\BlinkyLed\src\build>
     > LÍNEA DE TIEMPO
   Lín. 1, col. 1 Espacios: 4 UTF-8 CRLF {} System Verilog ❸ <Auto-Detect Project> 록 FPGA Toolchain ♀
```

Imagen 11. Ejecución comando make synth

```
© .gitignore

© README.md

© README.md

© COMPLETADO"

PS C:\Users\luisd\OneDrive\Escritorio\Repo_Herramientas_Diseño_Logico\open_source_fpga_environment\ejemplos\BlinkyLed\src\build>

make pnr

"Ejecutando el pnr..."

"COMPLETADO"

PS C:\Users\luisd\OneDrive\Escritorio\Repo_Herramientas_Diseño_Logico\open_source_fpga_environment\ejemplos\BlinkyLed\src\build>

> EQUEMA

> LÍNEA DE TIEMPO

So Descritorio\Repo_Herramientas_Diseño_Logico\open_source_fpga_environment\ejemplos\BlinkyLed\src\build>

| FGA Toolchain (## Control | Page | Page
```

# Imagen 12. Ejecución comando make pnr

```
PS C:\Users\luisd\OneDrive\Escritorio\Repo_Herramientas_Diseño_Logico\open_source_fpga_environment\ejemplos\BlinkyLed\src\build>
make bitstream

"Generando blinky_led_tangnano9k.fs"

<frozen importlib._bootstrap>:219: Warning: Numpy built with MINGW-W64 on Windows 64 bits is experimental, and only available fo r

testing. You are advised not to use it for production.

CRASHES ARE TO BE EXPECTED - PLEASE REPORT THEM TO NUMPY DEVELOPERS

"COMPLETADO"

PS C:\Users\luisd\OneDrive\Escritorio\Repo_Herramientas_Diseño_Logico\open_source_fpga_environment\ejemplos\BlinkyLed\src\build>
```

## Imagen 13. Ejecución comando make bitsream

## Imagen 14. Ejecución comando make load

Imagen 15. Ejecución comando make all

```
08 ■ ■ □
    Archivo Editar Selección Ver Ir

    □ open_source_fpga_environment [Administrador]

Ф

∨ OPEN_SOURCE_FPGA_ENVIRONMENT

                                                             #Makefile con todo el flujo de trabajo para GOWIN. Utilizando Yosys, nextpnr, iverilog, gtkwave y openFPGALoader

✓ ejemplos

→ BlinkyLed

                                                             #FPGA a utilizar... Esto no se debe modificar para efectos del curso.

BOARD = tangnano9k

FAMILY = GWINN-EV

DEVICE = GWINN-LV9QN88PC6/IS
                                                              #Nombre del proyecto.
PROYECT = blinky_led
              > constr

✓ Icd spi

ê
                                                              #Fuente de simulacion
■ #aca va el testbench que quieran simular
TESTBENCH = ../sim/blinky_led_tb.sv
         (i) README.md
                                                              #el top se indica sin la extension .v, esto hace referencia al nombre que le pusieron al módulo y no al archivo en
TOP_DESIGN = blinky_led
TOP_TB = blinky_led_tb
                                                              #nombre del vcd que va a generar el tb
VCD_FILE = blinky_led_tb.vcd
       > LÍNEA DE TIEMPO
     P main → ⊗ 0 A (
```

Imagen 16. Contenido de Makefile

```
🖈 Archivo Editar Selección Ver Ir …
                                                                                                                            88
                                                                                                                                                  EXPLORADOR
                                                                 ≡ module_1 U • ≡ .keep
                                                                                                 B Extensión: Makefile Tools
                                                                                                                                                                       ცე Ⅲ ..
     ∨ EL-3307_TEMPLATE_LUIS_DIEGO
      ∨ doc
                                               module module_1 # (
       Tang_Nano_9k_3672_Schematic.pdf
                                                   parameter COUNT = 13500000
       ∨ build
                                                   input logic clk,

    ■ tangnano9k_constraints_template.txt

                                                   input logic rst,
                                                   output logic [5 : 0] count_o
        ≣ .keep
                                                   localparam WIDTH_COUNT = $clog2(COUNT);
       .gitignore
                                                   logic [WIDTH_COUNT - 1 : 0] clk_counte = '0;
                                                   logic [5 : 0] led_count_r;
      (i) README.md
```

Imagen 17. Primera parte código del contador en design

Imagen 18. Segunda parte código del contador en design

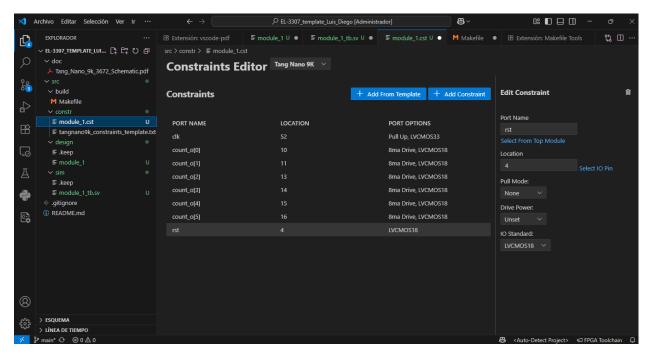


Imagen 19. Modificación de los constraints

```
o: • = = =
       EXPLORADOR
                                                                  ជូ Ⅲ ⋅
     ∨ EL-3307 TEMPLATE LUIS DIEGO
                                         src > sim > 

■ module 1 tb.sv
Q
        M Makefile
        ∨ constr

    ■ tangnano9k_constraints_template.txt

                                                     module_1 # (10) COUNTER (
.clk (clk),
.rst (rst),
count_o (count_0)
        (i) README md
                                                      rst = 0;
                                                      $finish:
     > ESQUEMA
     > LÍNEA DE TIEMPO
   " main* ⊕ ⊗ 0 🛆 0
                                                                                           Lín. 42, col. 1 Espacios: 4 UTF-8 CRLF () System Verilog 🔠 <Auto-Detect Project>
```

Imagen 20. Código archivo en la pestaña sim

```
Archivo Editar Selección Ver ir ...  

BPICADOR

DPICADOR

TL:3307_tmmAtt_Uss_Disco

VIL:3307_tmmAtt_Uss_Disco

VIII:3307_tmmAtt_Uss_Disco

VIII:3307_t
```

Imagen 21. Inclusión de nombres de los archivos en Makefile

Repositorio de github con evidencias:

https://github.com/Lu1sD27/Diseno\_Logico\_Repositorio\_IIS2025.git