

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.59 ELECTRÓNICA I

## Experiencia de Laboratorio N°2

---

*Grupo 5:*

FERNANDEZ, Lucero Guadalupe  
Leg. 57485

LAGO, Valentina  
Leg. 57249

ROMARÍS, Juan Manuel  
Leg. 57108

VIGÓN, Tomás  
Leg. 57327

*Profesores:*

Alcocer, Fernando

Gardella, Pablo

Oreglia, Eduardo

Presentado: 17 de noviembre de 2018

# Índice

<b>1. Introducción</b>	<b>2</b>
1.1. Par darlington . . . . .	2
1.2. Transistor J-Fet . . . . .	2
<b>2. Análisis teórico</b>	<b>3</b>
2.1. Polarización . . . . .	3
2.1.1. Cálculo Teórico . . . . .	3
2.1.2. Simulaciones . . . . .	6
2.2. Modelo Incremental . . . . .	6
2.3. Circuito Incremental . . . . .	7
2.3.1. Cálculo teórico . . . . .	7
2.3.2. Simulaciones . . . . .	8
<b>3. Mediciones</b>	<b>9</b>
3.1. Resultados y análisis de resultados . . . . .	10
<b>4. Conclusiones</b>	<b>11</b>

# 1. Introducción

El objetivo del presente trabajo es comprobar en la práctica algunos de los aspectos más destacados de circuitos amplificadores utilizando transistores dentro de un marco de escasos recursos. A continuación se realiza una breve descripción de los elementos utilizados a lo largo de este trabajo practico.

## 1.1. Par darlington

El par Darlington se basa en la conexión en cascada de dos BJT aprovechando el efecto de amplificación de corriente del transistor en el cual la corriente de colector es beta veces la de base,  $\beta i_B = i_C$ . El emisor de uno de los transistores se conecta con la base del otro y además comparten colector de manera tal que la corriente amplificada por el primer transistor se amplifica aún más por el segundo . Se puede pensar al par Darlington como un solo transistor BJT con una gran ganancia de corriente. A continuación se muestra la configuración descrita

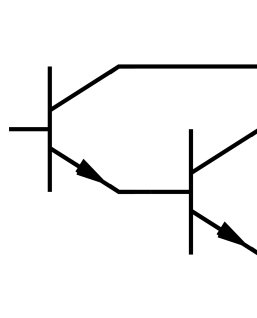
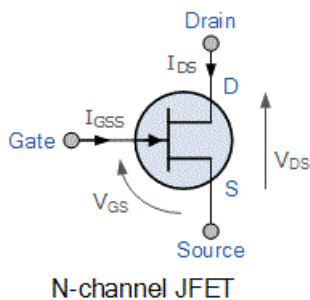


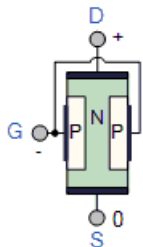
Figura 1: Par Darlington

## 1.2. Transistor J-Fet

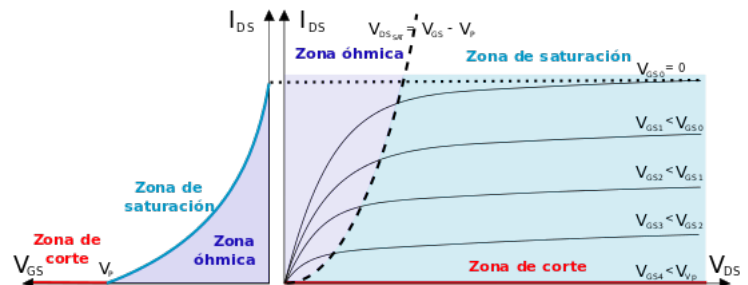
El transistor de efecto campo utiliza el voltaje que se aplica a su terminal de entrada para controlar la corriente a través de este. La corriente de salida fluye por lo que se denomina el 'canal' del transistor que se agranda o achica dependiendo de la tensión controladora del terminal "Gate". Se pueden clasificar los J-Fet por su canal, los tipo n y tipo p; se trabajará con los canal n cuya corriente es conducida por electrones. Análogamente al transistor BJT el emisor y colector se pueden pensar como el "Drain" y "Source".



(a) Símbolo



(b) Representación



(c) Curvas características

Figura 2: J-Fet

La tensión de compuerta en la que la corriente llega a cero se denomina "tensión de pinch-off",  $V_p$ . Debido al tipo de canal la tensión  $V_{GS}$  debe ser negativa y esta puede variar entre  $(-V_p, 0)$ , para valores más negativos que  $V_p$  el canal se estrangula impidiendo el pasaje de corriente. Se puede observar que para un valor dado de tensión en "Gate" la corriente es casi constante en un amplio rango de  $V_{DS}$ .

La fórmula que describe el comportamiento de J-Fet es  $I_d = I_{dss}(1 - \frac{V_{gs}}{V_p})^2$ . El valor de  $I_{DSS}$  representa la corriente cuando la puerta está cortocircuitada a tierra y será proporcionado por el fabricante.

## 2. Análisis teórico

Haciendo uso de las propiedades de los elementos mencionados anteriormente se procedió a implementar un amplificador de corriente. El amplificador se basa en el par Darlington con un J-Fet en el emisor del segundo transistor.

En breves palabras, la idea es ganar en corriente con el par Darlington, polarizándolo con el J-Fet, que actúa como fuente de corriente, permitiendo que gane más.

Se analizará la polarización, el modelo incremental y el análisis incremental de la siguiente topología.

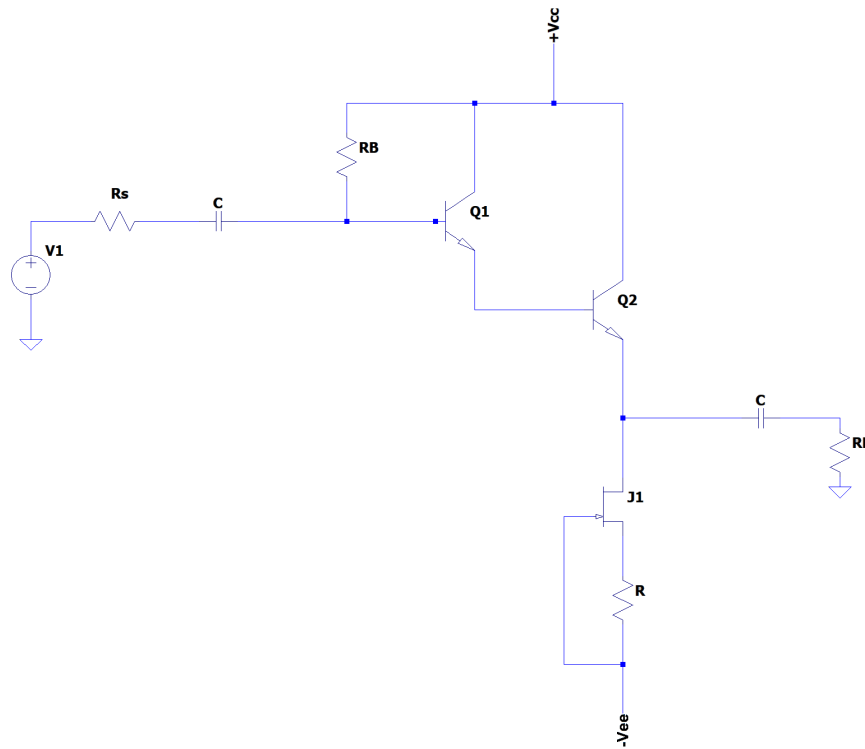


Figura 3: Circuito amplificador propuesto

### 2.1. Polarización

#### 2.1.1. Cálculo Teórico

Analizando el circuito presentado, se llegó al siguiente circuito de polarización equivalente:

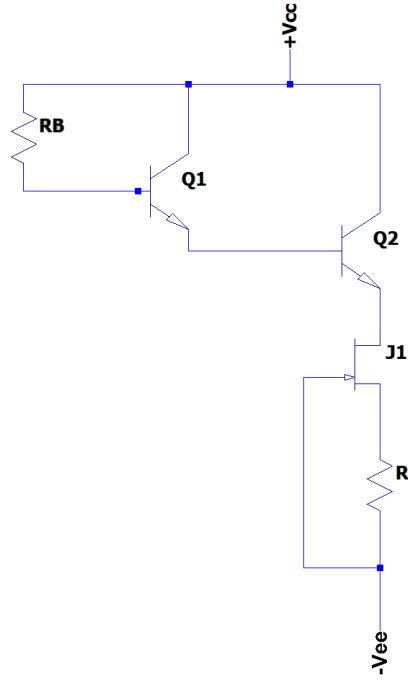


Figura 4: Circuito analizado para la polarización

Para comenzar con nuestro análisis, se plantearon las siguientes ecuaciones:

$$\begin{cases} V_{GS} = -I_D R & (1) \\ I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 & (2) \end{cases}$$

Teniendo los datos de  $I_{DSS}$  y  $V_P$  a partir de la hoja de datos del JFET:  $I_{DSS} = 20mA$  y  $V_P = -8V$

Despejando de las ecuaciones (1) y (2) los valores de  $I_D$  y  $V_{GS}$  sabiendo que  $R = 3,4k\Omega$  se obtuvo:

$$I_D = 1,67mA$$

$$V_{GS} = -5,678V$$

Habiendo obtenido la corriente de Drain del transistor JFET se nota que en polarización, esta corriente es la corriente de emisor del transistor BJT  $Q_2$ . Buscando en las hojas de datos se encontró la ganancia de corriente  $\beta$  de los transistores bipolares utilizados, con lo que se pudieron encontrar las siguientes relaciones de corrientes del circuito:

$$\beta = 110$$

$$\frac{I_{C1}}{\beta} = I_{B1}$$

$$I_{B_2} = I_{C_1} \implies I_{B_2} = \beta I_{B_1}$$

$$\frac{I_{C_2}}{\beta} = I_{B_2} \implies I_{C_2} = \beta^2 I_{B_1}$$

$$I_{C_2} = I_D = 1,67mA$$

En definitiva, nos quedan:

$$\begin{cases} I_{B_1} = 138\mu A \\ I_{B_2} = 15,18\mu A \\ I_{C_1} = 15,18\mu A \\ I_{C_2} = 1,67mA \end{cases}$$

Habiendo encontrado las corrientes del circuito, y teniendo en cuenta que  $V_{CC} = 15V$  y  $-V_{ee} = -15V$  y que  $R_B = 1,36M\Omega$  recorremos la malla de entrada del circuito de la figura y obtenemos:

$$V_{DS} = V_{CC} + V_{ee} - I_{B_1}R_B - 2V_{BE_{on}} - RI_D = 22,73V$$

Notemos que el valor de  $V_{DS}$  es mayor al modulo de  $V_P$ . Eso nos indica que, como era deseado, estamos trabajando en la zona de saturación del transistor JFET. Para los cálculos se tomo  $V_{BE_{on}} = 0,7V$  ya que este era el valor máximo que garantizaba el fabricante en la hoja de datos de los transistores bipolares.

Por otro lado, recorremos las mallas de salida de los transistores BJT y obtenemos las siguientes ecuaciones:

$$\begin{cases} V_{CC} - V_{CE_1} - V_{BE_2} - RI_D = 0 \\ V_{CC} - V_{CE_2} - I_D R = 0 \end{cases}$$

Donde se obtuvieron los siguientes valores de tensión colector-emisor para los transistores bipolares:

$$V_{CE_1} = 8,62V$$

$$V_{CE_2} = 9,32V$$

Con los valores obtenidos para  $I_B$  y  $V_{CE}$  de los transistores, se puede ver como nuestros transistores caen en la zona de operación segura. A continuación se mostrara el gráfico de la hoja de datos con el cual se verifico lo antes mencionado.

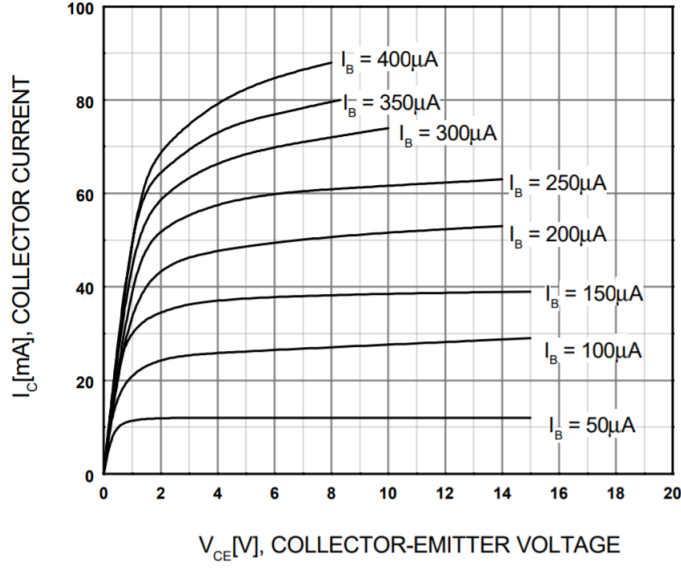


Figura 5: Verificación de zona de operación segura

Además se controló que la potencia disipada por los transistores bipolares no supere la máxima potencia que pueden disipar los dispositivos, que según la hoja de datos a 25°C de temperatura ambiente es de  $625mW$ . Calculando la potencia disipada por cada transistor de la forma  $P_i = I_{C_i} \cdot V_{CE_i}$  se encontró:

$$\begin{cases} P_1 = 130\mu W \\ P_2 = 15,56mW \end{cases}$$

Donde se verifica que ambos transistores se encuentran lejos de los límites máximos de disipación de potencia permitidos por sus encapsulados.

### 2.1.2. Simulaciones

Habiendo hecho los cálculos teóricos de la polarización del circuito se procedió a simularlo.

## 2.2. Modelo Incremental

Definiendo los estimadores  $r_{o1}$  y  $h\hat{e}_1$  de la siguiente manera, y tomando  $V_A = 80V$ :

$$\frac{1}{h\hat{o}e_1} = r_{o1} = \frac{V_A}{I_{CQ1}} \quad (1)$$

$$h\hat{e}_1 = (1 + hfe_1) \frac{V_T}{I_{CQ1}} \quad (2)$$

y de manera análoga para  $r_{o2}$  y  $h\hat{e}_2$ ; con los valores de corrientes de colector ya calculadas, obtenemos los valores para los estimadores:

$$\begin{cases} r_{o1} = 5.27M\Omega & h\hat{e}_1 = 190k\Omega \\ r_{o2} = 47.9k\Omega & h\hat{e}_2 = 1728\Omega \end{cases} \quad (3)$$

## 2.3. Circuito Incremental

### 2.3.1. Cálculo teórico

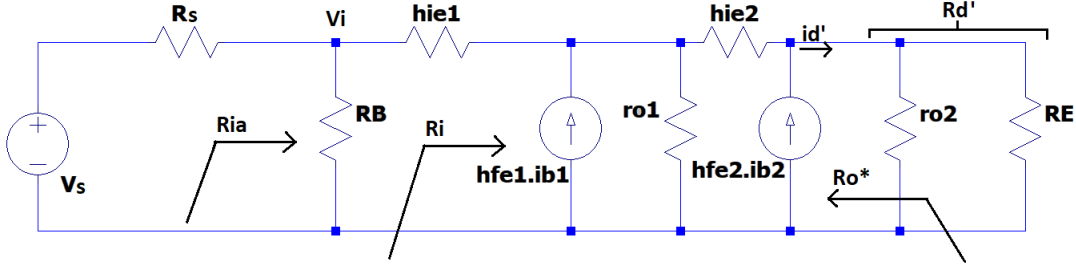


Figure 6: Circuito incremental.

En principio, definimos la ganancia de tensión sin y con el generador, y la ganancia de corriente, respectivamente. Además se aclara que se toma como frecuencia de trabajo los  $4kHz$ .

$$\begin{cases} \Delta V \triangleq \frac{V_o}{V_i} \\ \Delta V_s \triangleq \frac{V_o}{V_s} \\ \Delta I \triangleq \frac{I_d'}{I_{b1}} \end{cases}$$

Como en la configuración utilizada un transistor JFET se encuentra en el emisor del bipolar de salida, para nuestro circuito incremental la resistencia  $R_E$  termina siendo la resistencia  $r_{ds}$  del JFET. Como esta resistencia es muy elevada, al calcular  $R_{d'}$ , el paralelo de esta con  $r_{o2}$ , es aproximadamente  $r_{o2}$ , por lo que se terminó tomando  $R_{d'} = r_{o2}$ . Previo al cálculo de la ganancia de tensión también se calculó la impedancia de entrada  $R_i$ , donde haciendo los pasajes a nivel de corriente apropiados se llega a un valor:

$$R_i = hie_1 + hie_2(1 + hfe_1) + R_{d'}(1 + hfe_1)(1 + hfe_2) = 590.56M\Omega \quad (4)$$

Entonces, teniendo ambos valores de impedancias, e utilizando variables comodín, calculamos la ganancia de tensión, obteniéndose:

$$\Delta V = \frac{V_o}{i_{b2}} \cdot \frac{i_{b2}}{i_{b1}} \cdot \frac{i_{b1}}{V_i} = \frac{i_{b2}(1 + hfe_2)R_{d'}}{i_{b2}} \cdot \frac{(1 + hfe_1)}{R_i} = 0.9993 \quad (5)$$

Que acorde a un circuito colector común resulta menor a la unidad. De manera análoga, podemos calcular la ganancia respecto de la tensión del generador, sabiendo que  $\frac{V_i}{V_s} = \frac{R_{ia}}{R_{ia} + R_s}$ , siendo  $R_{ia} = R_i // R_B$ . Se observa que para el punto de trabajo deseado de  $4kHz$  las impedancias de los capacitores presentes en el circuito (con una capacidad de  $4.7\mu F$ ) son despreciables siendo su impedancia en módulo  $8.4\Omega$ , por lo que no fueron considerados al realizar las cuentas:

$$R_{ia} = 1.36M\Omega$$

$$\Delta V_s = \frac{V_o}{V_i} \cdot \frac{V_i}{V_s} = \Delta V \cdot \frac{R_{ia}}{R_{ia} + R_s} = 0.998 \quad (6)$$

Además, resulta la ganancia de corriente

$$\Delta I = \frac{I_d'}{I_{b1}} = \frac{I_d'}{I_{b2}} \cdot \frac{I_{b2}}{I_{b1}} = (1 + hfe_1)(1 + hfe_2) = 12.3k \quad (7)$$

Cabe aclarar que para el cálculo de las ganancias no se tuvieron en cuenta los valores de  $r_{o1}$  y  $r_{o2}$ , pues complicaban el cálculo. Por otro lado, se calculó la impedancia de salida activa. En la figura superior, se observa la de salida activa  $R_{oa}$ , que es la vista desde  $r_{o2}$  desde la salida. Para el análisis de la impedancia de salida, se pasiva la tensión de entrada, y se coloca una fuente a la salida, con polaridad invertida a lo convencional. Esta tensión de prueba es



$V_{op}$ , y se define  $I_{op}$  como la corriente que circula por la misma, calculando de esta manera  $Ro^*$ , y sabiendo que la impedancia de salida activa será  $Ro_a = Ro^* // r_{o2}$ . Con ésto en mente:

$$Ro^* \triangleq \frac{V_{op}}{I_{op}} = \frac{I_{b1} h_{ie1} + I_{b1} (1 + h_{fe1}) h_{ie2}}{I_{b1} (1 + h_{fe1}) (1 + h_{fe2})} = 40 \Omega$$

Y como ya dijimos,  $Ro_a$  es el paralelo entre  $Ro^*$  y  $r_{o2}$ . Con lo que el valor de la impedancia activa de salida resulta en:

$$Ro_a = 39.9 \Omega \quad (8)$$

### 2.3.2. Simulaciones

Habiendo realizado los cálculos teóricos pertinentes en relación al circuito incremental se realizaron las simulaciones del circuito en LTSpice, donde se realizaron ambos análisis transitorios y barridos en frecuencia de las magnitudes pertinentes del circuito obteniéndose, las siguientes curvas:

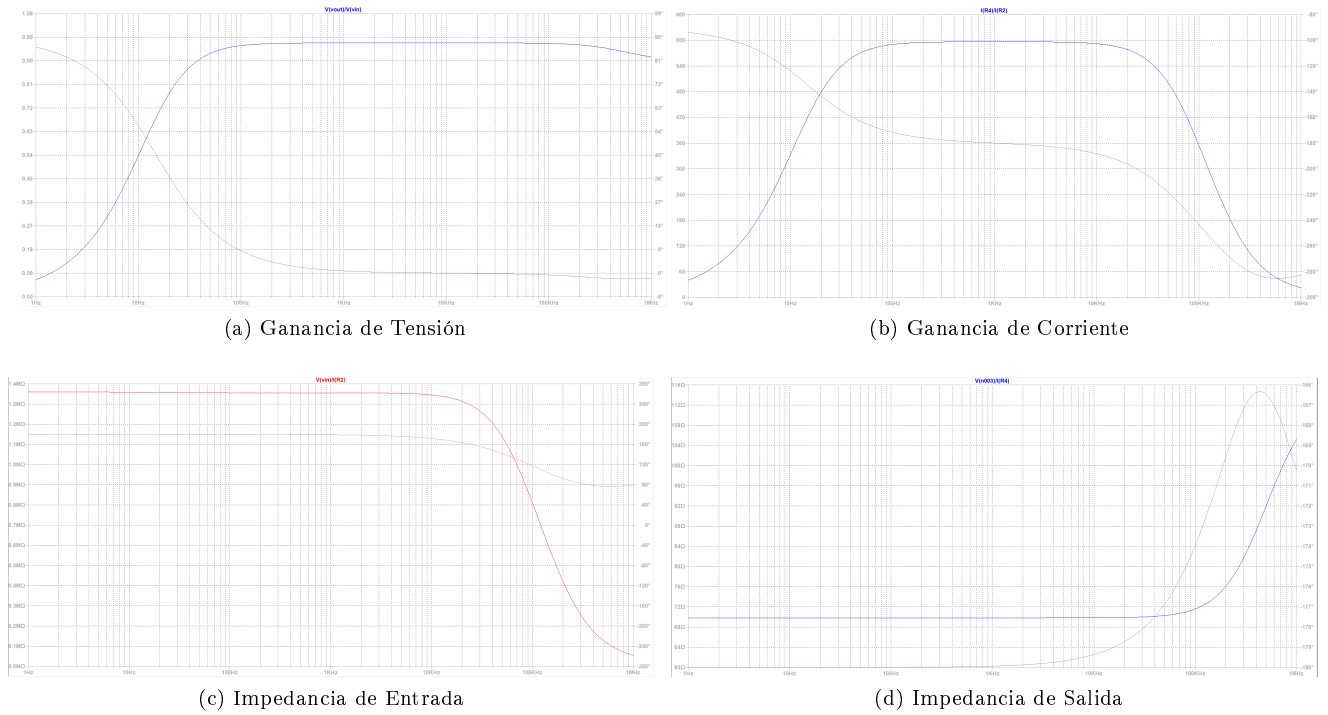


Figure 7: Curvas simuladas del Circuito

Donde puede apreciarse que para el punto de trabajo escogido de  $4kHz$  los valores obtenidos en los cálculos teóricos para la transferencia de tensión e impedancia de entrada conciden de gran manera con los obtenidos en los cálculos teóricos. Sin embargo puede apreciarse que para el caso de la impedancia de salida se encuentra una discrepancia del 75 %, la discrepancia pudiendose contribuir al considerar  $r_{ds}$  como lo suficientemente grande para no afectar el paralelo de salida. Además se encuentra que la ganancia de corriente simulada no se asemeja a la ideal  $(1 + h_{fe1})(1 + h_{fe2})$ , sino que se obtiene un valor de aproximadamente 600 veces siendo este la mitad del obtenido en el cálculo teórico. Además de estas curvas se sugirió probar la respuesta transitoria del sistema frente a una señal senoidal de  $1V_{pp}$  con frecuencia de  $4kHz$  obteniéndose:

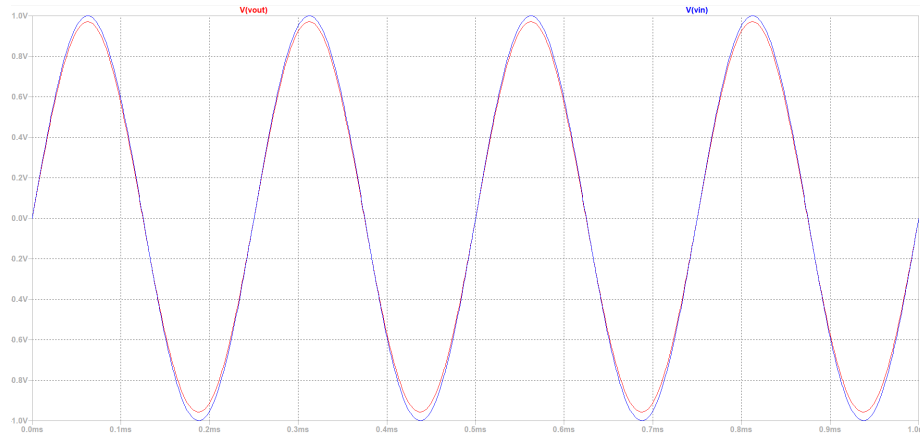


Figura 8: Respuesta transitoria del Circuito a  $4kHz$

Donde se observa que la relación entrada salida es casi unitaria y que además la señal de salida no se encuentra saturada.

### 3. Mediciones

El circuito resultante realizado en protoboard fue el siguiente:

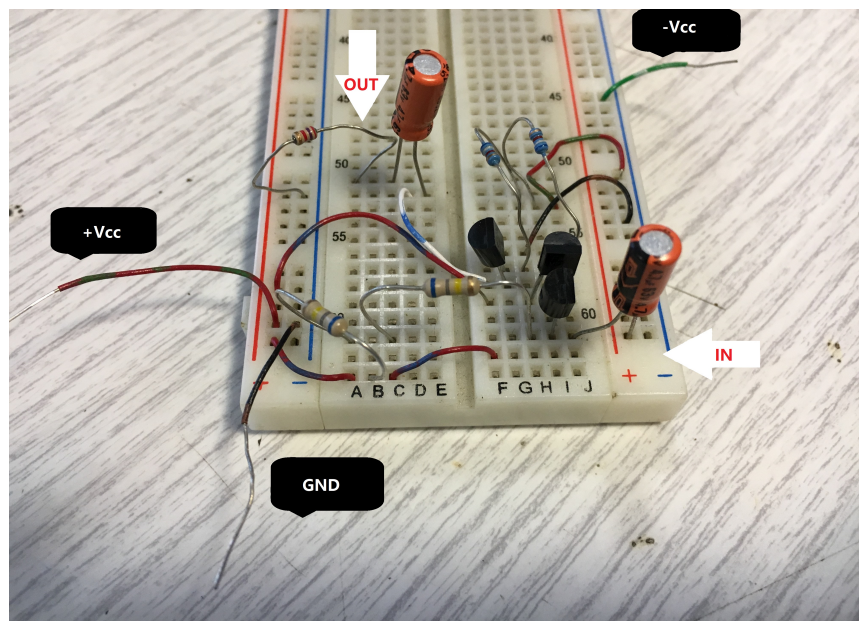


Figura 9: Foto del circuito implementado en protoboard

Las mediciones fueron realizadas con una entrada senoidal de  $4kHz$  de frecuencia y  $1V_{pp}$ .

$R_s$	$560\Omega$
$C$	$4,7\mu F$
$R_b$	$1360K\Omega = 860K\Omega + 860K\Omega$
$Q_1 = Q_2$	BC547
$R_L$	$2,2K\Omega$
$R$	$3,4K\Omega = 6,8K\Omega    6,8K\Omega$
$+V_{cc}$	$15V$
$-V_{ee}$	$-15V$
$J_1$	MPF102
$V_1$	Senoidal, $f = 4KHz$ , $V_{pp} = 1V$

Cuadro 1: Valores utilizados

Como se muestra en la siguiente figura, se observó una ganancia menor a la unidad pero muy cercana a ella, lo que condice al cálculo teórico, donde la señal del primer canal era la señal de entrada y la señal del segundo canal la señal de salida del circuito.

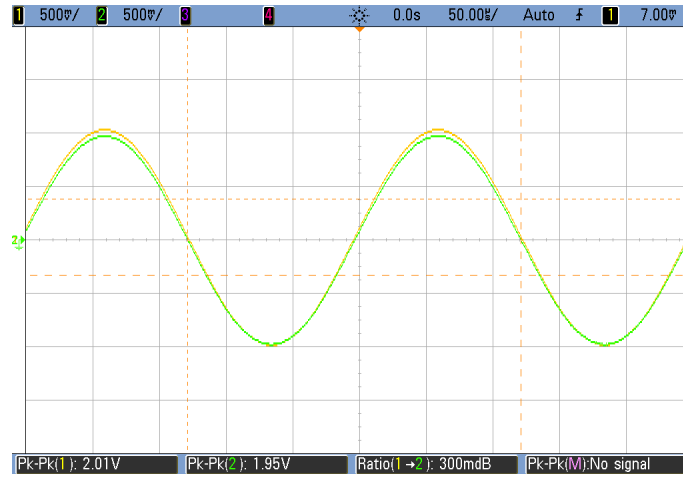


Figura 10: Ganancia unitaria en tension vista en osciloscopio

De la imagen se observa que la relación  $\frac{V_i}{V_o} = 300m dB$ , por lo que recordando que  $V_i = 1V$  se obtiene que  $V_o = 0,933V$ , valor acorde a lo calculado teóricamente difiriendo un 6,5 %. La diferencia entre lo medido y obtenido tras los cálculos puede llegar a atribuirse a aproximaciones realizadas en los cálculos o debido a las tolerancias de ambos componentes pasivos y activos.

### 3.1. Resultados y análisis de resultados

Parametro	$\Delta V$	$\Delta V_S$	$\Delta I$	$R_{i_a}$	$R_{o_a}$
Teorico	0.9993	0.9993	12321	$1.36M\Omega$	$39.9\Omega$
Simulado	0.98	0.963	592	$1.33M\Omega$	$70\Omega$
Medido	0.940V	0.933V	283.15	$293.5k\Omega$ <b>CHEQUEAR</b>	$85\Omega$

Table 2: Datos teoricos, simulados y medidos

Al comparar los resultados se pueden encontrar diferencias en todos los parámetros. En cuanto a la ganancia, estas diferencias se deben principalmente a que los transistores que conforman el par darlington son diferentes entre sí y tienen diferentes  $\beta$ . Además, estos datos fueron sacados de la hoja de datos, y estos son estimativos en la misma. Por otro lado, en cuanto a las impedancias de salida, el teórico varía respecto del simulado pues el teórico es, en parte, aproximado. Si analizamos las impedancias de entrada, la medida fue de  $300k\Omega$ , siendo éste un valor elevado. **CHEQUEAR**

## 4. Conclusiones

Como puntos fuertes del circuito se tiene una elevada ganancia de corriente (alrededor de 300 veces) y una alta impedancia de entrada ( $300k\Omega$  **CHEQUEAR**). Como desventaja podría mencionarse que al tener dos transistores en cascada, la caída en tensión equivale aproximadamente a 2 veces  $V_{BEON}$ .

Además, tiene una polarización estable, pues el J-Fet actúa como fuente de corriente, otorgándole la corriente que necesitan los BJT para su correcta polarización, donde también se verifica que los puntos de trabajo de los BJT estén lejos de los de máxima disipación de potencia permitidas por los encapsulados utilizados.

En síntesis, se tiene un circuito estable, logrado con una buena optimización de recursos, al no utilizar la totalidad de los créditos disponibles, con una buena ganancia en corriente y alta impedancia de entrada.