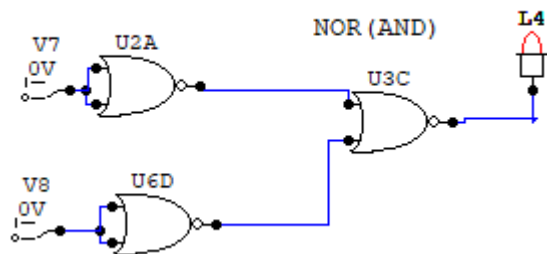
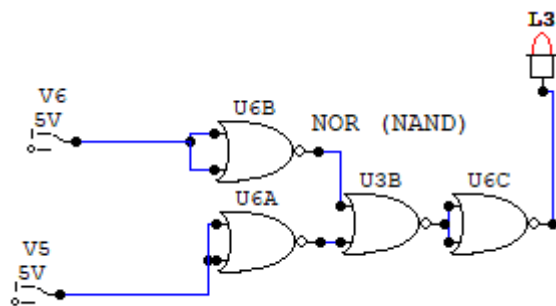


Exercício–1) Represente as Portas Lógicas AND / NAND / OR / XOR e NOT- XOR, utilizando somente portas NOR. Monte no CIRCUIT MAKER.

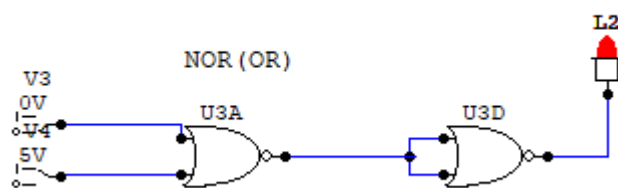
AND:



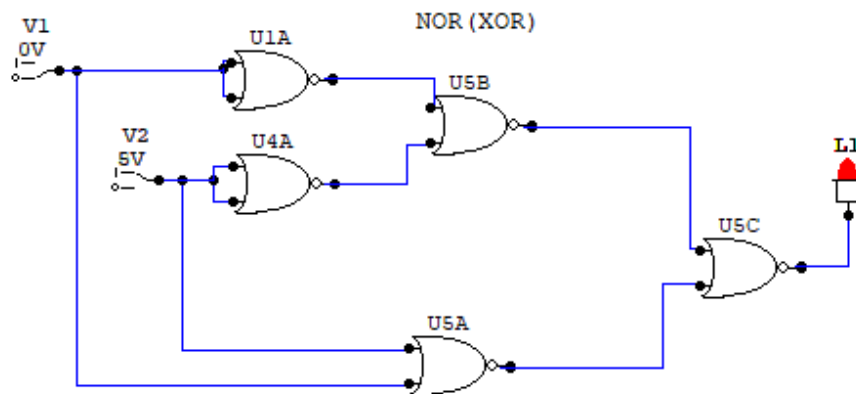
NAND:



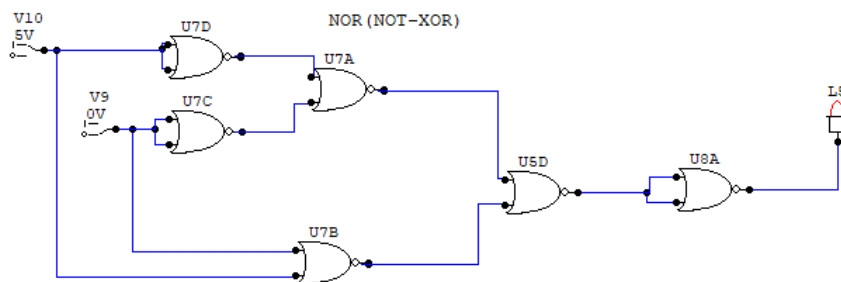
OR:



XOR:

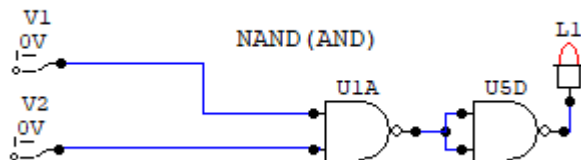


NOT-XOR:

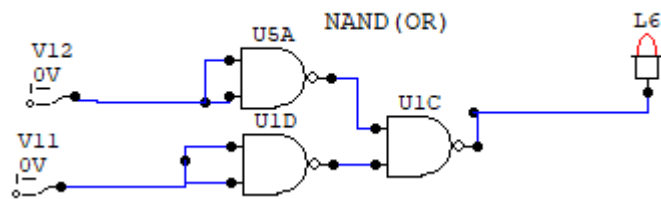


Exercício-2) Represente as Portas Lógicas AND / OR / NOR / XOR e NOT- XOR, utilizando somente portas NAND. Monte no CIRCUIT MAKER:

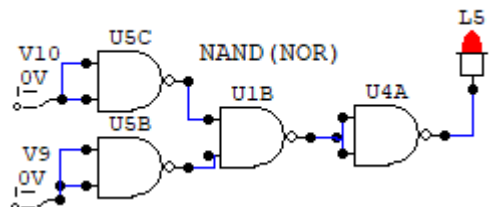
AND:



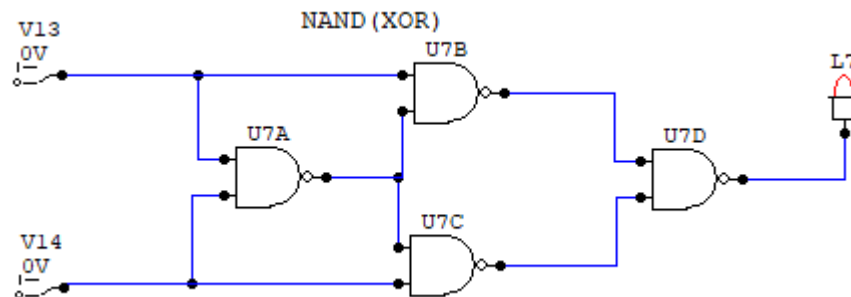
OR:



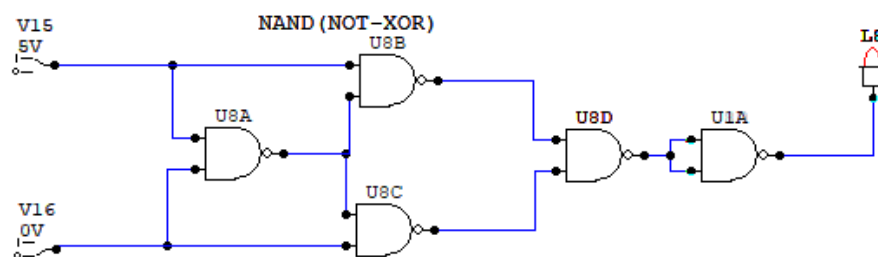
NOR:



XOR:



NOT-XOR:



Exercício-4) Monte o Circuito Para a Tabela Verdade, com os Mintermos, a Seguir - Utilizar o CIRCUIT MAKER : $\Sigma (0,2,4,6,7,9,11,15)$:

MINTERMOS: 0 2 4 6 7 9 11 15

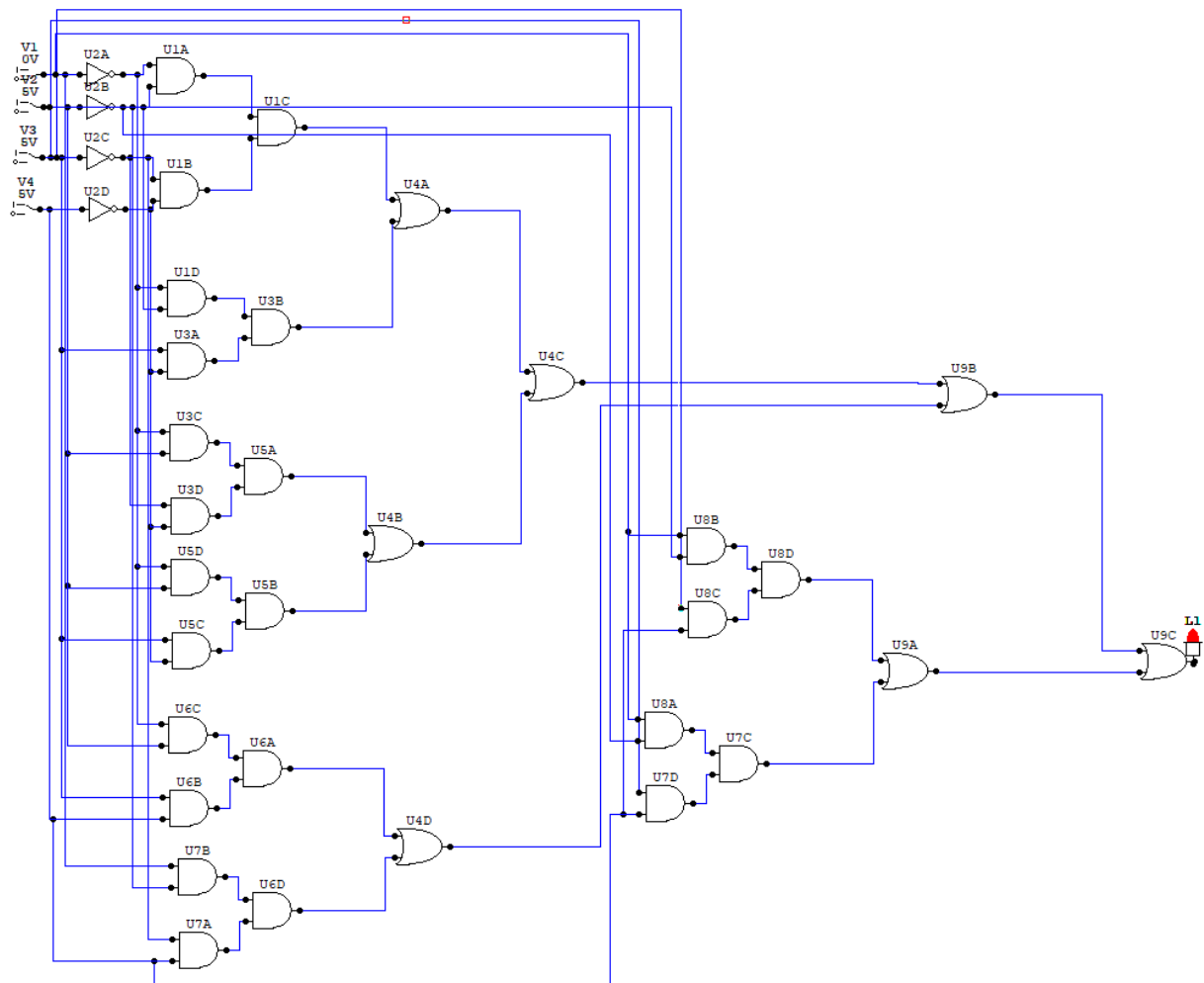
Convertidos:

0000 (0) 0010 (2) 0100(4) 0110 (6) 0111(7) 1001(9) 1011(11) 1111(15)

Circuito realizado:

$$(A/. B/. C/. D/) + (A/. B/. C . D/) + (A/. B . C/. D/) + (A/. B . C . D/) + (A . B/. C/. D/) +$$

$$(A . B/. C/. D) + (A . B/. C . D) + (A . B . C . D)$$



Exercício-5) Monte o Circuito Para a Tabela Verdade, com os Maxitermos, a Seguir: Utilizar o CIRCUIT MAKER: π (1,3,4 6,8,9,11,12,14,15)

MaxTermos: 1 3 4 6 8 9 11 12 14 15

Convertidos:

0001(1) 0011(3) 0100(4) 0110(6) 1000(8) 1001(9) 1011(11) 1100(12) 1110(14) 1111(15)

Circuitos:

$$(A/. B/. C/. D) + (A/. B/. C . D) + (A/. B . C/. D) + (A/. B . C . D) + (A . B/. C/. D) + (A . B/. C . D)$$

$$+ (A . B/. C . D) + (A . B . C/. D) + (A . B . C . D) + (A . B . C . D)$$

Simplificação 1:

$$(AB/C/D/) + (AB/C/D) + (AB/CD) + (ABC/D/) + (ABCD/) + (ABCD) + a/ (B/C/D + [B/CD] + [BC/D/] +$$

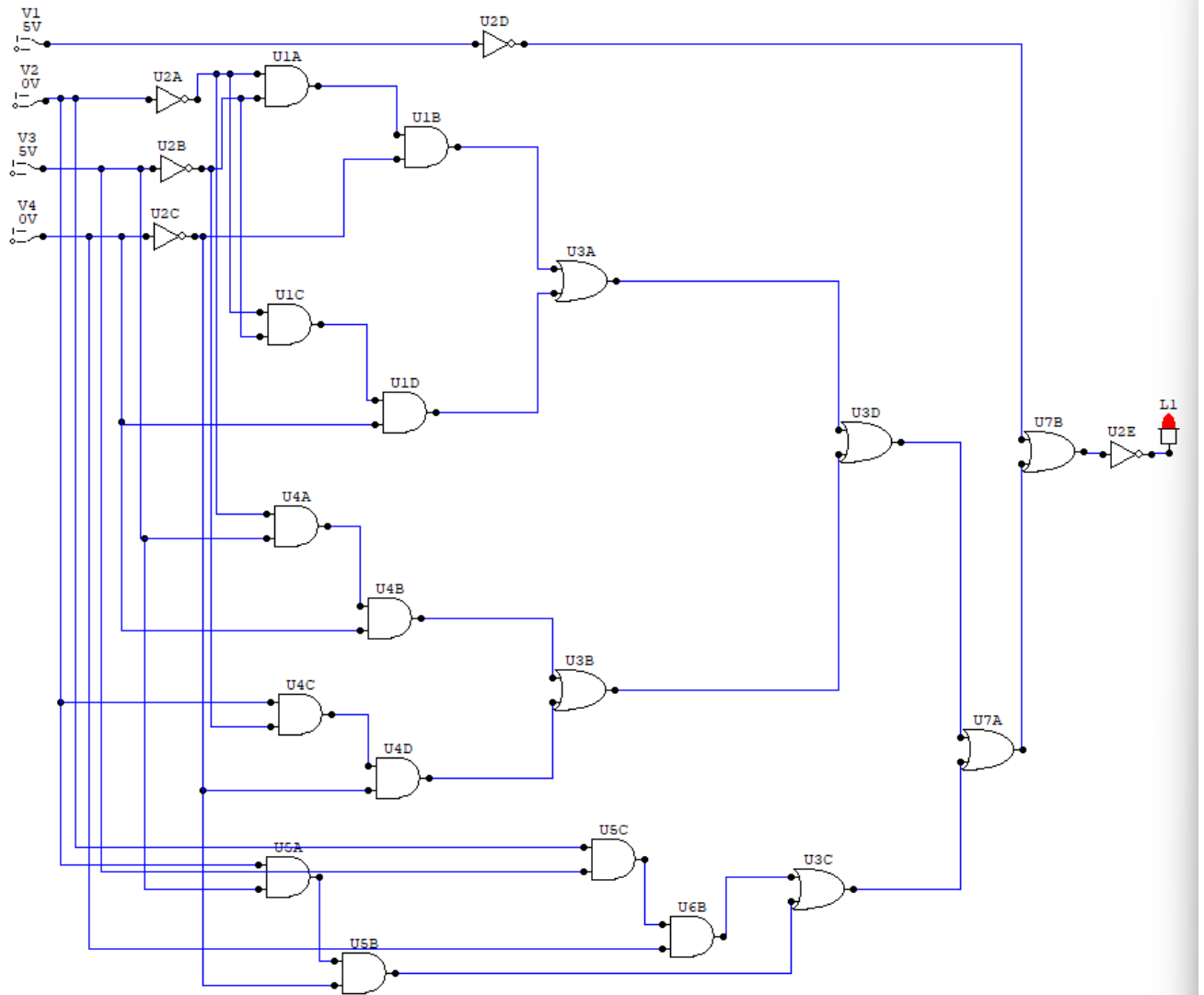
$$[BCD/]) + a/(b/ (C/D + [CD]) + b (C/D/ + [CD/])$$

Simplificação 2:

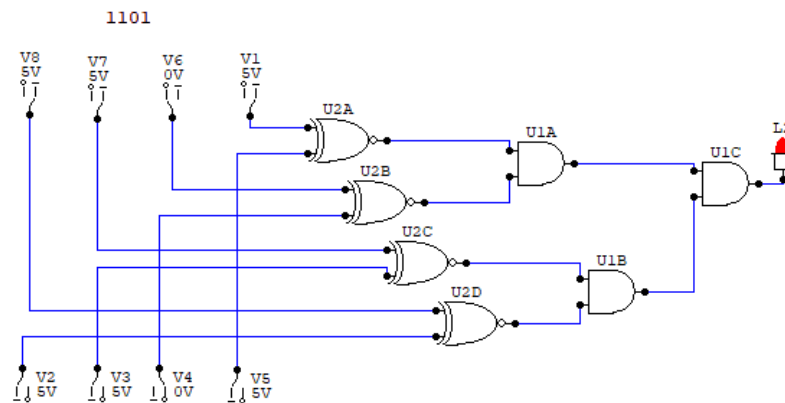
$$(B/C/D/) + (B/C/D) + (B/CD) + (BC/D/) + (BCD/) + (BCD) + a/ \cdot (1)$$

Circuito Realizado com inversor no final:

$$(B/C/D/) + (B/C/D) + (B/CD) + (BC/D/) + (BCD/) + (BCD) + a/$$

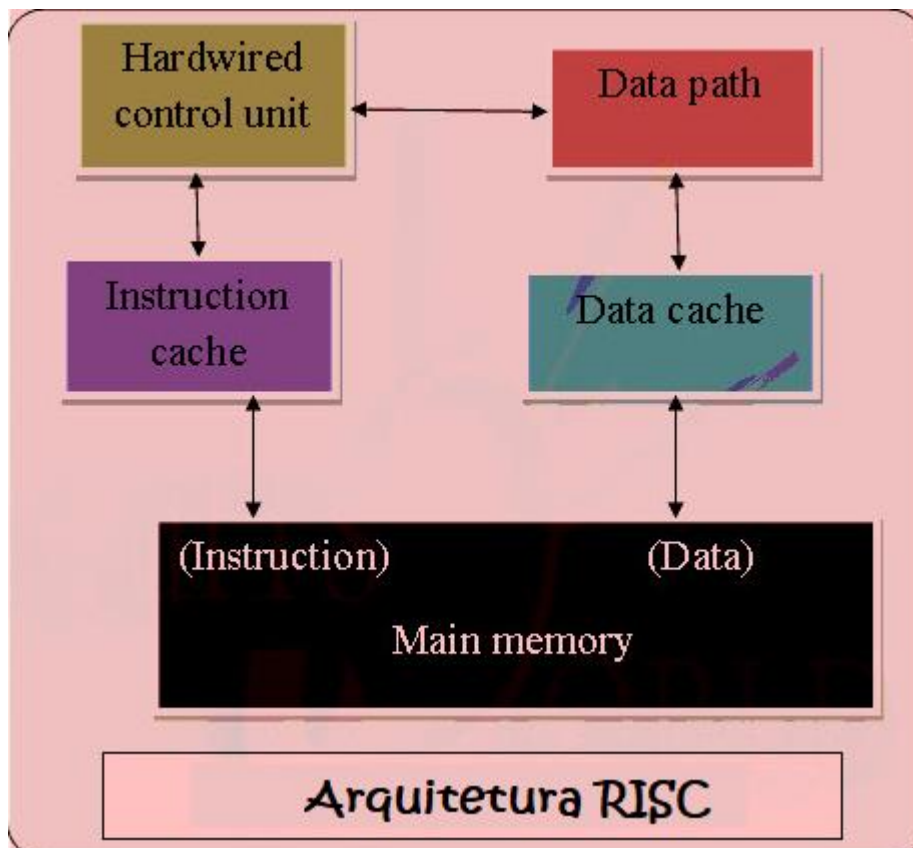


Exercício–7) Em uma linha de montagem em uma fábrica, os itens produzidos recebem um código de barras de 4 bits para a sua identificação. Na saída existe um circuito lógico que após a leitura do código compara com o da caixa a qual o item pertence e sinaliza para que uma equipe de inspeção final verifique e embale o produto. Projete o circuito lógico para a identificação do produto de código 13 (TREZE). Utilize somente portas lógicas de 2 entradas. Utilizar o CIRCUIT MAKER.

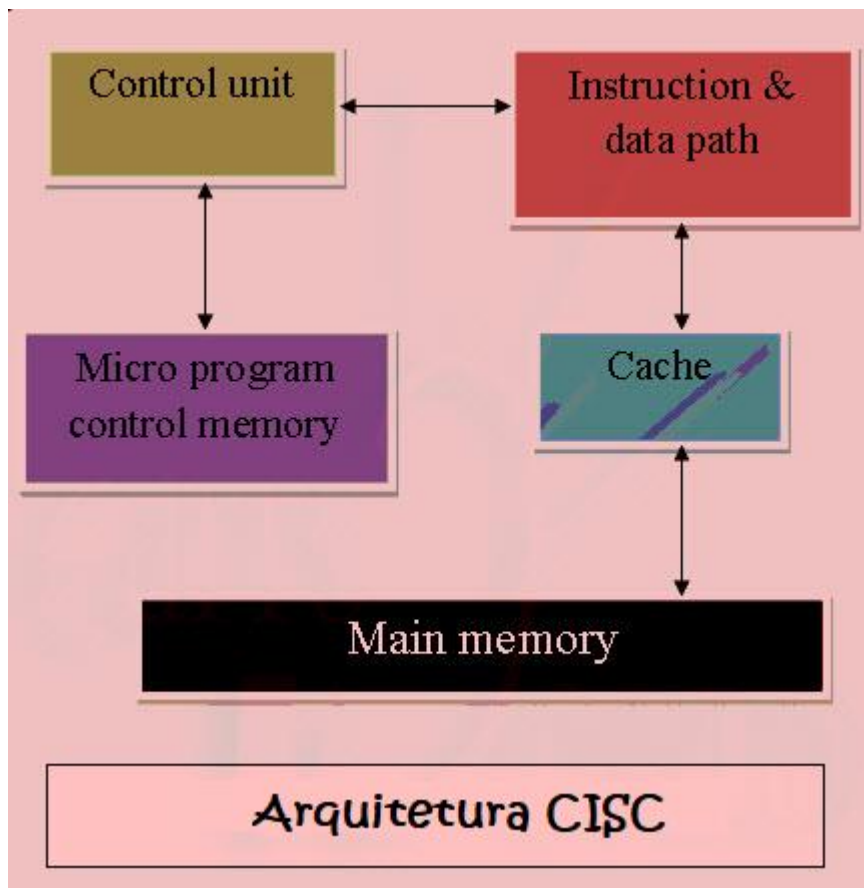


Exercício–10) Diferencie RISC x CISC – Descreva e Exemplifique estas arquiteturas.

A arquitetura **RISC** (Computação com Conjunto de Instruções reduzido) é feita para uma Cpu que atua rapidamente com pedidos simples. É feita a partir de um pequeno conjunto de instruções, cada uma delas feitas para trabalhos pequenos. Os conjuntos são modestos e simples e podem ser utilizados para criar comandos mais complexos. Realizam tarefas compostas em uma única operação. As características do RISC é sua baixa demanda de decodificação, um Nós de endereçamento simples, poucos tipos de dados no hardware e um Registro de uso geral idêntico.



A arquitetura **CISC**(Computação com Conjunto de Instruções Complexas) é baseada em comandos únicos, trabalha com a execução de operações em diversas etapas. Os computadores em Cisc possuem um grande numero de instruções compostas com um grande tempo pra ser executado. Um único conjunto de instrução possui mais de 300 instruções. Podem levar de dois a dez ciclos de maquinas para serem completados. As características do CISC é uma lógica de decodificação de instruções mais complexas, a necessidade de uma instrução para vários modos de endereçamento e vários projetos em CISC tem suas configurações com dois registradores especiais para o ponteiro de pilha, tratamento de interrupções e outros...



Algumas de suas diferenças são:

Unidade de memória: O Risc não possui uma, diferente do CISC que usa para suas instruções complexas.

Programa: O Risc utiliza uma unidade hard-wired, já o CISC possui uma unidade de microprogramação.

Cálculos: Risc realiza cálculos mais rápido e precisamente, já o CISC de forma lenta e precisa.

Tempo: Risc possui um tempo de execução muito menor que o CISC.

Pipelining: O pipelining no Risc funciona corretamente, o que não acontece no CISC.