

TITLEPAGE NOT RENDERED!
RECOMPILE WITH LATEX!

Indice

1	Introduzione e convenzioni	3
1.1	Equazioni Fondamentali	4
1.1.1	Maxwell Equations	4
1.1.2	Laplace and Fourier Transformation	4
1.2	Convenzioni	4
1.3	Caratteristiche dei segnali	4
2	Semiconduttori	6
2.1	Introduzione ai Semiconduttori	7
3	MOS	8
3.1	MOS Intro	9
3.1.1	Regimi di Funzionamento di un MOS	10
3.2	NMOS ed PMOS	14
3.2.1	NMOS	14
3.2.2	PMOS	15
3.3	Lambda: Modello piu' accurato del MOS	16
3.4	Come capire in che stato di funzionamento e' il MOS	17
3.5	Caratteristiche Importanti delle porte a MOS	19
3.6	Tips and Tricks	19
3.7	Come Risolvere gli esercizi sui MOS	20
3.7.1	Esercizio 2.1	20
3.7.2	Risoluzione Esercizio 2.1	21
3.7.3	Esercizio 2.2	23
3.7.4	Risoluzione Esercizio 2.2	24
3.7.5	Esercizio 2.3	26
3.7.6	Risoluzione Esercizio 2.3	27
3.7.7	Esercizio 3.1	29
3.7.8	Risoluzione Esercizio 3.1	30
3.7.9	Esercizio 3.2	32
3.7.10	Risoluzione Esercizio 3.2	33
3.7.11	Esercizio 3.3	35
3.7.12	Risoluzione Esercizio 3.3	36
3.7.13	Esercizio 3.4	38
3.7.14	Risoluzione Esercizio 3.4	39
3.8	MOS equivalenti	41
3.8.1	MOS in serie	41
3.8.2	MOS in parallelo	41
3.9	Porte Logiche	42
3.9.1	Logica PullDown	42
3.9.2	Logica PullUp	43
3.9.3	Logica CMOS	44
3.9.4	Esercizio 4.1	45
3.9.5	Risoluzione Esercizio 4.1	46
4	Elementi di Memorie	47
4.1	Elementi di memoria	48
4.1.1	Classificazione	48
4.1.2	RAM	48
5	Diodi	50
5.1	Introduzione ai diodi	51

5.2	Metodi di risoluzione per circuiti con diodi	52
5.3	Raddrizzatori di tensione	54
5.3.1	Un semplice raddrizzatore di tensione	55
5.3.2	Altri raddrizzatori di tensione	56
5.4	Come Risolvere gli esercizi sui diodi	57
5.4.1	Esercizio 5.1a	57
5.4.2	Soluzione Esercizio 5.1a	58
5.4.3	Esercizio 5.1b	59
5.4.4	Soluzione Esercizio 5.1b	59
5.4.5	Esercizio 5.2	60
6	Convertitori Analogici Digitali	61
6.0.1	Sample & Hold	62
6.0.2	Dimensionamento della tensione di controllo V_s	62
6.1	Convertitori Analogico - Digitale (ADC)	63
6.1.1	Caratteristiche degli ADC	63
6.1.2	Tipi di ADC	63
6.1.3	convertitore a doppia rampa	65
7	Temî d'esame risolti	66
7.1	Tema d'esame 31 gennaio 2018	67
7.1.1	Testo del esame	67
7.1.2	Risoluzione	69

1

Introduzione e convenzioni

1.1 Equazioni Fondamentali

1.1.1 Maxwell Equations

$$\begin{aligned}\nabla \cdot D &= \rho \\ \nabla \cdot B &= 0 \\ \nabla \times E &= -\frac{\partial B}{\partial t} \\ \nabla \times H &= J + \frac{\partial D}{\partial t}\end{aligned}$$

1.1.2 Laplace and Fourier Transformation

Convoluzione misura la similarita' di due segnali

$$C = \int_{-\infty}^{\infty} f(t)g(t)dt$$

Misurando la similarita' con delle sinusoidi otteniamo la trasformata di Fourier

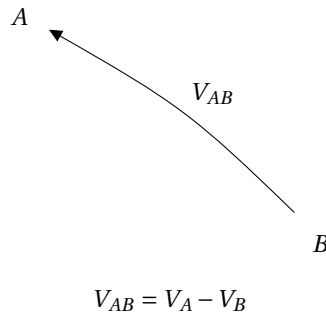
$$\begin{aligned}F(j\omega) &= \int_{-\infty}^{\infty} f(t)e^{-j\omega t}dt \\ s &= \sigma + j\omega\end{aligned}$$

Espandendo dal dominio immaginario a complesso misuriamo la similarita' rispetto a sinusoidi ed esponenziali

$$F(s) = \int_{-\infty}^{\infty} f(t)e^{-st}dt$$

1.2 Convenzioni

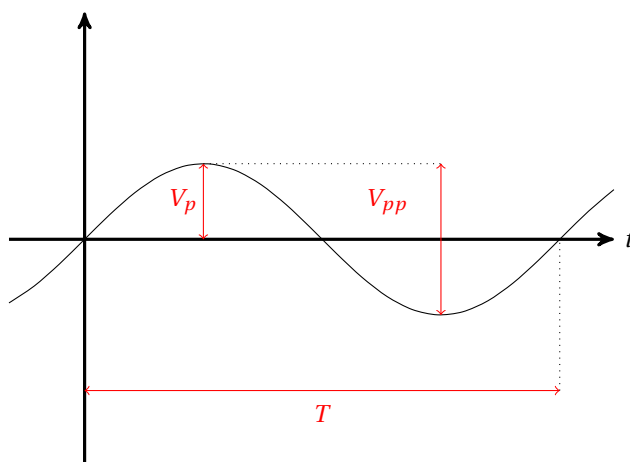
Per convenzione la tensione V_{AB} e' misurata come $V_A - V_B$ ed indicata con la punta della freccia in A e la coda in B .



1.3 Caratteristiche dei segnali

I segnali sono caratteristiche fisiche variabili nel tempo che trasportano informazione, tipicamente tensioni o correnti.

Per Segnali sinusoidali:

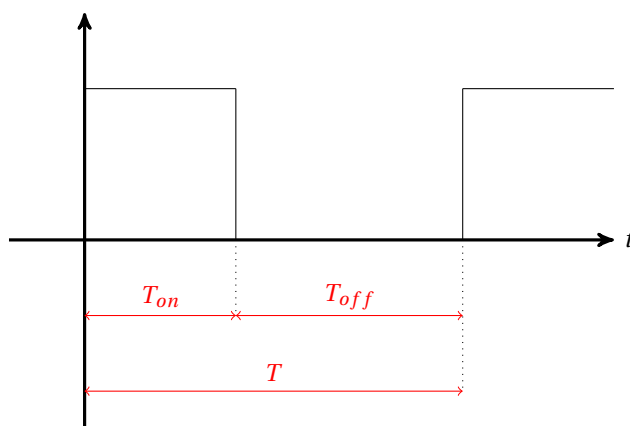


V_p Tensione di picco

V_{pp} Tensione Picco Picco

T Periodo

Per segnali ad onda quadra:



T_{on} Periodo On

T_{off} Periodo Off

T Periodo

D Duty-Cycle

$$T = T_{on} + T_{off}$$

$$D = \frac{T_{on}}{T}$$

2

Semiconduttori

2.1 Introduzione ai Semiconduttori

I semi conduttori sono una categoria di materiali che hanno una conduttività a metà tra conduttori ed isolanti.

Ci sono due principali tipi di semiconduttori:

1. Semiconduttori ad elemento singolo: ad esempio quelli al silicio o al germanio.
2. Semiconduttori composti: ad esempio quelli a lega di gallio-arsenico.

Quindi quelli ad elemento singolo sono tutti elementi con 4 elettroni di valenza nel orbitale più esterno, mentre quelli composti sono lege di elementi con valenza 3-5 o 2-6 in modo che in media si comporti come se avesse valenza 4 così che si possa formare un reticolo di legami covalenti.

Il principale utilizzo di semiconduttori composti è per i LED.

Il reticolo di legami covalenti non conduce poiché non vi è carica libera però col aumentare della temperatura i legami si rompono e generano coppie di elettrone-lacuna, che in quanto cariche libere rendono il materiale capace di condurre, poi si ricombinano.

Le lacune possono essere modellizzate come particelle di carica opposta all'elettrone.

Ovviamente il numero di elettroni liberi e di lacune sono uguali e questo numero per cm^3 vale:

$$n_i = BT^{\frac{3}{2}} e^{\frac{-E_g}{2kT}}$$

T è la temperatura espressa in gradi Kelvin

B è un valore che dipende dal materiale e nel silicio vale $7.3 \times 10^{15} cm^{-3} K^{-\frac{3}{2}}$

E_g è l'energia minima per rompere il legame covalente che nel silicio vale $1.12 eV$ (ElettronVolt) a temperatura ambiente

k è la costante di Boltzmann $8.62 \times 10^{-5} \frac{eV}{K}$

$$n_i \sim 1.5 \times 10^{10} \frac{tdc}{cm^3}$$

(tdc = Trasportatori di Carica)

3

MOS

3.1 MOS Intro

I MOS (Metal Oxide Semiconductor) sono dei tripoli a base di semiconduttori.

Sono ricavati da un substrato di semiconduttore drogato di un tipo in cui si realizzano due piazzole drogate in modo opposto e tra di esse vi si crea uno strato di ossido che funge da dielettrico. Sopra alle piazzole ed all'ossido si realizzano dei contatti metallici per poter collegare il MOS ai vari circuiti.

A seconda che si droghino le piazzole di tipo N o di tipo P si distinguono in NMOS e PMOS i quali sono sostanzialmente duali nel funzionamento.

I

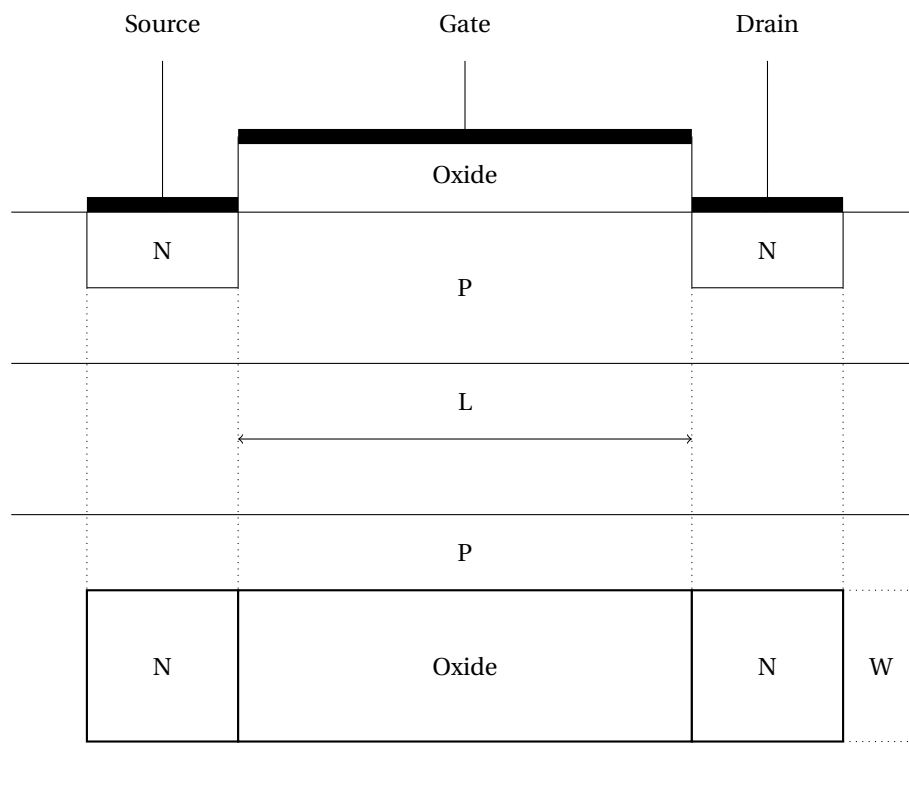


Figura 3.1: Vista in sezione e dal alto di un NMOS

Definisco due caratteristiche del MOS:

$$K'_n = \frac{1}{2} \mu_n C'_{ox}$$

$$K_n = K'_n \left(\frac{W}{L} \right) = \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L} \right)$$

μ_n e' la costante di mobilita' delle cariche libere

C'_{ox} e' la capacita' del condensatore che si forma tra il gate ed il canale

W e' la larghezza del canale

L e' la lunghezza del canale

3.1.1 Regimi di Funzionamento di un MOS

In realta' nelle zone di confine tra le piazzole ed il substrato si forma uno strato neutro poiche' a contatto da una parte con una zona drogata positivamente ed una drogata negativamente.

Quindi una immagine piu' reale del MOS e':

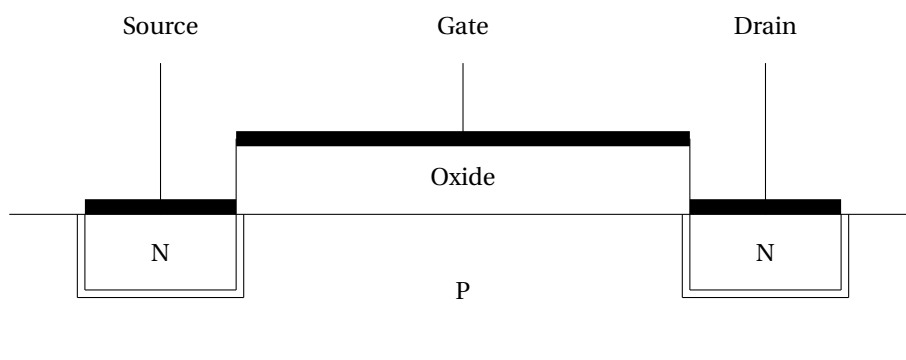


Figura 3.2: Sezione di un NMOS con le zone neutre a vista

Normalmente nelle realizzazioni pratiche il substrato e' collegato al source

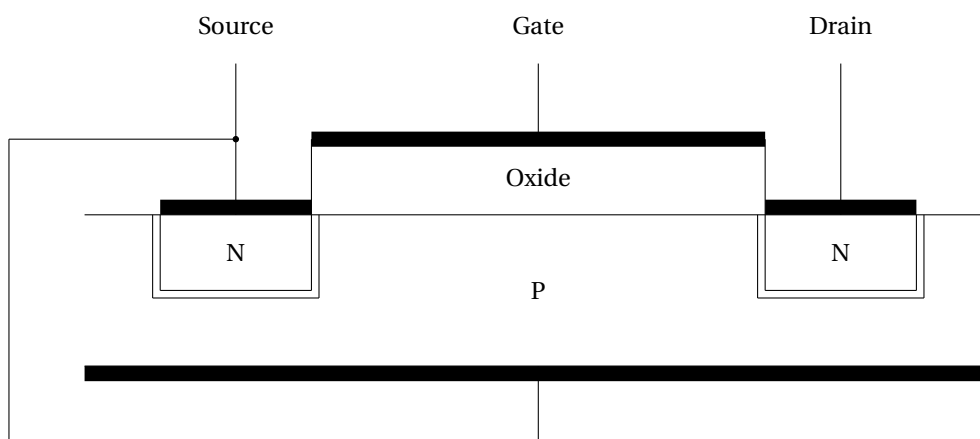


Figura 3.3: Sezione di un NMOS con source collegato al substrato

Ora se imponiamo a massa il Source ed il Drain ed iniziamo ad aumentare il potenziale ai capi del Gate si iniziano ad accumulare cariche sul Gate che come un condensatore attrae cariche opposte, sotto l'ossido, iniziando a formare una zona neutra.

Il MOS continua a rimanere spento e non vi può essere conduzione tra Source e Drain.

In realta' vi e' una piccola corrente di cross-conduzione ma tranquillamente approssimabile a 0 poiche' di diversi ordini di grandezza piu' piccola di quelle degli altri regimi di funzionamento.

$$I_{DS} = 0$$

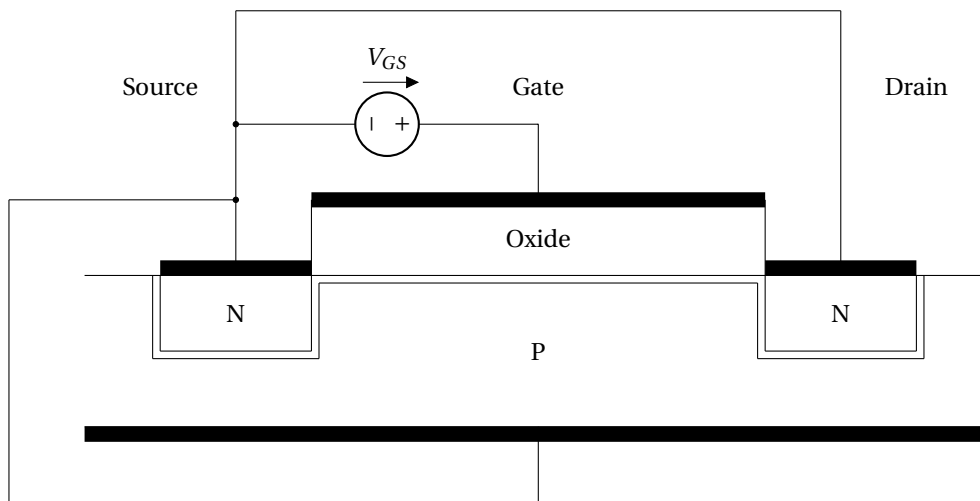


Figura 3.4: Sezione di un NMOS al aumentare del potenziale sul Gate

Una volta che il Potenziale al Gate ha superato una Tensione di Soglia V_t (che e' una caratteritica del MOS) si inizia a formare un canale polarizzato come le piazzole il quale avendo cairche libere puo' essere attraversato da una corrente tra Source e Drain I_{DS} .

In questa situazione in cui vi e' il canale da entrambi i lati si dice che il MOS sta lavorando in regime Ohmmico.

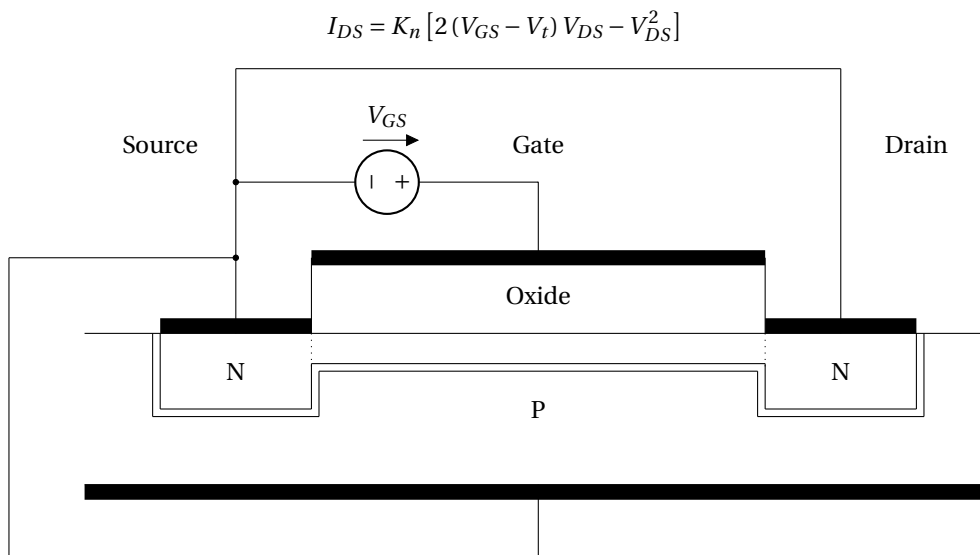


Figura 3.5: Sezione di un NMOS al aumentare del potenziale sul Gate

Ora se impongo una tensione V_{DS} il canale inizia ad essere attratto verso il drain quindi il canale non e' piu' parallelo al' ossido ma diventa.

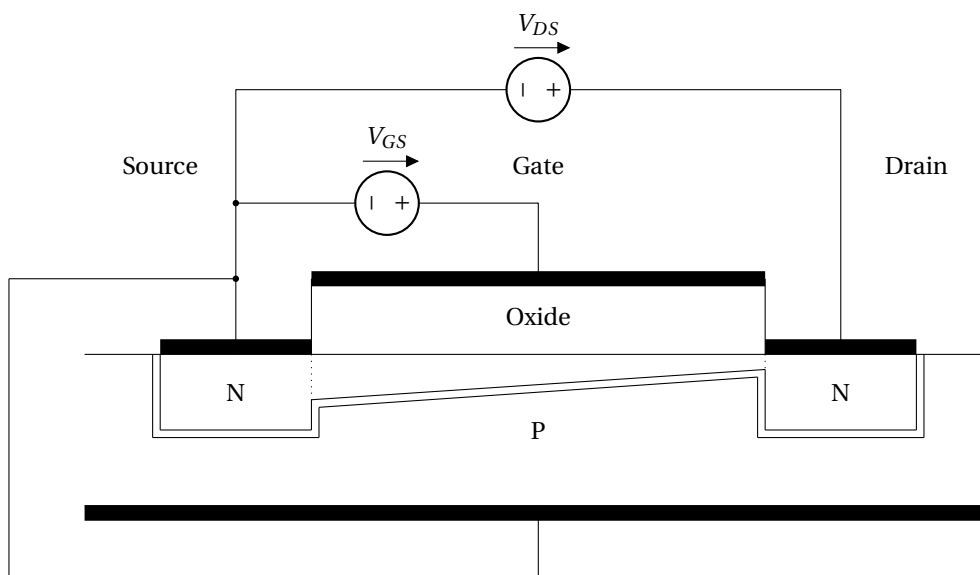


Figura 3.6: Sezione di un NMOS applicando una tensione tra Source e Drain

Se la tensione $V_{DS} > V_{GS} - V_t$ allora si verifica il fenomeno del pinch-off nel quale il canale è totalmente spostato verso un lato ed a questo punto la resistività del canale non dipende più dalla V_{DS} ma solo dalla V_{GS} .

$$I_{DS} = K_n (V_{GS} - V_t)^2$$

Si dice che il MOS si trova in regime di saturazione.

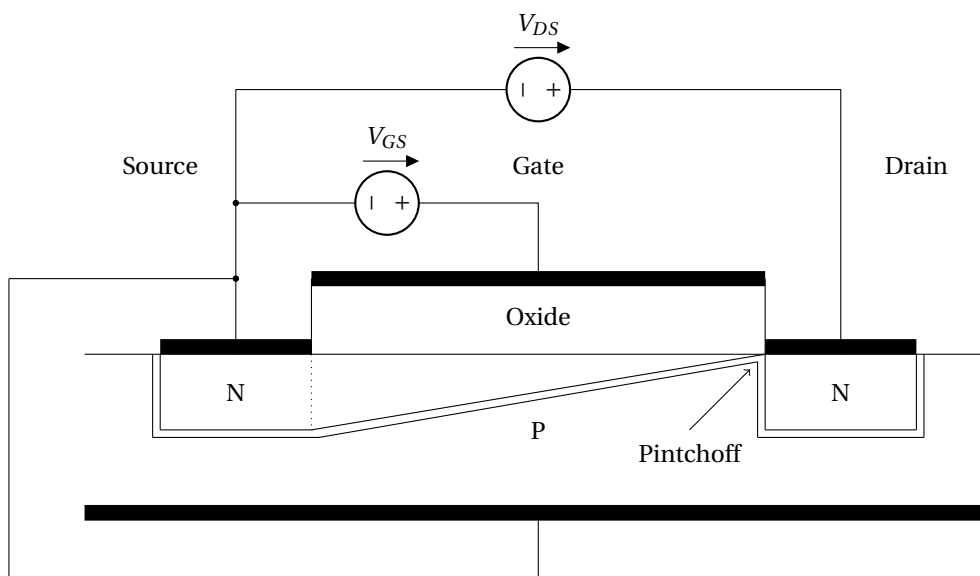
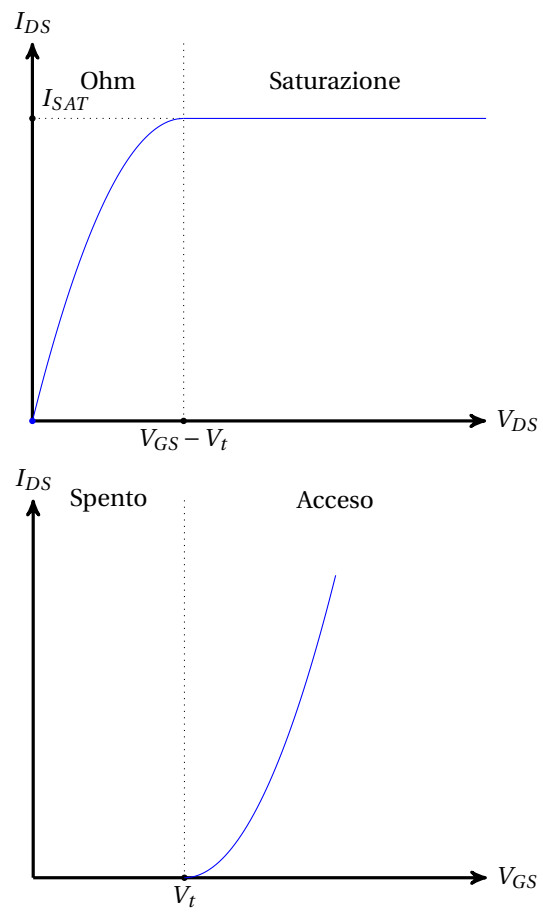


Figura 3.7: Sezione di un NMOS in saturazione

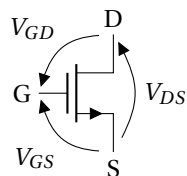
Quindi riassumendo Le caratteristiche del MOS sono:



3.2 NMOS ed PMOS

Esistono due tipi duali e complementari di MOS: NMOS (Piu' usati e con caratteristiche migliori) e i PMOS.

3.2.1 NMOS



$$K_n = K'_n \left(\frac{W}{L} \right) = \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L} \right)$$

Il NMOS e' spento se la $V_{GS} < V_t$

e quindi la corrente

$$I_{DS} = 0$$

Il NMOS e' in regime ohmico o lineare se $V_{DS} < V_{GS} - V_t$

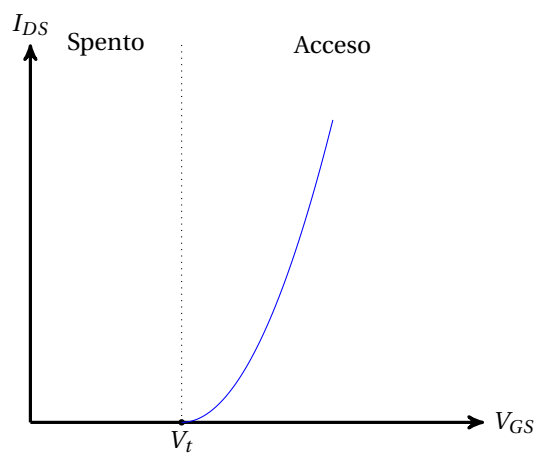
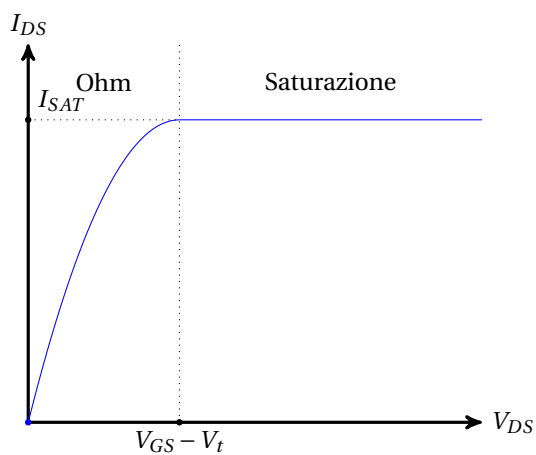
e quindi la corrente

$$I_{DS} = K_n [2(V_{GS} - V_t) V_{DS} - V_{DS}^2]$$

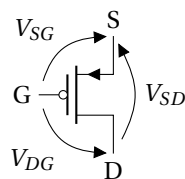
Il NMOS e' in zona di saturazione se $V_{DS} > V_{GS} - V_t$

e quindi la corrente

$$I_{DS} = K_n (V_{GS} - V_t)^2$$



3.2.2 PMOS



[ATTENZIONE AI SEGNI]

$$K_p = K'_p \left(\frac{W}{L} \right) = \frac{1}{2} \mu_p C'_{ox} \left(\frac{W}{L} \right)$$

Il PMOS e' spento se la $|V_{GS}| < |V_t|$

e quindi la corrente

$$I_{SD} = 0$$

Il PMOS e' in regime ohmico o lineare se $V_{SD} < V_{SG} - V_t$

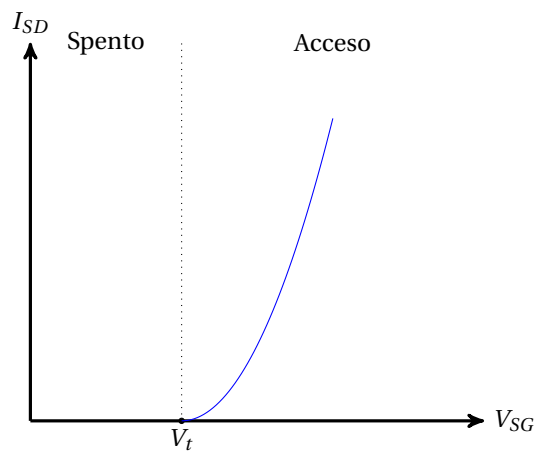
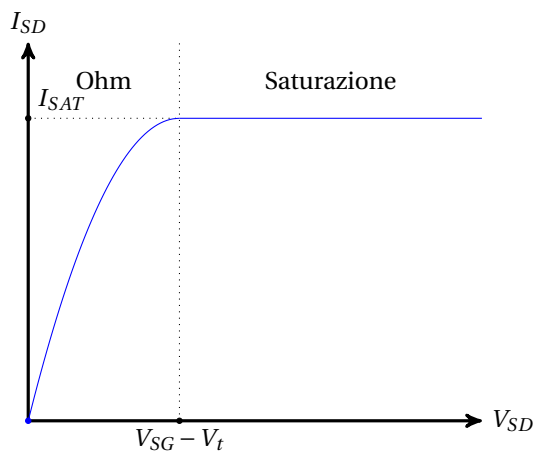
e quindi la corrente

$$I_{SD} = K_p [2 (V_{SG} - V_t) V_{SD} - V_{SD}^2]$$

Il PMOS e' in zona di saturazione se $V_{SD} > V_{SG} - V_t$

e quindi la corrente

$$I_{SD} = K_p (V_{SG} - V_t)^2$$



3.3 Lambda: Modello piu' accurato del MOS

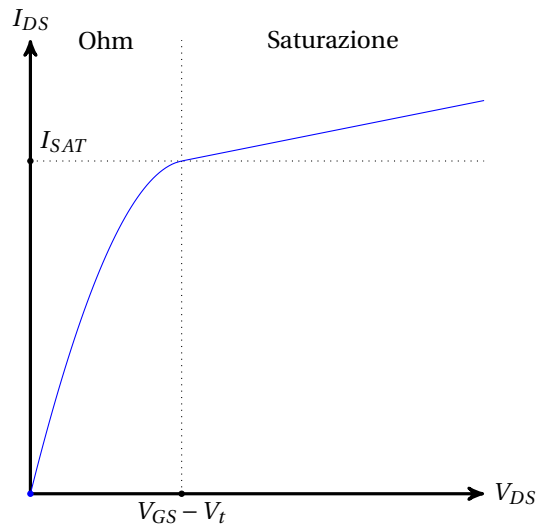
Secondo il modello sopra descritto una volta che si raggiunge il pitch-off la corrente non dipende piu' dalla V_{DS} ma nella realta' la corrente aumenta leggermente comunque poiche' con l'aumentare della V_{DS} il punto di pitchoff dal source si sposta verso il drain.

Questo effetto chiamato Modulazione di Canale fa si che accorciandosi il canale diminuisca la resistenza ad esso associata e quindi aumenti la corrente.

Per questo introduciamo un nuovo parametro λ che tipicamente assume valori del tipo 0.05 e le nuove equazioni del NMOS sono:

$$I_{Ohm} = K_n ((V_{GS} - V_t)^2 V_{DS} - V_{DS}^3) (1 + \lambda V_{DS})$$

$$I_{Sat} = K_n (V_{GS} - V_t)^2 (1 + \lambda V_{DS})$$



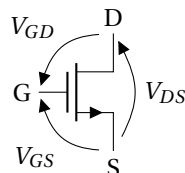
3.4 Come capire in che stato di funzionamento e' il MOS

Prendiamo un NMOS per comodita'.

Metodo per assurdo:

Si suppone che il MOS sia in un certo funzionamento e poi si va avanti a risolvere fino a che si raggiunge un assurdo logico (e in quel caso non e' corretta la supposizione) o si raggiunge la fine della risoluzione (ed in quel caso poiche' non vi sono assurdi la supposizione si puo' considerare corretta).

Metodo dei Diodi:



Ora osserviamo che

$$V_{DS} < V_{GS} - V_t$$

sottraggo V_{GS} ad entrambi i membri

$$V_{DS} - V_{GS} < -V_t$$

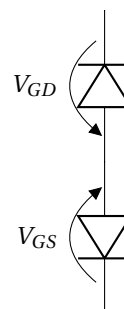
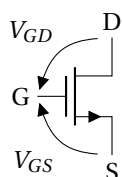
$$V_{DS} - V_{GS} = -V_{GD}$$

$$-V_{GD} < -V_t$$

quindi cambiando il verso della tensione $V_{GD} = -V_{DG}$

$$V_{DG} > V_t$$

Quindi il MOS essendo in fondo una giunzione NPN e' approssimabile a due diodi in antiserie.



quindi se $V_{GS} < V_t$ allora vi e' canale dal lato del Source

e se $V_{DG} > V_t$ allora vi e' canale dal lato del Drain

Quindi sostanzialmente ci sono 3 fasi di funzionamento del MOS: Off, Ohm, Sat (Spento, Ohmmica, Saturazione).

Off e' quando non vi e' canale da nessuno dei due lati.

Ohm e' quando vi e' canale da entrambi i lati.

Sat quando vi e' canale da solo un lato.

Metodo Grafico : Basta seguire 4 punti:

1. Verificare che la $V_{GS} > V_t$
2. Calcolare la corrente I_{DS} del NMOS quando $V_{DS} = V_{ow} = V_{GS} - V_t$
3. Calcolare le correnti ad un nodo a scelta tra SOURCE e DRAIN imponendo che $V_{DS} = V_{ow}$
4. Confrontare i due valori.

A Questo punto sapendo la funzione della corrente di carico I_L e le correnti calcolate alla tensione V_{ow} si puo' dedurre dove si intersecano le funzioni e quindi il punto di lavoro.

Esempio:

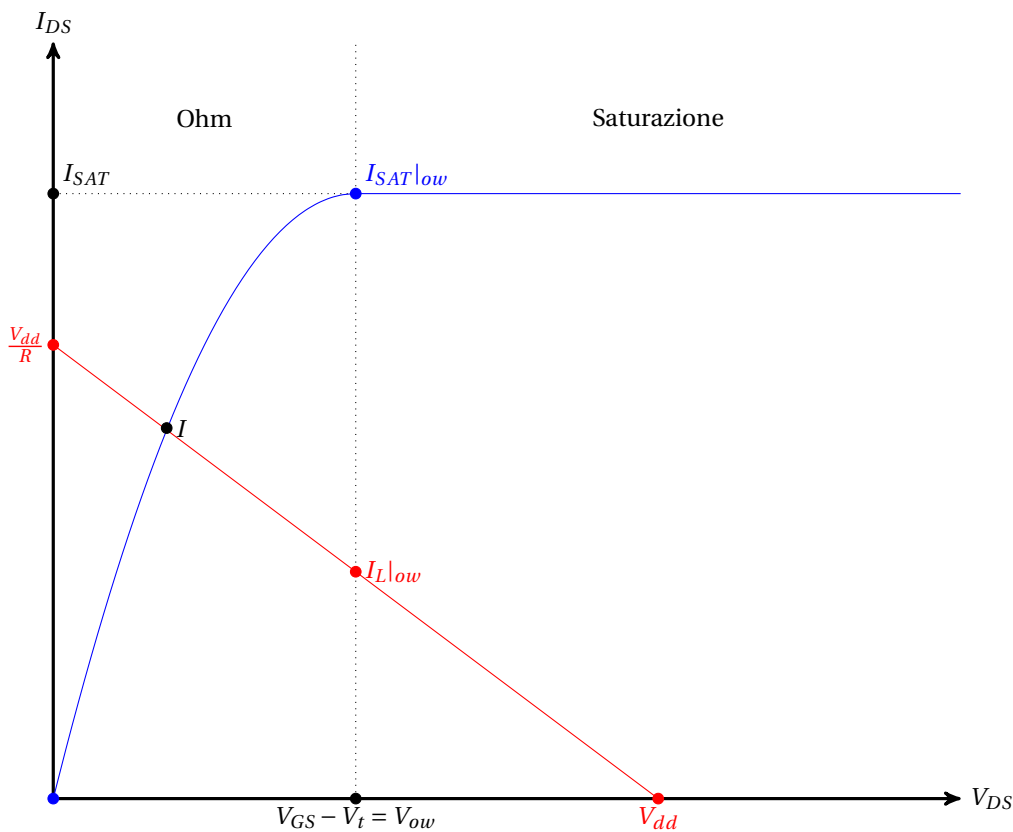
Supponiamo di avere un carico che ha equazione della corrente $I_L = I_{MOS}$:

$$I_L = \frac{V_{dd}}{R} - \frac{V_{DS}}{R}$$

e che:

$$I_{SAT} = K_n(V_{GS} - V_t)^2 = 26mA$$

$$I_{L|ow} = \frac{V_{dd}}{R} - \frac{V_{ow}}{R} = 5mA$$



Ora il gradico e' quello soprastante e quindi se ne deduce che il MOS lavora in zona Ohmmica.

Pero' possiamo deduro anche solo confrontando i valori.

Poiche' $I_{SAT|ow} > I_{L|ow}$ e I_L e' una retta con coefficente negativo allora posso dedurre che il punto in cui $I_L = I_{SAT}$ sia a sinistra di V_{ow} quindi che il MOS lavori in zona Ohmmica.

3.5 Caratteristiche Importanti delle porte a MOS

Tensione di Overdrive V_{ow}

$$V_{ow} = V_{GS} - V_t$$

e' utile per scrivere le formule in modo piu' compatto.

Tensione di soglia logica V_{th}

$$V_{th} \triangleq V \text{ t.c. } V_{in} = V_{out}$$

Potenza Statica P_{STAT} Sono le potenze consumate dalla porta per rimanere in ogni suo stato.

Potenza Statica P_{DIM} Sono le potenze consumate dalla porta per commutare da stato a stato.

Tempo di propagazione t_p Il Tempo di propagazione e' quanto ci mette la porta a fare da 0% al 50% della sua escursione di tensione. Vi sono due approssimazioni usabili per calcolarla:

(1) Approssimazione a corrente costante In questa approssimazione si considera il MOS sempre in saturazione, questa approssimazione di solito sottostima del 10%.

$$I_{DS} = K_n (V_{GS} - V_t)^2$$

(2) Approssimazione a Resistenza In questa approssimazione si approssima il MOS ad una resistenza di resistivita', questa approssimazione di solito sovrastima.

$$R_{eq} = \frac{V_f}{I_{sat}}$$

Comunque una volta decisa l'approssimazione si calcola la corrente del condensatore I_c poi si calcola il delta di carica che serve per caricare il condensatore:

$$Q_i = CV_i$$

$$Q_f = CV_f$$

$$\Delta Q = Q_f - Q_i = C (V_f - V_i)$$

a questo punto vale la relazione:

$$I_c = \frac{\Delta Q}{t_p}$$

e si ricava t_p :

$$t_p = \frac{\Delta Q}{I_c} = C \frac{V_f - V_i}{I_c}$$

3.6 Tips and Tricks

1. I MOS sono simmetrici e quindi non ha senso parlare di Source e Drain pero' per aiutare convenzione si ha che:

La corrente nei MOS scorre sempre in senso concorde alla freccia.

La tensione V_{GS} si misura sempre tra il piedino dove vi e' la freccia e il gate ed ha sempre senso contrario alla freccia.

In pratica queste sono convenzioni per suggerire il funzionamento del MOS a chi sta studiando il circuito.

2. Per Piccole V_{DS} si puo' approssimare:

$$I_n = K_n [2(V_{GS} - V_t) V_{DS} - V_{DS}^2] \sim K_n [2(V_{GS} - V_t) V_{DS}]$$

Poiche' se V_{DS} e' piccolo V_{DS}^2 e' ancora piu' piccolo e quindi si puo' trascurare senza grossi problemi.

La quale e' una equazione lineare e quindi piu' semplice da risolvere.

Per esempio sul circuito del esercizio 1 con la equazione corretta si ottiene

$$V_r = 0.1416V$$

mentre con la seconda equazione si ottiene

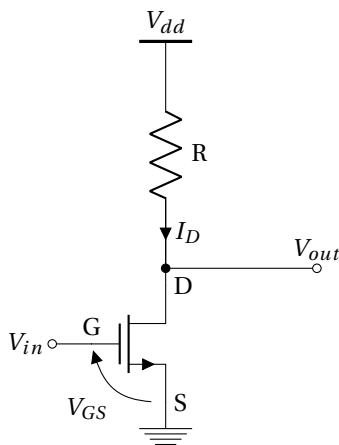
$$V_r = 0.1435V$$

3.7 Come Risolvere gli esercizi sui MOS

3.7.1 Esercizio 2.1

Dato il Circuito sottostante

1. Calcolare V_{out} nel caso $V_{in} = 0V$
2. Calcolare V_{out} nel caso $V_{in} = 3.3V$
3. Calcolare Soglia logica V_{th}
4. Potenza Statica P_{STAT}



$$V_{cc} = 3.3V$$

$$R = 1k\Omega$$

$$K_n = 5 \frac{mA}{V^2}$$

$$|V_t| = 1V$$

$$C_l = 10pF$$

3.7.2 Risoluzione Esercizio 2.1

Caso $V_{in} = 0V$

poiche' sia V_{in} che la tensione al SOURCE allora la tensione $V_{GS} = V_G - V_S = 0$ quindi l'NMOS e' spento o in saturazione. la $V_{DG} = V_{in} - V_{out} = -V_{out}$ e piche' V_{out} ha solo valori positivi allora $-V_{out} < V_t$ a prescindere dal valore, quindi non vi e' canale sul lato del drain e quindi il NMOS e' spento quindi $I_n = 0$ e poiche' il NMOS si comporta come circuito aperto anche la corrente della resistenza $I_r = I_n = 0$ e di conseguenza anche la caduta di tensione sulla resistenza e' 0 poiche' la sua eq caratteristica e' $V = RI$ quindi non essendoci caduta di tensione sulla resistenza $V_{out} = V_{cc} = 3.3V$.

Quindi:

$$V_{in} = 0V \Rightarrow V_{out} = 3.3V$$

Caso $V_{in} = V_{GS} = 3.3V$

quindi $V_{ow} = |V_{GS}| - |V_t| = 2,3V$ quindi $V_{GS} > V_t$ quindi l'NMOS e' Acceso. Ora bisogna stabilire se si trova in regime ohmmico o di saturazione e procediamo per metodo grafico:

(1) Calcoliamo la corrente I_{DS} quando $V_{DS} = V_{ow}$ e possiamo usare una qualunque tra le due equazioni poiche' in corrispondenza di V_{ow} si raccordano entrambe nello stesso punto, quindi usiamo quella in regime di saturazione poiche' piu' semplice.

$$I_n|_{ow} = K_n (V_{ow})^2 = 26mA$$

(2) Calcoliamo la corrente del carico $I_L = I_R$ che in questo caso coincide con quella della resistenza.

$$I_R|_{ow} = \frac{V_{cc} - V_{ow}}{R} = 1mA$$

(3) Ora si confrontano le due correnti:

Poiche' $I_n|_{ow} = 26mA > I_R|_{ow} = 1mA$ ci si trova in zona Ohmmica, nel caso opposto sarebbe in saturazione.

Quindi ora si calcola V_{DS} Col bilancio delle correnti $I_R = I_n$

$$\frac{V_{cc} - V_{DS}}{R} = K_n [2 (V_{GS} - V_t) V_{DS} - V_{DS}^2]$$

Che e' una equazione di secondo grado in V_{DS}

$$(K_n R) V_{DS}^2 - (2K_n R (V_{GS} - V_t) + 1) V_{DS} + V_{cc} = 0$$

La quale parabola ha come radici:

$$V_{DS1} = 4.6V$$

$$V_{DS2} = 0.14V$$

Ovviamente ci puo' essere un solo valore vero, quindi uno e' da scartare. In questo caso Poiche' $V_{DS1} > V_{cc}$ e $V_{DS1} > V_{ow}$ ci porta a scartare V_{DS1}

Quindi $V_{DS} = V_{DS2} = 0.14V$

E poiche' $V_{out} = V_{DS}$ allora $V_{out} = 0.14V$

E quindi in sinossi:

$$V_{in} = 3.3V \Rightarrow V_{out} = 0.14V$$

Calcolo della soglia logica V_{th} :

La soglia logica e' la tensione che separa la zona che consideriamo ON da quella che consideriamo OFF.

L'ideale sarebbe $V_{th} = \frac{V_{cc}}{2}$

$$V_{in} = V_{out}$$

quindi la $V_{GD} = 0V$ quindi non vi e' canale dal lato del drain quindi il MOS puo' essere o spento o in saturazione.

Procediamo per assurdo:

Supponiamo che il MOS fosse spento: Se il MOS e' spento allora $I_{DS} = 0A$ e (supponendo a regime quindi $I_c = 0A$) allora la tensione $V_r = I_{DS}R = 0V$ quindi $V_{out} = V_{in} = V_{GS} = V_{cc} = 3.3V$ Ma se $V_{GS} = 3.3V > V_t$ quindi il MOS sarebbe acceso! ASSURDO.

Quindi il MOS e' in saturazione

$$I_{DS} = K_n (V_{ow})^2$$

e quindi poiche' consideriamo a regime quindi $I_c = 0A$ da una KCL al nodo del drain abbiamo che

$$I_r = I_{DS}$$

quindi la tensione

$$V_{out} = V_{in} = V_{GS} = V_{cc} - V_r = V_{cc} - RI_r$$

$$V_{GS} = V_{cc} - RK_n (V_{GS} - V_t)^2$$

Ora si ha una eq di secondo grado da risolvere in V_{GS}

$$(RK_n)V_{GS}^2 - (2RK_n V_t + 1)V_{GS} + V_t^2 + V_{cc} = 0$$

$$V_{GS,1} = 0.7753V$$

$$V_{GS,2} = 1.2047V$$

Ovviamente la prima e' sbagliata poiche' $0.7753V < V_t$ quindi il mos sarebbe spento e quindi in contraddizione con quanto detto prima.

Quindi La soglia logica e'

$$V_{th} = V_{GS,2} = 1.2047V$$

Calcolo Delle Potenze Statiche P_{STAT} :

In questo circuito abbiamo due potenze statiche, quando la porta e' ON e quando e' OFF.

Caso ON $V_{in} = 0V$:

$$P_{STAT,On} = V_{cc}I_n = 0W$$

Poiche' non scorre corrente, il consumo di corrente e' 0 watt. Ottimo.

Caso OFF $V_{in} = 3.3V$:

$$P_{STAT,Off} = V_{cc}I_n = 3.3V * I_n$$

coi dati prima calcolati possiamo ricavare I_n

$$I_n = I_r = \frac{V_{cc} - V_{DS}}{R} = \frac{3.3V - 0.14V}{1k\Omega} = 3.16mA$$

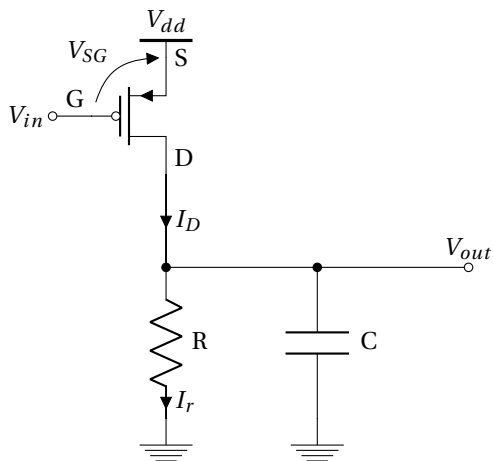
$$P_{STAT,Off} = V_{cc}I_n = 3.3V * 3.16mA = 10.4mW$$

Un consumo veramente grande per una porta cosi piccola. SI puo' fare di meglio.

3.7.3 Esercizio 2.2

Dato il Circuito sottostante

1. Calcolare V_{out} nel caso $V_{in} = 0V$
2. Calcolare V_{out} nel caso $V_{in} = 3.3V$
3. Calcolare soglia logica V_{th}
4. Potenza Statica P_{STAT}
5. Tempo di propagazione t_p



$$V_{cc} = 3.3V$$

$$R = 1k\Omega$$

$$C = 1pF$$

$$|K_p| = 2 \frac{mA}{V^2}$$

$$|V_t| = 1V$$

3.7.4 Risoluzione Esercizio 2.2

Caso $V_{in} = 3.3V$

Poiche' $V_{cc} = V_{in} = 3.3V$ allora $V_{SG} = V_{cc} - V_{in} = 0V$ e $V_{SG} < |V_t|$ quindi il PMOS e' spento! Quindi $I_p = I_{SD} = 0A$ ora con una KCL al nodo del DRAIN otteniamo che $I_p = I_r + I_c$ quindi $I_r + I_c = 0$ ora poiche' l'eq caratteristica del condensatore e' $i_c(t) = C \frac{d}{dt} V_c$ e si suppone sempre che i transistori siano finiti allora il condensatore e' scarico $V_c = 0$ e quindi la sua corrente $I_c = 0$, il che implica che $I_r + I_c = I_r = 0$ e quindi la tensione $V_r = RI_r = 0$ e di conseguenza: $V_{out} = V_c = V_r = 0V$.

$$V_{in} = 3.3V \Rightarrow V_{out} = 0V$$

Caso $V_{in} = 0V$

$V_{SG} = V_{in} - V_{cc} = -3.3V$ e $|V_{SG}| > |V_t|$ e $V_{ow} = |V_{SG}| - |V_t| = -2.3V$ quindi il PMOS e' Acceso. Ora bisogna stabilire in che zona di lavoro sia, procediamo per metodo grafico.

(1) Calcoliamo la corrente del PMOS alla tensione di overdrive V_{ow} :

$$I_{p|ow} = K_p (V_{ow})^2 = 10.58mA$$

(2) Calcoliamo la corrente di carico assumendo che $V_{DS} = V_{ow}$

Poiche' la resistenza ed il condensatore sono in parallelo $V_r = V_c$ e cosi' con una KVL si ottiene che $V_r = V_c = V_{cc} - V_{DS} = 1V$ poiche' si calcola in condizioni di regime il condensatore e' completamente carico a $V_c = 1V$ e quindi come sopra poiche' il condensatore e' carico la sua corrente $I_c = 0$.

Quindi dalla KCL al nodo del DRAIN la corrente

$$I_{DS|ow} = I_r + I_c = I_r = \frac{V_r}{R} = \frac{V_{cc} - V_{ow}}{R} = \frac{V_{cc} - V_{cc} + V_t}{R} = \frac{V_t}{R} = 1mA$$

(3) Confrontando le due correnti $I_{DS|ow} = 1mA < I_{p|ow} = 10.58mA$ quindi il PMOS si trova in zona Ohmmica.

Stabilito cio' si calcola il punto di lavoro col bilancio delle correnti: $I_r = I_{DS,Ohm}$

$$\frac{V_{cc} - |V_{SD}|}{R} = K_p [2(|V_{GS}| - |V_t|) V_{SD} - V_{SD}^2]$$

e quindi otteniamo una equazione di secondo grado in V_{SD} che risolvendola ha come soluzioni:

$V_{SD1} = 4.75V$ che scarteremo poiche' $V_{SD1} > V_{cc}$ e $V_{SD1} > |V_{GS}| - |V_t|$ quindi dovrebbe essere in saturazione quando abbiamo gia' dimostrato che e' in zona ohmmica.

e

$V_{SD2} = V_{SD} = 0.347V$ che e' la soluzione corretta.

Ora concludiamo con una KVL dalla quale si ottiene $V_{out} = V_{cc} - V_{SD} = 2.96V$

In Sinossi:

$$V_{in} = 0V \Rightarrow V_{out} = 2.96V$$

Calcolo del Tempo Di Propagazione t_p :

Il Tempo di propagazione e' il tempo che la porta ci mette per fare dal 0% al 50% della transizione.

Calcoliamo il tempo di propagazione sul fronte di discesa:

Il PMOS e' spento quindi e' un circuito aperto ed il condensatore puo' scaricarsi solo sulla resistenza quindi

$$\tau_{FE} = R * C = 1ns$$

quindi

$$t_{p,FE} = 0.69 * \tau = 0.69ns$$

Calcoliamo il tempo di propagazione sul fronte di salita: Approssimiamo il PMOS acceso ad una resistenza

$$R_{eq} = \frac{V_{cc}}{I_{SAT}} \sim 330\Omega$$

quindi a questo punto la resistenza vista dal condensatore (poiche' si deve cortocircuitare masse ed alimentazioni) e' il parallelo tra le due resistenze. E poiche' $R_{eq} \ll R$ allora il loro parallelo $R_p \sim 320\Omega$ quindi

$$\tau_{RE} = C * R_p \ll \tau_{FE}$$

$$t_{p,RE} \ll t_{p,FE}$$

quindi prendiamo

$$t_p = t_{p,FE} = 0.69ns$$

Calcolo della Potenza Statica P_{STAT} :

Nel caso il PMOS sia spento la corrente che circola nel circuito e' 0A quindi la $P_{STAT,OFF} = 0W$

Nel caso il PMOS sia acceso la potenza, calcoliamo la corrente: precedentemente avevamo calcolato $V_{out} = 2.95V$ il condensatore e' gia' carico perche' guardiamo a regime quindi non assorbe corrente quindi la corrente

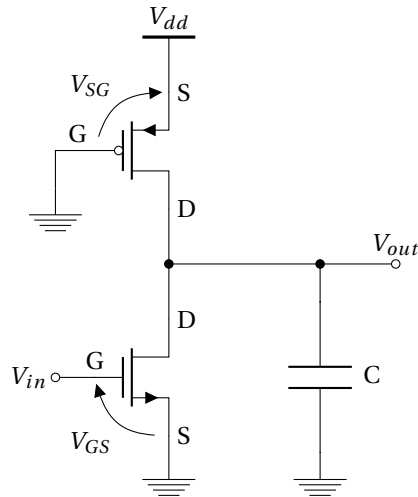
$$I_r = \frac{V_{out}}{R} = 2.95mA$$

$$P_{STAT,ON} = I_r V_{cc} = 9.74mW$$

3.7.5 Esercizio 2.3

Dato il Circuito sottostante,

1. Calcolare V_{out} quando $V_{in} = 0V$
2. Dimensionare $\frac{W}{L}$ in modo che $V_{in} = 5V \Rightarrow V_{out} = 0.5V$
3. Calcolare il tempo di propagazione t_p
4. Calcolare Potenze statiche P_{STAT} e dinamiche P_{DIN} con un clock di $T_{CLK} = 0.5\mu s$.



$$V_{cc} = 5V$$

$$C = 10pF$$

$$|K_p| = 200 \frac{\mu A}{V^2}$$

$$K'_n = 50 \frac{\mu A}{V^2}$$

$$|V_{t,n}| = |V_{t,p}| = 1V$$

$$T_{CLK} = 0.5\mu s$$

3.7.6 Risoluzione Esercizio 2.3

Caso $V_{in} = 0V$

$V_{in} = V_{GS,n} = 0V < |V_{t,n}|$ quindi il NMOS e' spento o in saturazione. Pero' per essere in saturazione $V_{GD} = V_{out} - V_{in} = V_{out} < -V_{t,n}$ e poiche' V_{out} puo' assumere solo valori positivi cio' implica che il NMOS e' spento.

$|V_{SG,p}| = 5V > |V_{t,p}|$ quindi il PMOS e' acceso.

Poiche' il condensatore non assorbe corrente poiche' presupposto a regime e l'NMOS e' spento allora la corrente che passa da entrambi i MOS $I_{mos} = 0A$

Per caratteristica dei MOS il PMOS anche se acceso ha tensione $V_{DS,p} = 0V$

Per KVL si ha che $V_{out} = 5V - V_{DS,p} = 5V$

Quindi

$$V_{in} = 0V \Rightarrow V_{out} = 5V$$

Dimensionamento di $\frac{W}{L}$ in modo che $V_{in} = 5V \Rightarrow V_{out} = 0.5V$

$$K_n = K'_n \frac{W}{L}$$

Iniziamo a studiare le fasi di funzionamento dei MOS. la tensione $|V_{GD,p}| = 5V > |V_{t,p}|$ quindi il PMOS e' acceso.

la tensione $|V_{GS,p}| = |V_{out}| = 0.5V < |V_{t,p}|$ quindi il PMOS e' in Saturazione.

La tensione $V_{GS,n} = V_{in} > V_{t,n}$ quindi il NMOS e' acceso.

La tensione $|V_{GD,n}| = |V_{in} - V_{out}| > |V_{t,n}|$ quindi l'NMOS e' in Ohmmica.

La corrente dei due mos e' uguale poiche' sono in serie e il condensatore e' gia' a regime. Quindi dal bilancio delle correnti posso ricavare il parametro ricercato.

$$\begin{aligned} I_{SAT,p} &= I_{OHM,n} \\ K_p (V_{SG} - |V_{t,p}|)^2 &= K'_n \frac{W}{L} [2(V_{GS} - V_{t,n}) V_{DS} - V_{DS}^2] \\ \frac{W}{L} &= 17 \end{aligned}$$

Calcolo del tempo di propagazione t_p

Calcoliamo solo il tempo di propagazione del fronte di discesa del input poiche' con quello di salita il condensatore si scarica a massa attraverso l'NMOS ed ha sicuramente un tempo inferiore a quello di salita.

Usiamo l'approssimazione a corrente costante.

$$I_p = K_p (|V_{GS}| - |V_{t,p}|)^2 = 3.2mA$$

$$I_p = C \frac{V_f - V_i}{t_p} = C \frac{2.25V}{t_p}$$

ora basta unire le due equazioni

$$K_p (|V_{GS}| - |V_{t,p}|)^2 = 3.2mA = C \frac{2.25V}{t_p}$$

$$t_p = C \frac{2.25V}{3.2mA} = 7.03ns$$

VALORE DA CONTROLLARE NON SON SICURO SIA GIUSTO

Calcolo delle Potenze Statiche P_{STAT}

(a) $V_{in} = 0V$ per i motivi sopra scritti Il' NMOS e' spento quindi la corrente del generatore e' $I = 0$ quindi la potenza statica off

$$P_{STAT,Off} = 0W$$

(b) $V_{in} = 5V$ abbiám già' calcolato che la corrente nei MOS e' $I = 3.2mA$ quindi

$$P_{STAT,On} = IV_{cc} = 16mW$$

Calcolo delle Potenze Dinamiche P_{DIN} con un clock $T_{CLK} = 1\mu s$

$$I = \frac{\Delta Q}{T_{CLK}} = C \frac{V_f - V_i}{T_{CLK}}$$

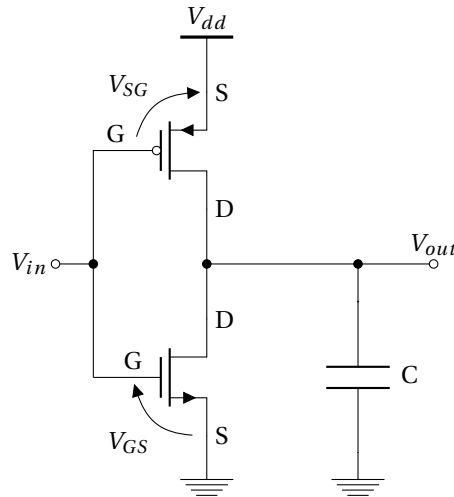
$$P_{DIN} = V_{cc}I = V_{cc}C \frac{V_f - V_i}{T_{CLK}}$$

$$P_{DIN} = V_{cc}C \Delta V f_{CLK} = 225\mu W$$

3.7.7 Esercizio 3.1

Dato il Circuito sottostante,

1. Trovare la tabella di verita' della porta (aka Calcolare V_{out} quando $V_{in} = 0V$ e quando $V_{in} = V_{cc}$)
2. Calcolare la soglia logica V_{th}
3. Calcolare il tempo di propagazione t_p sul fronte di salita del ingresso
4. Calcolare le Potenze statiche P_{STAT} e dinamiche P_{DIN} con un clock TTL¹ ideal di $T_{CLK} = 0.5\mu s$.



$$V_{cc} = 5V$$

$$C = 100fF$$

$$K_n = |K_p| = 500 \frac{\mu A}{V^2}$$

$$|V_{t,n}| = |V_{t,p}| = 1V$$

$$T_{CLK} = 0.5\mu s$$

¹Tensioni secondo lo standard Transistor Transistor Logic, LOW = 0V , HIGH = 5V

3.7.8 Risoluzione Esercizio 3.1

Caso $V_{in} = 0V$

$V_{GS,n} = 0V < V_{t,n}$ quindi non vi e' canale dal lato del source del NMOS.

$V_{DG,n} = -V_{out}$ e poiche' V_{out} puo' assumere solo valori positivi allora $V_{DG,n} = -V_{out} < V_{t,n}$ quindi non vi e' canale neanche dal lato del drain.

Quindi non essendoci canale da nessuno dei due lati allora il NMOS e' spento e quindi la corrente che circola nei due MOS in serie $I = 0A$.

$V_{GS,p} = V_{dd} > V_{t,p}$ quindi vi e' canale dal lato del source del PMOS.

Quindi il PMOS puo' essere o in zona ohmmica o in saturazione.

Ora se il condensatore e' scarico allora il PMOS e' in saturazione poiche' $V_{GD,p} = V_{out} = 0V < V_{t,p}$ quindi non vi e' canale.

quindi il condensatore si carica con la corrente $I_{SAT,p}$ fino a raggiungere $V_{t,p}$ al quale punto il MOS diventa in zona ohmmica e continua a caricarsi fino a V_{dd} dove il mos e' acceso in zona ohmmica pero' la sua $V_{SD} = 0V$ quindi ha corrente $I = 0$.

In conclusione dopo i transitori il condensatore , quindi V_{out} si carica a V_{dd}

$$V_{in} = 0V \Rightarrow V_{out} = 5V$$

Caso $V_{in} = 5V$

$V_{GS,p} = V_{dd} - V_{in} = 0V < V_{t,p}$ quindi non vi e' canale al source.

$V_{DG,p} = V_{out} - V_{in}$ e poiche' $V_{in} = V_{dd}$ e la V_{out} e' la tensione sul condensatore ,il quale puo' caricarsi al massimo a V_{dd} allora $V_{out} - V_{in} \leq 0 < V_{t,p}$

Quindi non vi puo' essere canale al lato del drain quindi il PMOS e' sicuramente spento il che implica che la corrente che circola nei MOS in serie e' $I = 0$.

$V_{GS,n} = V_{in} > V_{t,n}$ quindi vi e' canale dal lato del source del NMOS.

Quindi il NMOS puo' essere in zona ohmmica o in saturazione.

$V_{DG,n} = V_{in} - V_{out}$ ora supponiamo che il condensatore sia carico a V_{dd} in questo caso le $V_{DG,n} = 0V < V_{t,n}$ quindi non vi e' canale e quindi il NMOS e' in saturazione.

Il condensatore si scarica a massa attraverso l'NMOS finche' non arriva alla tensione $V_{out} = V_{dd} - V_{t,n}$ alla quale l'NMOS passa in zona Ohmmica e il condensatore si scarica piu' lentamente fino ad arrivare $V_{out} = 0V$.

Quindi finiti i transitori $V_{out} = 0V$

$$V_{in} = 5V \Rightarrow V_{out} = 0V$$

Riassumendo:

V_{in}	V_{out}
1	0
0	1

quindi e' una porta NOT!

Calcolo della soglia logica V_{th}

La soglia logica e' la tensione V_{in} per la quale $V_{in} = V_{out}$.

Quindi sicuramente $|V_{DG,n}| = |V_{DG,p}| = |V_{in} - V_{out}| = 0V$ quindi entrambi i MOS non hanno canale dal lato del drain quindi sono o spenti o in saturazione.

Ora procediamo per assurdo.

Supponiamo $V_{in} = 1V$

Allora $V_{GS,p} = V_{dd} - V_{in} = 4V > V_{t,p}$ quindi vi e' canale al source e quindi il PMOS e' in saturazione.

E $V_{GS,n} = V_{in} = 1V = V_{t,n}$ quindi vi e' canale al source e quindi l'NMOS e' in saturazione.

E poiche' non sembra ci siano contraddizioni prendiamo per vero che entrambi i MOS siano in saturazione.

Ora supponendo che il condensatore sia completamente carico esso non assorbe corrente quindi la corrente dei due MOS e' uguale poiche' in serie.

$$I_{SAT,n} = I_{SAT,p}$$

$$K_n (V_{in} - V_{t,n})^2 = K_p (V_{dd} - V_{in} - |V_{t,p}|)^2$$

e da questo bilancio delle correnti si ricava che la tensione

$$V_{in} = V_{th} = 2.5V$$

Calcolo del tempo di propagazione t_p

Scelgo di approssimare con l'approssimazione a corrente costante.

$$I_{SAT,n} = K_n (V_{GS,n} - V_{t,n})^2 = 16K_n = 8mA$$

Calcoliamo il differenziale di carica del condensatore d'uscita.

$$\Delta Q = C (V_f - V_i) = 2.5C = 2.5fC$$

ora applichiamo la definizione di corrente

$$I = \frac{Q}{t} = \frac{\Delta Q}{t_p}$$

$$t_p = \frac{\Delta Q}{I} = 31.25ps$$

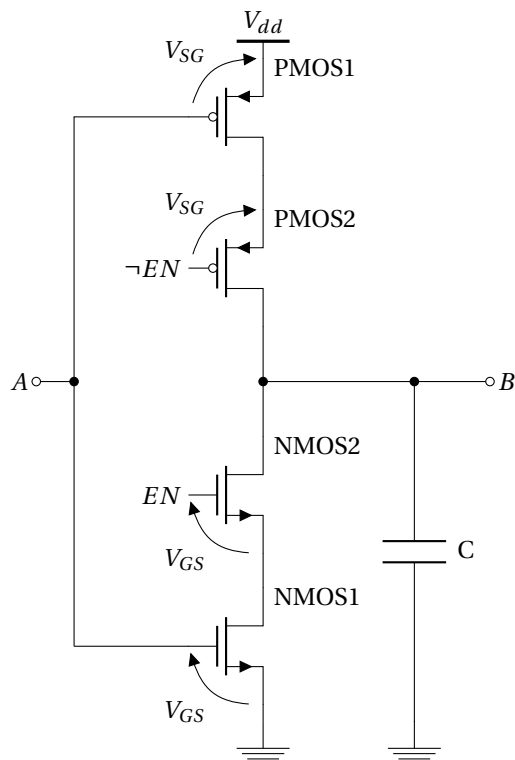
Calcolo della potenza dinamica P_{DIN}

$$P_{DIN} = V_{dd} I = V_{dd} \frac{\Delta Q}{T_{CLK}} = V_{dd} \frac{V_{dd} C}{T_{CLK}} = C \frac{V_{dd}^2}{T_{CLK}} = 5\mu W$$

3.7.9 Esercizio 3.2

Dato il Circuito sottostante,

1. Trovare la tabella di verita' della porta
2. Calcolare il tempo di propagazione t_p con $EN = 1$ e A che commuta tra $1 \rightarrow 0$
3. Calcolare la Potenza dinamiche P_{DIN} con un clock di $f_a = 400kHz$.



$$K_n = K_p = 380 \frac{\mu A}{V^2}$$

$$V_{t,n} = |V_{t,p}| = 1V$$

$$V_{dd} = 5V$$

$$C = 4pF$$

3.7.10 Risoluzione Esercizio 3.2

Calcolo della tabella di verita'

Dobbiamo riempire:

EN	A	B
0	0	?
0	1	?
1	0	?
1	1	?

Casi con $EN = 1$

Poiche' $EN = 1$ allora sicuramente NMOS2 e PMOS2 saranno accesi, quindi li approssimo a cortocircuito per semplificare i conti e riconosco che il circuito e' l'inverter di esercizio 3.2.

Caso $A = 0$

$A = 0V$ implica che la $V_{GS,N1} = 0V$ quindi NMOS1 e' spento quindi la $I_{NMOS} = 0A$

$A = 0V$ implica che la $V_{GS,P1} = V_{dd}$ quindi il PMOS1 e' acceso. E a prescindere dal comportamento degli altri due MOS, una volta che il condensatore e' carico la corrente $I_{PMOS} = 0A$ quindi la $V_{DS,P1} = 0V$

EN	A	B
0	0	?
0	1	?
1	0	?
1	1	0

Caso $A = 1$

Il caso e' duale a quello sopra quindi PMOS1 e' spento, NMOS2 ed NMOS1 sono accesi, quindi $V_{out} = 0V$

EN	A	B
0	0	?
0	1	0
1	0	?
1	1	1

Altri Casi

In entrambi i $EN = 0$ quindi PMOS2 e NMOS2 saranno spenti di sicuro. Quindi la corrente sia per NMOS2 e PMOS2 e' zero. Quindi il condensatore non puo' ne caricarsi ne scaricarsi. Questo stato e' chiamato di alta impedenza nel quale l'uscita rimane quella che era.

Risultato

EN	A	B
0	0	Hiz
0	1	0
1	0	Hiz
1	1	1

Calcolo del tempo di propagazione t_p

Il tempo di propagazione e' quello di carica del condensatore.

Scelgo di approssimare a corrente costante e poiche' i PMOS hanno $V_{GS,P1} = V_{GS,P2}$ e K_p uguali allora li approssimo come un unico MOS che ha $K_{p,eq} = \frac{K_p}{2}$.

$$I_{SAT,p} = \frac{K_p}{2} (V_{GS,p} - |V_t|)^2 = 3mA$$

$$\Delta Q = C \frac{V_{dd}}{2}$$

$$I = \frac{Q}{t} = \frac{\Delta Q}{t_p} = C \frac{V_{dd}}{2t_p}$$
$$t_p = C \frac{V_{dd}}{2I_{SAT,P}} = 3.3ns$$

Calcolo della potenza dinamica P_{DIN}

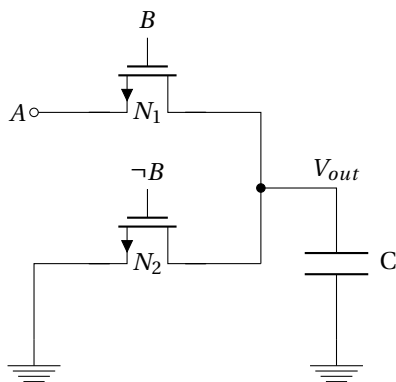
Calcoliamo solo la potenza usata per caricare il condensatore perche' per la scarica lo fa attraverso il mos e quindi l'alimentazione non eroga corrente.

$$P_{DIN} = V_{dd}I = V_{dd}\Delta Q f_{CLK} = CV_{dd}^2 f_{CLK} = 40\mu W$$

3.7.11 Esercizio 3.3

Dato il Circuito sottostante, A e B sono segnali digitali con livelli 0V e 3.3V

1. Determinare la tabella di verita' del circuito specificando il valore di tensione V_{out}
2. Quale funzione logica svolge il circuito?
3. Calcolare il tempo di propagazione della porta logica quando gli ingressi commutano istantaneamente da $A, B = 1, 1 \rightarrow A, B = 1, 0$
4. Calcolare la potenza dissipata dal circuito quando $A = 1$ e B e' un' onda quadra a frequenza 2MHz e $D = 30\%$



$$K_n = 200 \frac{\mu A}{V^2}$$

$$V_{t,n} = |V_{t,p}| = 1V$$

$$V_{DD} = 3.3V$$

$$C = 0.2pF$$

3.7.12 Risoluzione Esercizio 3.3

Calcolo della tabella di verita'

A	B	V_{out}
0	0	?
0	1	?
1	0	?
1	1	?

Analizziamo i casi con $B = 0$:

N_2 e' acceso poiche' ha la $V_{GS,1} = 3.3V > V_{t,n}$

e N_1 e' spento poiche' ha la $V_{GS,2} = B - A = -A$ che poiche' A puo' assumere solo valori positivi allora sicuramente $V_{GS,2} < V_{t,n}$

Quindi se il condensatore e' carico, esso si scarica attraverso N_2 a massa e una volta scarico N_2 e' in zona ohmmica con $I = 0 \Rightarrow V = 0$
Quindi a prescindere dallo stato del condensatore in entrambi i casi converge a $V_{out} = 0V$

$$B = 0 \Rightarrow V_{out} = 0$$

A	B	V_{out}
0	0	0V
0	1	?
1	0	0V
1	1	?

Caso $A, B = 0, 1$:

In Questo caso N_2 e' spento per i discorsi fatti prima. mentre N_1 ha tensione da un lato $B - V_{out} = 3.3V - V_{out}$ e dal altro $B - A = 3.3V$ quindi N_1 e' acceso e a seconda del valore di V_{out} e' in zona ohmmica o in saturazione.

Quindi il condensatore se carico si scarica attraverso N_1 a Massa attraverso A.

Quindi finiti i transistori $V_{out} = 0V$

$$A, B = 0, 1 \Rightarrow V_{out} = 0V$$

A	B	V_{out}
0	0	0V
0	1	0V
1	0	0V
1	1	?

Caso $A, B = 1, 1$:

N_2 spento per quanto detto sopra.

N_1 dal lato di A ha tensione rispetto al gate di 0V quindi non vi e' canale dal lato di A.

Dal altro lato la sua tensione e' $B - V_{out} = 3.3V - V_{out}$ quindi finche' $V_{out} \leq B - V_t = 2.3V$ Il mos e' in saturazione nel altro caso e' spento.

Quindi se il condensatore e' scarico esso si carichera' finche' $V_{out} \leq 2.3V$.

$$A, B = 1, 1 \Rightarrow V_{out} = 2.3V$$

A	B	V_{out}
0	0	0V
0	1	0V
1	0	0V
1	1	2.3V

Quindi questa porta e' un AND.

Calcolo del tempo di propagazione t_p

Approssimazione a corrente costante.

$$I_{SAT} = K_n (V_{GS} - V_t)^2 = 1 \text{ mA}$$

$$\Delta Q = C (V_f - V_i) = C \left(2.3 \text{ V} - \frac{2.3 \text{ V}}{2} \right) = C \frac{2.3 \text{ V}}{2} = 0.23 \text{ pC}$$

$$I = \frac{\Delta Q}{T}$$

$$t_p = \frac{\Delta Q}{I_{SAT}} = 0.23 \text{ ns}$$

Calcolo della potenza dinamica

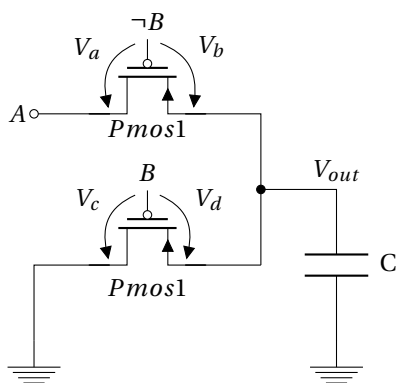
Calcolo solo la potenza erogata per caricare il condensatore poiche' la scarica del condensatore e' a massa e quindi l'alimentazione non deve erogare nessuna potenza.

$$P_{DIN} = V_{dd} I = V_{dd} f_{CLK} \Delta Q = V_{dd} f_{CLK} C 2.3 \text{ V} = 3 \mu \text{ W}$$

3.7.13 Esercizio 3.4

Agli ingressi A e B vengono applicati segnali digitali con livello $0V$ e $3.3V$. Dato il Circuito sottostante:

1. Determinare la tabella di verità del circuito specificando il valore di tensione V_{out}
2. Calcolare il tempo di propagazione della porta logica quando gli ingressi commutano istantaneamente da $A, B = 0, 1 \rightarrow A, B = 1, 1$
3. Calcolare la potenza dissipata dal circuito quando $A = 1$ e B è un'onda quadra avente periodo $T = 2\mu s$ e Duty-Cycle $D = 50\%$
4. Disegnare lo schema circuitale di una porta logica CMOS che realizzi la medesima funzione logica utilizzando solo i segnali $A, B, \neg B$. A che valore di tensione corrisponde il valore logico basso dell'uscita?



$$|K_p| = 200 \frac{\mu A}{V^2}$$

$$|V_t| = 1V$$

$$V_{dd} = 3.3V$$

$$C = 0.2pF$$

3.7.14 Risoluzione Esercizio 3.4

Determinazione della tabella di verità del circuito

Riassumendo:

A	B	V_{out}
0	0	?
0	1	?
1	0	?
1	1	?

Dal circuito ricaviamo che:

$$V_a = A - \neg B$$

$$V_b = V_{out} - \neg B$$

$$V_c = -B$$

$$V_d = V_{out} - B$$

Analizziamo i casi con $B = 0$:

$$V_a = A - 3.3V$$

$$V_b = V_{out} - 3.3V$$

$$V_c = 0V$$

$$V_d = V_{out}$$

Sicuramente Pmos1 è spento poiché $V_a \leq 0V$ e $V_b \leq 0V$ quindi nessuna delle due possono essere maggiori di una soglia V_t e quindi non vi è canale da entrambi i lati quindi è spento.

$V_c \leq 0V$ quindi Pmos2 è o spento o in saturazione a seconda del fatto che $V_{out} > V_t$ quindi se il condensatore è carico con tensione superiore a V_t il Pmos2 sarà in saturazione ed il condensatore si scarica attraverso di esso a massa.

Quindi il condensatore si scarica fino ad $V_t = V_{out} = 1V$

A	B	V_{out}
0	0	1V
0	1	?
1	0	1V
1	1	?

Consideriamo i casi $B = 1$:

$$V_a = A$$

$$V_b = V_{out}$$

$$V_c = -3.3V$$

$$V_d = V_{out} - 3.3V$$

Quindi Pmos2 è sicuramente spento poiché $V_c < V_t$ e $V_d \leq 0V < V_t$.

Ora procediamo per casi:

Se $A = 0$

$$V_a = 0V$$

$$V_b = V_{out}$$

Quindi $V_a < V_t$ e quindi Pmos1 sarà spento o in saturazione a seconda se $V_{out} > V_t$ quindi se il condensatore fosse carico allora Pmos1 sarebbe in saturazione ed il condensatore si scarica su A verso massa fino a che $V_{out} = V_t$ al qual punto si spegne.

A	B	V_{out}
0	0	1V
0	1	1V
1	0	1V
1	1	?

Se $A = 1$

$$V_a = 3.3V$$

$$V_b = V_{out}$$

Quindi poiche' $V_a > V_t$ Pmos1 e' in zona ohmmica o in saturazione. In entrambi i casi il condensatore si carica fino a $V_{out} = A = 3.3V$

A	B	V_{out}
0	0	1V
0	1	1V
1	0	1V
1	1	3.3V

Calcolo del tempo di propagazione t_p

$$A, B = 1, 1 \longrightarrow A, B = 1, 0$$

$$V_{out} = 3.3V \longrightarrow V_{out} = 1V$$

quindi si deve calcolare il tempo che la porta ci mette a compiere meta' della escursione.

Quindi si calcola il tempo che la porta ci mette a fare:

$$V_{out} = 3.3V \longrightarrow V_{out} = \frac{3.3V + 1V}{4} V = 1.15V$$

$$I_{SAT} = K_p(2.3V)^2 = 1mA$$

$$t_p = \frac{\Delta Q}{I_{SAT}} = C \frac{1.15V}{1mA} = 0.23ns$$

3.8 MOS equivalenti

3.8.1 MOS in serie

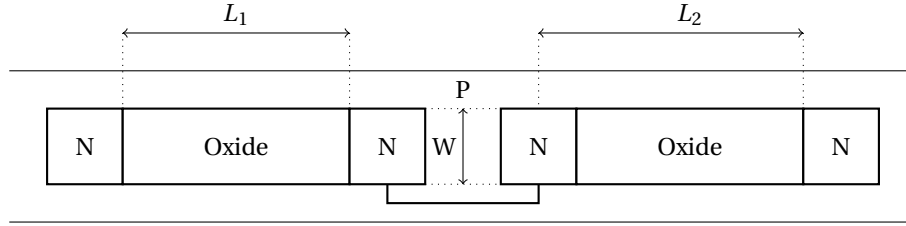


Figura 3.12: Vista in sezione e dal alto di due NMOS in serie

Due Mos in serie possono essere visti come un unico MOS con $L = L_1 + L_2$

E Poiche'

$$K_n = \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L} \right)$$

allora

$$K_{n,eq} = \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L_1 + L_2} \right)$$

Quindi generalizzando avendo n mos in serie

$$K_{n,eq} = \left(\sum_{i=0}^n \frac{1}{K_i} \right)^{-1}$$

Quindi la SERIE tra MOS sostanzialmente e' uguale al PARALLELO tra resistenze.

3.8.2 MOS in parallelo

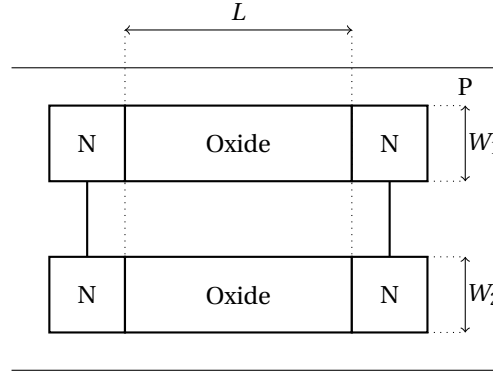


Figura 3.13: Vista in sezione e dal alto di due NMOS in parallelo

Due Mos in serie possono essere visti come un unico MOS con $W = W_1 + W_2$

E Poiche'

$$K_n = \frac{1}{2} \mu_n C'_{ox} \left(\frac{W}{L} \right)$$

allora

$$K_{n,eq} = \frac{1}{2} \mu_n C'_{ox} \left(\frac{W_1 + W_2}{L} \right)$$

Quindi generalizzando avendo n mos in serie

$$K_{n,eq} = \sum_{i=0}^n K_i$$

Quindi il PARALLELO tra MOS sostanzialmente e' uguale alla SERIE tra resistenze.

3.9 Porte Logiche

Un importante utilizzo dei MOS e' per costruire porte logiche le quali sono usate in qualsiasi calcolatore e/o circuito digitale.

Vi sono vari modi per implementarle, ognuno con i suoi PRO e i suoi CONTRO, anche se lo standard al giorno d'oggi e' la logica CMOS.

L'idea e' di usare i MOS come interruttori per implementare la funzione logica $f(x_1, x_2, \dots, x_n)$.

E ovviamente poiche' uso i MOS come interruttori posso combinarli per creare reti che fanno combinazioni di AND ed OR degli ingressi.

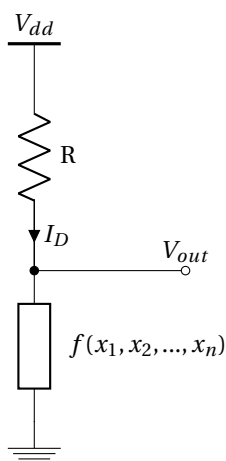
I NOT li realizzo con porte a parte e/o con il tipo di Logica con cui sono Implementati

Per gli scopi logici possiamo approssimare il comportamento dei MOS alle seguenti tabelle di verita':

NMOS	
V_G	Conduce?
"1"	Si
"0"	No

PMOS	
V_G	Conduce?
"1"	No
"0"	Si

3.9.1 Logica PullDown



Poiche' la rete e' tra massa e V_{out} queste reti sono tipicamente implementate ad NMOS.

Quindi poiche' quando gli NMOS son spenti $V_{out} = "1"$ e quando sono accesi $V_{out} = "0"$ l'uscita e' negata rispetto alla funzione implementata.

Quindi $V_{out} = \neg f(x_1, x_2, \dots, x_n)$

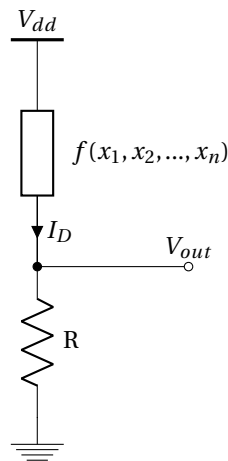
Poi vi e' il problema del fatto che se $V_{out} = "0"$ vuol dire che i NMOS conducono quindi nel ramo vi sara' una corrente I_D e quindi la tensione ai capi dei NMOS non sara' esattamente 0 ma $V_{dd} - RI_D$ che se la porta e' ben dimensionata puo' esser resa molto piccola.

Pero' rimane il fatto che se vi e' una corrente nel ramo allora vi e' consumo di potenza $P_{STAT} = V_{dd}I_D \neq 0W$ quindi la porta dissipa potenza per rimanere in questo stato.

PRO	CONTRO
Facile da costruire	"0" non effettivamente 0V
Pochi componenti	Potenza Statica $\neq 0W$

3.9.2 Logica PullUp

La logica PullUp e' duale alla PullDown quindi sono simili in molti aspetti.



Poiche' tipicamente le reti di PullUp sono implementate coi PMOS il che le rende meno usate poiche' e' piu' difficile creare i PMOS che gli NMOS su un unico substrato.

I PMOS hanno tabella di verita' approssivamente:

V_G	Conduce?
"1"	No
"0"	Si

quindi piu' realisticamente invece di $f(x_1, x_2, \dots, x_n)$ avro' una funzione del tipo $f(\neg x_1, \neg x_2, \dots, \neg x_n)$

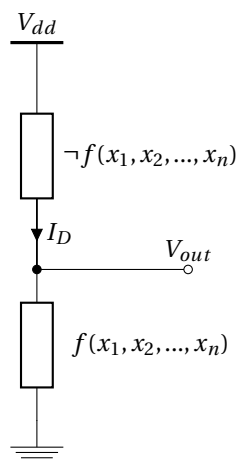
quindi in questo caso vi e' corrente nel ramo quando $V_{out} = "1" = V_{dd}$ e quindi V_{out} non e' esattamente V_{dd} ma $V_{out} = RI_D$ che quindi non e' ideale e come precedentmente poiche' vi e' corrente vi e' dissipazione di energia per mantenere lo stato.

PRO	CONTRO
Facile da costruire	"1" non effettivamente V_{dd}
Pochi componenti	Potenza Statica $\neq 0W$
Utilizza PMOS	

3.9.3 Logica CMOS

La logica CMOS e' sostanzialmente l'unione della PullDown e della PullUp.

L'idea e' di avere Due reti cooperanti l'una il negato del altra.



Si osserva che applicando il Teorema di De Morgan si puo' ottenere $\neg f_1(x_1, x_2, \dots, x_n) \rightarrow f_2(\neg x_1, \neg x_2, \dots, \neg x_n)$ a patto che si scambino $\wedge \longleftrightarrow \vee$ quindi Gli OR diventano AND e gli AND diventano OR.

Una buona caratteristica e' che poiche' ho due reti negate che cooperano sia con $V_{out} = "1"$ che con $V_{out} = "0"$ almeno una delle reti e' a "0" quindi non conduce, il che implica che, salvo i transistori di commutazione, non vi sia passaggio di corrente.

Quindi non vi e' dissipazione di potenza e la rete che poiche' la corrente e' 0 i MOS anche se accesi avranno tensione $V_{SD} = 0V$ quindi i valori di V_{out} sono esattamente V_{dd} e $0V$

Quindi sostanzialmente si puo' implementare una rete di NMOS per la parte di PullDown e reinplementarla coi PMOS per la parte di PullUp semplicemente cambiando le serie con i paralleli e viceversa.

PRO	CONTRO
"0" ed "1" perfetti	piu' difficili da costruire
Potenza Statica = 0W	utilizzano PMOS
	Piu' componenti delle altre soluzioni

3.9.4 Esercizio 4.1

Dato il Circuito sottostante,

3.9.5 Risoluzione Esercizio 4.1

4

Elementi di Memorie

4.1 Elementi di memoria

4.1.1 Classificazione

Gli elementi di memoria sono utilizzati per salvare informazioni. Le memorie possono essere classificate secondo diversi criteri.

1. Accesso:

- *Casuale*: Sono memorie in cui i bit sono immagazzinati in una matrice, e l'accesso ai dati non è sequenziale. Ne sono un esempio le RAM.
- *Sequenziale*: sono memorie in cui i bit sono immagazzinati in modo sequenziale. Ne sono un esempio le memorie di massa (CD, HD-Disk)

2. Volatilità:

- *Memorie volatili*: sono memorie che perdono i dati memorizzati allo spegnimento del dispositivo.
- *Memorie non volatili*: sono memorie che mantengono i dati memorizzati anche quando il dispositivo viene spento.

A loro volta le memorie non volatili possono essere: - *One Time Programmable*: sono memorie che vengono scritte una sola volta e da quel momento non possono essere modificate. - *Riprogrammabili*: sono memorie che possono essere modificate anche dopo la prima scrittura.

4.1.2 RAM

Le memorie RAM possono essere statiche (SRAM) oppure dinamiche (DRAM). Le SRAM si basano sulla retroazione, mentre le DRAM utilizzano una capacità.

Latch

Le memorie RAM sono basate su due diversi tipi di elementi di memoria: i **latch** e i **flip-flop**. Sono entrambi elementi di tipo sequenziale, cioè aggiornano la loro uscita solo in determinati intervalli scanditi dal clock. La differenza è nella scansione degli intervalli. A seguito di un cambiamento nell'ingresso, i latch aggiornano l'uscita se il clock è "alto" (cioè il segnale di clock vale "1"). I flip-flop, invece, aggiornano l'uscita solo durante i fronti di commutazione del clock. Un flip-flop viene realizzato ponendo in cascata due latch.

Abbiamo detto che le RAM utilizzano flip-flop e latch. Dopo averne visto il funzionamento, possiamo ora affermare che, nel dettaglio, le SRAM sono basate sui flip-flop, mentre le DRAM sfruttano i latch.

Operazioni di lettura e scrittura

Abbiamo detto che le SRAM utilizzano la retroazione (in particolare, nella realizzazione fisica, questo si traduce nell'impiego di due inverter); questo logicamente corrisponde all'uso dei flip-flop. Per questo, i cicli di lettura e scrittura avvengono nel seguente modo: viene letto un dato (dalla memoria oppure in ingresso). Se esso non viene modificato prima che il segnale di clock giunga a un fronte di commutazione (salita o discesa), allora il dato viene ritenuto valido. Se si tratta di un'operazione di scrittura allora il dato viene scritto in memoria, se si tratta di un'operazione di lettura viene fornito in output.

Le DRAM, invece, utilizzano una condensatore per immagazzinare i risultati; questo logicamente corrisponde all'uso di un latch. Il ciclo di scrittura avviene nel modo seguente: si seleziona la word-line desiderata e si trasmette il bit da memorizzare nella bit-line che ci interessa. Il bit è immagazzinato nel condensatore. Questo, però, rende l'informazione immagazzinata "a rischio" di cancellazione: nel circuito infatti nascono correnti di perdita che portano il condensatore a scaricarsi. Per questo motivo, le DRAM hanno bisogno di fare un **refresh periodico**, cioè di ri-scrivere periodicamente, ricaricando il condensatore, gli "1" memorizzati su di esso, per evitare che vadano persi. Anche l'operazione di lettura nelle DRAM risulta molto delicata. La bit-line, infatti, si comporta a sua volta come se fosse una capacità: questo compromette la lettura del dato immagazzinato sul condensatore, perché riduce di molto la tensione effettiva ai capi del condensatore. Per questo, la tensione che rappresenta "1" è molto piccola, e potrebbe talvolta essere confusa con una tensione nulla che rappresenta invece lo "0" logico. Inoltre, la lettura è distruttiva: l'operazione di lettura porta a scaricare parte della carica immagazzinata sul condensatore, rendendo l'informazione memorizzata illeggibile.

Decoder

Un elemento importante necessario per costruire una RAM è il **decoder**. Il decoder è un dispositivo che funziona da multiplexer: da n ingressi è in grado di fornire 2^n uscite. Essendo, come abbiamo accennato, la RAM una memoria a struttura matriciale, saranno necessari due decoder: uno per le colonne e uno per le righe. Quindi, se abbiamo a disposizione n bit per ogni parola di memoria, avremo 2^{2n} celle di memoria.

5

Diodi

5.1 Introduzione ai diodi

Il diodo è un componente elettronico composto da una giunzione PN. Il lato P è chiamato "anodo", mentre il lato N è chiamato "catodo". La presenza delle zone N e P fa sì che gli elettroni liberi e le lacune si muovano, svuotando così la parte centrale del diodo. A seconda del segno tensione applicata ai capi del diodo, cambia l'estensione della zona centrale svuotata:

- Se la tensione è positiva: il diodo lavora in regime di **polarizzazione diretta** e la zona svuotata si restringe.
- Se la tensione è negativa: il diodo lavora in regime di **polarizzazione inversa** e la zona svuotata si allarga.

In un diodo ideale, in regime di polarizzazione diretta nel diodo scorre corrente, mentre in regime di polarizzazione inversa non scorre corrente: in questo caso il diodo (ideale) si comporta infatti come un circuito aperto.

Consideriamo invece un diodo reale. Le cariche all'interno del diodo si muovono di moto casuale dovuto all'agitazione termica. Questo moto causa una corrente di diffusione non nulla, che può essere calcolata attraverso la **Legge di Fick**:

$$I_{diff} = A \left[(-q)D_p \frac{\partial p(x)}{\partial x} - (-q)D_n \frac{\partial n(x)}{\partial x} \right]$$

Dove D_p e D_n sono detti "coefficienti di diffusione".

Per calcolare la corrente in regime di polarizzazione **diretta** si usa la seguente formula:

$$I_D = I_0 \left[e^{\frac{V_D}{V_{Th}}} - 1 \right]$$

Dove I_0 è detta "corrente inversa di saturazione" e V_{Th} è detta "Tensione Termica". La tensione termica viene calcolata come segue:

$$V_{Th} = \frac{KT}{q}$$

essendo K la costante di Boltzmann. A temperatura ambiente (circa 300 K) essa vale circa 26 mV.

Possiamo descrivere un diodo attraverso tre modelli, con diversi gradi di precisione.

Modello 0:

- Inversa: $I=0 \Rightarrow$ Il diodo può essere approssimato a un circuito aperto.
- Diretta: $I \rightarrow \infty \Rightarrow$ Il diodo può essere approssimato a un circuito chiuso.

Modello 1:

- Inversa: $I=0 \Rightarrow$ Il diodo può essere approssimato a un circuito aperto come nel modello precedente.
- Diretta: Il diodo può essere approssimato a un circuito chiuso a cui sia stato aggiunto un generatore che imponga una tensione di 0.7 V.

Modello 2:

- Inversa: $I=0 \Rightarrow$ Il diodo può essere approssimato a un circuito aperto come nei modelli precedenti.
- Diretta: Oltre a collegare in serie al circuito chiuso un generatore di tensione da 0.7 V, aggiungiamo anche una resistenza R_D tale che

$$R_D = \frac{V_{Th}}{I_D}$$

In un diodo reale può verificarsi l'**Effetto di Run-Out**: questo fenomeno consiste nel fatto che, a mano a mano che il circuito si scalda, il diodo porta una quantità maggiore di corrente per Effetto Joule, scaldandosi così maggiormente e dissipando maggiore potenza. Per evitare questo può essere collegata in serie al diodo una resistenza "limite", che limiti, appunto, la corrente passante per il diodo.

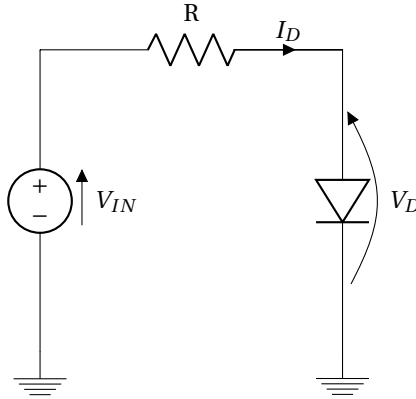
Diodi Zener Quando il diodo lavora in regime di polarizzazione inversa (quindi con valori negativi di tensione), esiste una soglia di tensione, detta tensione di Break-Down, oltre la quale nel diodo ricomincia a scorrere corrente. Lavorando a tensione di Break-Down (V_{BD}) nel diodo passerà corrente a tensione costante. Questo può essere utile in alcune circostanze, e per questo esiste un tipo di diodi, detti diodi **Zener**, che lavorano sempre a V_{BD} .

5.2 Metodi di risoluzione per circuiti con diodi

Per risolvere un circuito contenente un diodo come il seguente, esistono tre differenti metodi.

1. Metodo analitico
2. Metodo grafico
3. Approssimazione

Prendiamo in esame il seguente circuito:



1. Metodo analitico:

Si imposta il sistema:

$$I_D = I_0 \left[e^{\frac{V_D}{V_{Th}}} - 1 \right]$$

$$V_D = V_{IN} - R I_D$$

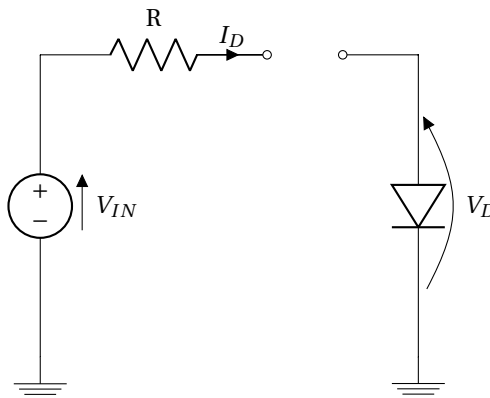
Da esso ricaviamo:

$$V_D = V_{IN} - R I_0 \left[e^{\frac{V_D}{V_{Th}}} - 1 \right]$$

Questa equazione può essere risolta iterativamente, "provando" diversi valori fino ad arrivare a una convergenza, oppure con un simulatore (ad esempio Spice). Si tratta però di un metodo poco efficiente.

2. Metodo grafico:

Si "divide" il circuito:



Si disegnano su un grafico le caratteristiche delle due "porzioni di circuito": quella del resistore (in verde) e quella del diodo (in blu)

La retta di carico del resistore è:

$$V_D = V_{IN} - R I_D$$

La disegniamo sul grafico ricavando i due punti di intersezione con gli assi (cioè ponendo prima I_D nulla e ricavando così l'intersezione con l'asse delle ascisse, poi V_D nulla per ottenere l'intersezione con l'asse delle ordinate.)

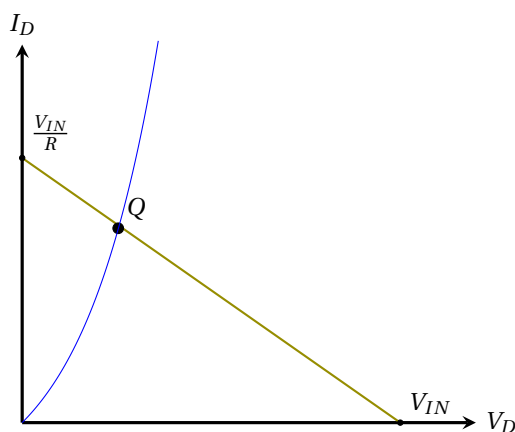


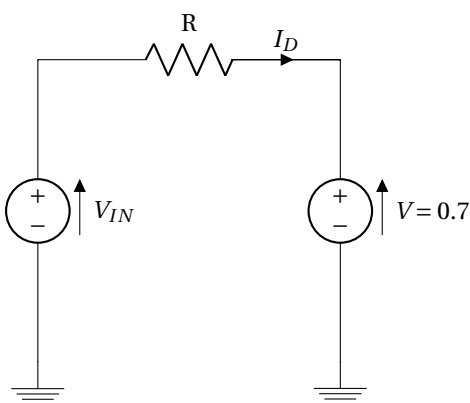
Figura 5.1

Si può ora notare che la retta e la curva del diodo si intersecano in un unico punto Q, che rappresenta il punto dal quale il circuito "funziona". Possiamo ora ricavare dal grafico le coordinate di Q, che rappresentano rispettivamente la tensione e la corrente cercate e dunque la nostra soluzione.

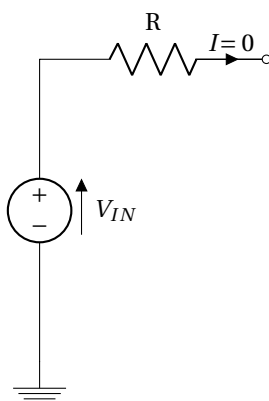
3. Linearizzazione a tratti

Possiamo considerare il diodo con il suo modello ideale (Modello 0) e "linearizzare" così il circuito. Esistono ora due casi possibili: diodo ON e diodo OFF. Poiché stiamo approssimando il diodo a un diodo ideale, nel caso ON potremo sostituirlo con un generatore di tensione da 0.7 Volt, mentre nel caso OFF lo sostituiamo con un circuito aperto.

Diodo ON:

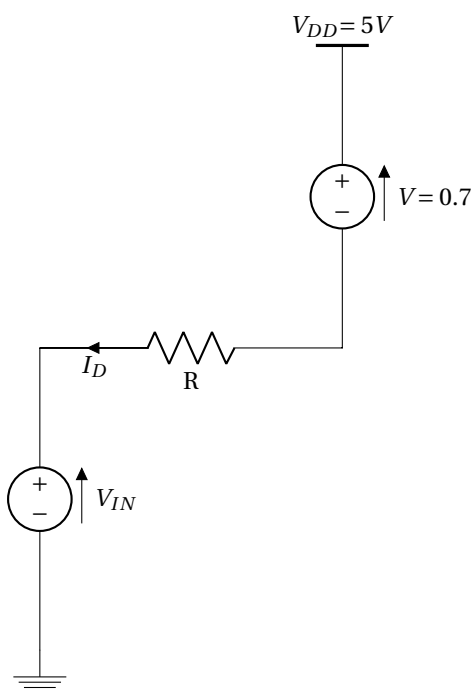


Diodo OFF:



Alimentiamo il circuito preso in esame precedentemente e analizziamo i due casi.

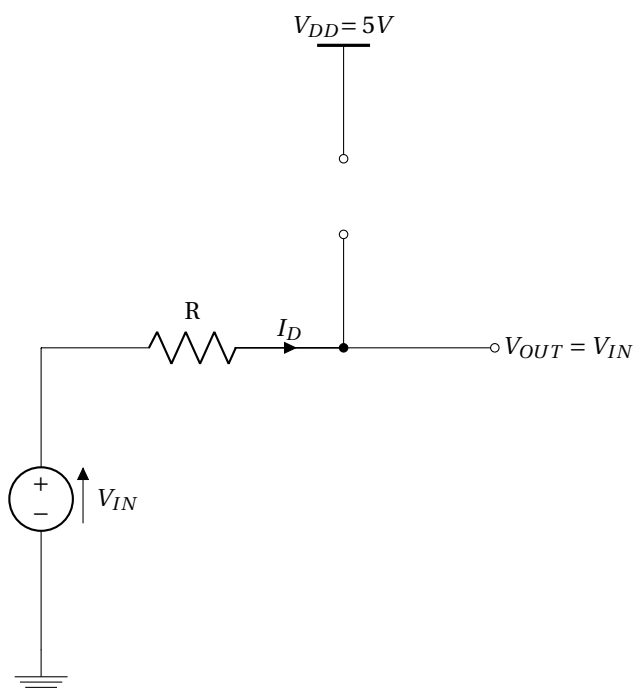
Diodo ON:



$$I_D = \frac{V_{IN} - (5V + 0.7V)}{R}$$

Se il diodo è ON, I_D deve essere >0 , $\Rightarrow V_{IN} > 5.7V$ Quindi il diodo è acceso per valori di V_{IN} che siano maggiori di $5.7V$

Diodo OFF:



Per $0 < V_{IN} < 5.7$ il diodo è OFF

Dopo aver studiato i due casi, possiamo guardare la V_{IN} data dal testo dell'esercizio che ci interessa risolvere, vedere in quale dei due casi cade e risolvere il circuito lineare del caso di nostro interesse.

5.3 Raddrizzatori di tensione

I diodi possono essere utilizzati per realizzare un raddrizzatore di tensione, ovvero convertire una tensione alternata in una tensione continua. Quando consideriamo un alimentatore che fornisce tensione alternata, ci interessa sapere il suo valore efficace. Esso viene

calcolato con la seguente formula:

$$V_{eff} = \frac{V_{Picco}}{\sqrt{2}}$$

Componente necessario per il raddrizzatore di tensione, insieme al diodo, è il trasformatore. Il trasformatore è una macchina elettrica, composta da due avvolgimenti di spire su un nucleo:

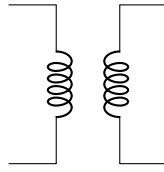


Figura 5.2: Un trasformatore

Essendo V_1 e V_2 le tensioni sui due avvolgimenti, n_1 e n_2 i rispettivi numeri di spire, l'equazione del trasformatore è

$$\frac{V_1}{n_1} = \frac{V_2}{n_2}$$

Consideriamo un trasformatore collegato ad alimentazione, con l'alimentatore che lavora in regime sinusoidale. La tensione trasmessa dal trasformatore è a sua volta sinusoidale:

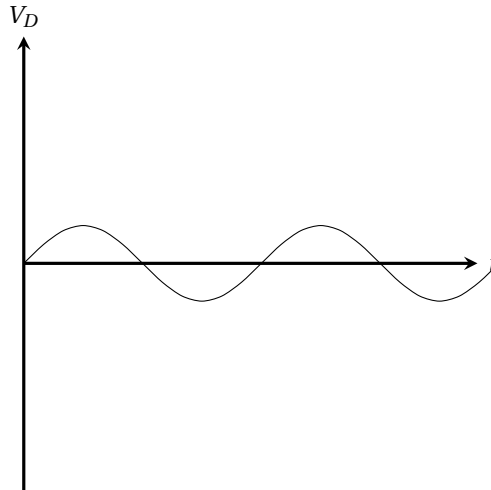


Figura 5.3: Tensione sinusoidale

5.3.1 Un semplice raddrizzatore di tensione

Di seguito mostriamo la struttura di un semplice raddrizzatore:

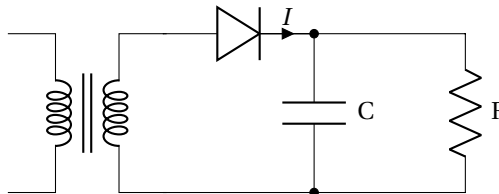
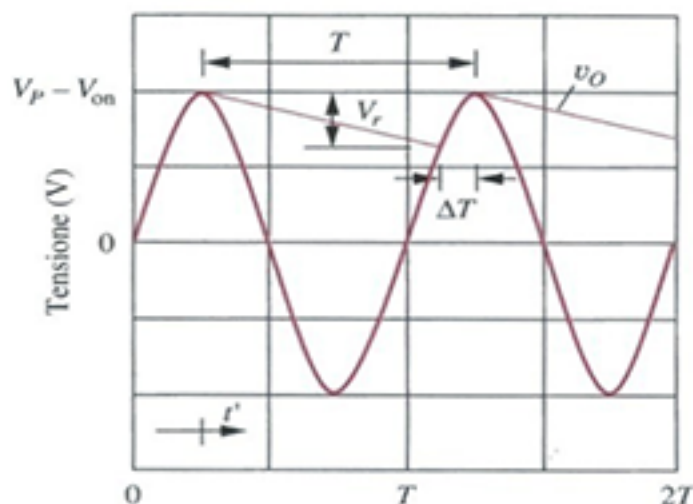


Figura 5.4: Un semplice raddrizzatore di tensione

Quando il circuito della **figura 4** viene alimentato, V_{OUT} raggiunge il valore $V_{Picco} - V_{ON}$ quando l'ingresso raggiunge il valore di picco. Nel mentre il condensatore si carica. Quando l'ingresso comincia a diminuire, il diodo si spegne e il condensatore inizia a scaricarsi. Quando $V_{IN} - V_{OUT}$ torna ad essere maggiore di V_{ON} , il diodo torna ON e il condensatore ricomincia a caricarsi.



5.3.2 Altri raddrizzatori di tensione

Funzionano in modo analogo fra loro il raddrizzatore a ponte e il raddrizzatore a doppia semi-onda.

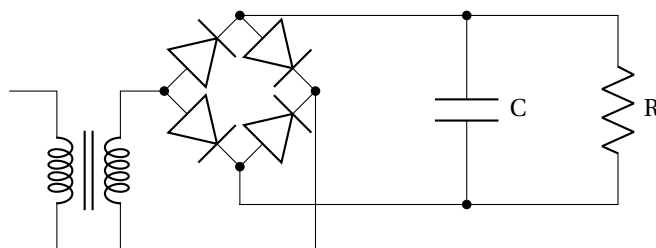


Figura 5.5: Un raddrizzatore a ponte

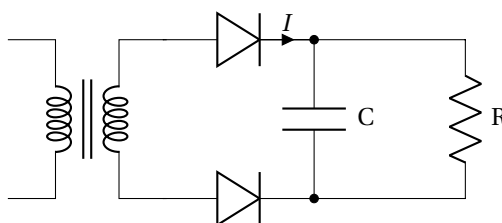


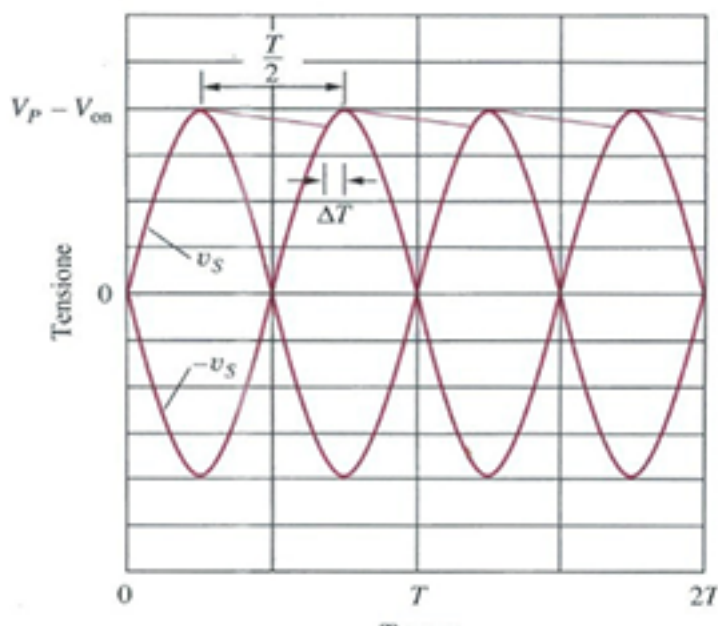
Figura 5.6: Un raddrizzatore a doppia semi-onda

Per entrambi i raddrizzatori, vale:

$$V_{OUT} = (V_{IN} - 1.4)$$

$$I_D = I_C + I_R = \frac{\partial V_C}{\partial t} - \frac{V_{OUT}}{R}$$

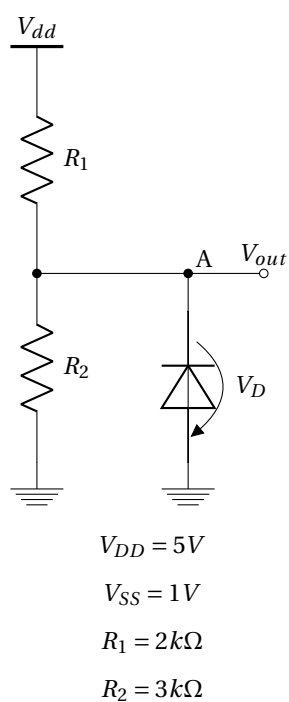
La differenza fra questi raddrizzatori e il raddrizzatore semplice visto precedentemente è che la distanza fra un'accensione del diodo e la successiva si riduce: nel raddrizzatore semplice trascorre un tempo uguale al periodo della sinusoide, con il raddrizzatore a doppia semi-onda e a ponte trascorre un tempo pari a metà periodo della sinusoide.



5.4 Come Risolvere gli esercizi sui diodi

5.4.1 Esercizio 5.1a

Consideriamo il seguente circuito:



(a) Studiare lo stato di polarizzazione del diodo

(b) Ricavare V_{OUT} .

5.4.2 Soluzione Esercizio 5.1a

Solitamente questi circuiti vengono risolti facendo una supposizione iniziale sullo stato di funzionamento e verificando se questa porta a una condizione di assurdo. Se questo accade, l'ipotesi va scartata, altrimenti la accettiamo come valida.

(a) Supponiamo che il diodo sia ON. Se il diodo è ON allora V_D deve essere 0.7 V . Supponiamo dunque $V_D = 0.7\text{ V}$ e calcoliamo le correnti che scorrono nel circuito.

$$I_{R1} = \frac{V_{R1}}{R_1} = \frac{5\text{ V} - (-0.7\text{ V})}{2\text{ k}\Omega} = 2.85\text{ mA}$$

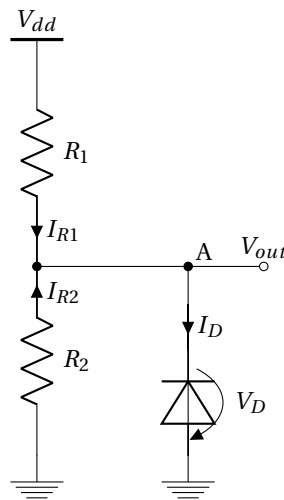
$$I_{R2} = \frac{V_{R2}}{R_2} = \frac{0\text{ V} - (-0.7\text{ V})}{3\text{ k}\Omega} = 0.3\text{ mA}$$

Applicando la legge di Kirchhoff al nodo si ottiene che nel diodo scorre una corrente

$$I_D = I_{R1} + I_{R2} = 3.15\text{ mA}$$

positiva nel verso evidenziato nella figura sottostante:

CONTROLLARE I SEGNI E I VERSI DELLE CORRENTI!!!!



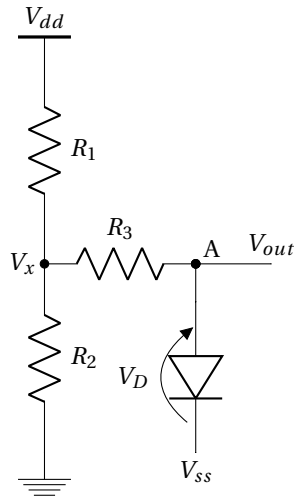
Questo è assurdo: in un diodo, se scorre corrente, non può scorrere in quel verso ma soltanto nel verso opposto. Dunque il diodo non può essere acceso. Ci aspettiamo quindi che V_{OUT} sia una tensione "piccola" (o negativa).

(b) Vogliamo ora calcolare V_{OUT} . Per farlo possiamo applicare il partitore di tensione:

$$V_{OUT} = V_{DD} \frac{R_2}{R_1 + R_2} = 3\text{ V}$$

Quindi $V_D = -3\text{ V}$. Questo verifica l'ipotesi per cui il diodo debba essere OFF.

5.4.3 Esercizio 5.1b



$$V_{DD} = 5V$$

$$V_{SS} = 1V$$

$$R_1 = 2k\Omega$$

$$R_2 = 3k\Omega$$

$$R_3 = 1k\Omega$$

(a) Studiare lo stato di polarizzazione del diodo

(b) Ricavare V_{OUT} e V_x .

5.4.4 Soluzione Esercizio 5.1b

(a) Procediamo in modo analogo all'esercizio precedente. Supponiamo però, stavolta, che il diodo sia spento. Se il diodo è spento

$$I_{R3} = I_D = 0$$

. Applichiamo il partitore di tensione:

$$V_x = V_{DD} \frac{R_2}{R_1 + R_2} = 3V$$

. La caduta di tensione ai capi del diodo è 2V, che è **maggiore** di 0.7V. Questo significa che il diodo **non** può essere spento. Dobbiamo scartare l'ipotesi del diodo OFF.

(b) Prendiamo quindi il caso diodo ON e cerchiamo V_x . Se il diodo è ON $V_{OUT} = 0.7V$. Applichiamo la legge di Kirchhoff al nodo A. Ne segue: $I_{R1} + I_{R2} + I_{R3} = 0$. Applico la legge di Ohm per ricavare le correnti in funzione di V_x . Ricavo:

$$\frac{V_x - 5V}{R_1} + \frac{V_x}{R_2} + \frac{V_x - 0.7V}{R_3} = 0$$

Svolgendo i calcoli ottengo

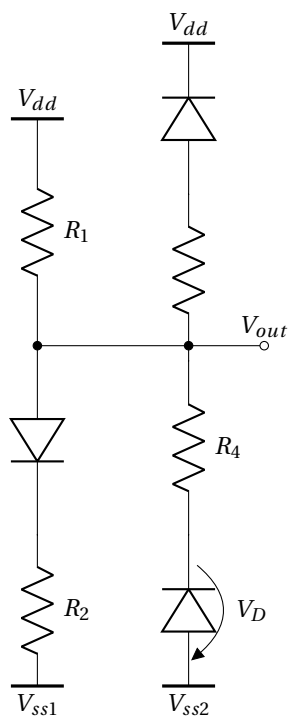
$$V_x = \frac{5V}{2k\Omega} + \frac{0.7V}{k\Omega}$$

da cui

$$V_x = 1.49V$$

5.4.5 Esercizio 5.2

Dato il circuito sottostante, determinarne la polarizzazione:



$$V_{DD} = 3V$$

$$V_{ss1} = -2V$$

$$V_{ss2} = -7V$$

$$R_1 = 1k\Omega$$

$$R_2 = 1.7k\Omega$$

$$R_3 = 4.3k\Omega$$

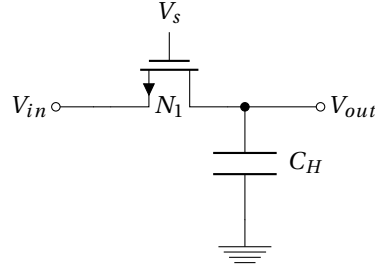
$$R_4 = 5k\Omega$$



Convertitori Analogici Digitali

6.0.1 Sample & Hold

In pratica campiona, quindi copia e mantiene costante il valore di tensione del segnale in modo che l'ADC possa convertirlo correttamente.



6.0.2 Dimensionamento della tensione di controllo V_s

Usualmente V_s e' un segnale ad onda quadra e per il corretto caricamento e mantenimento della carica nel condensatore deve valere:

$$V_{s,hold} \leq V_{in,min} + V_t$$

$$V_{s,sample} \geq V_{in,max} + V_t$$

Dove $V_{s,hold}$ e' il valore minimo della onda quadra V_s e $V_{s,sample}$ e' il massimo.

Carica del condensatore:

Poiche' l'eq caratteristica del condensatore e':

$$i_c(t) = C \frac{\partial V_c(t)}{\partial t}$$

$$V(t) = V_i + (V_f - V_i) e^{-\frac{t}{\tau}}$$

con V_i la tensione a cui parte il condensatore, V_f la tensione a cui si si caricherà il condensatore, τ la costante di tempo associata al condensatore, normalmente $\tau = CR_{peq}$ con R_{eq} la resistenza equivalente di thevenin vista ai capi del condensatore.

Tempo di propagazione esatto:

e' il tempo che ci mette la porta logica a fare meta' della escursione.

$$V_i + \frac{(V_f - V_i)}{2} = V_i + (V_f - V_i) e^{-\frac{t_p}{\tau}}$$

$$\frac{(V_f - V_i)}{2} = (V_f - V_i) e^{-\frac{t_p}{\tau}}$$

$$\frac{1}{2} = e^{-\frac{t_p}{\tau}}$$

$$\ln\left(\frac{1}{2}\right) = -\frac{t_p}{\tau}$$

$$-\tau \ln\left(\frac{1}{2}\right) = t_p$$

$$t_p = \tau \ln(2) \approx 0.69\tau$$

6.1 Convertitori Analogico - Digitale (ADC)

6.1.1 Caratteristiche degli ADC

Teorema di shannon:

Per poter campionare un segnale correttamente (Senza Aliasing) la frequenza di campionamento deve essere almeno doppia della frequenza massima del segnale in ingresso.

$$f_{cp} \geq 2f_{max,signal}$$

Least Significant Bit:

$$LSB = \Delta x = \frac{\Delta V}{2^n}$$

con: ΔV la dinamica del ADC, n il numero di bit del ADC

6.1.2 Tipi di ADC

Esistono vari tipi di convertitori con diverse caratteristiche:

Numero di Cicli di clock necessari alla conversione	Tipi di convertitore
1	Flash Converter
$n + 1$	Convertitore ad Approssimazioni successive
$n + 1 \sim 2^n$	Convertitore ad Inseguimento
2^n	Convertitore a Singola / Doppia Rampa

dove n e' numero di bit del convertitore.

Convertitore Flash

Il convertitore Flash e' un convertitore molto veloce poiche' impiega solo 1 ciclo di clock per convertire ma molto costoso. In pratica al suo interno vi sono $2^n - 1$ comparatori che confrontano il segnale di ingresso con i vari valori di tensione di riferimento. Poiche' il numero di comparatori cresce esponenzialmente col numero di bit e' raro vedere convertitori flash sopra i 12 bit e diventano veramente costosi.

TLDR: Basta 1 ciclo di clock per convertire ma costosi.

$$T_{clock} \leq T_{signal}$$

$$f_{clock} \geq f_{signal}$$

Convertitore ad Approssimazioni Successive

In pratica al inizio il convertitore si resetta poi per bisezione approssima il valore di uscita al valore di ingresso.

Lavorando per bisezione ci mette $\log_2(2^n) + 1 = n + 1$.

TLDR: Bastano $n + 1$ cicli di clock per convertire correttamente.

$$(n + 1) T_{clock} \leq T_{signal}$$

$$f_{clock} \geq (n + 1) f_{signal}$$

Convertitore ad Inseguimento

I convertitori ad inseguimento in pratica ad ogni ciclo di clock aumentano o diminuiscono di un LSB il valore in uscita a seconda del fatto che questo sia maggiore o minore del segnale in ingresso.

Cio' implica che nel caso pessimo in cui il segnale di ingresso commuti istantaneamente dal minimo valore, leggibile del ADC, a quello massimo nel qual caso l'ADC deve eseguire tutta la dinamica e quindi avra' bisogno di $2^n - 1$ cicli di clock.

Ma in utilizzi "normali" si riesce in meno poiche' il limite di questo ADC e' solo sulla massima derivata del segnale in ingresso.

$$D_m = \max \frac{\partial V_i}{\partial t} \quad D_{ADC} = \frac{1LSB}{T_{clock}}$$

Quindi per garantire di non avere distorsioni il segnale deve variare meno di 1LSB nel tempo che ci mette l'ADC a misurare, quindi deve valere:

$$D_m \leq D_{ADC}$$

Quindi:

$$\max \frac{\partial V_i}{\partial t} \leq \frac{1LSB}{T_{clock}}$$

Per segnali sinusoidali vale:

$$V_i(t) = A \sin(\omega t + \phi)$$

$$\frac{\partial V_i(t)}{\partial t} = A \omega \cos(\omega t + \phi)$$

Quindi la massima frequenza per campionare senza distorsioni e':

$$\max \frac{\partial V_i(t)}{\partial t} = A \omega$$

$$A \omega \leq \frac{1LSB}{T_{clock}}$$

$$\max \omega = \frac{1LSB}{A T_{clock}}$$

o in forma alternativa :

$$\max \omega = \frac{\Delta ADC}{\Delta V_i} \frac{1}{2^n} f_{clock}$$

dove ΔADC , ΔV_i sono rispettivamente le dinamiche leggibili dal adc e la dinamica del segnale d'ingresso.

TLDR: Impone un vincolo sulla derivata del segnale. Per segnali sinusoidali di ampiezza A e pulsazione ω la frequenza massima del segnale e'

$$\max \omega = \frac{1LSB}{A T_{clock}}$$

$$\omega = 2\pi f$$

Convertitore a singola rampa

In pratica il convertitore misura quanto tempo ci mette la tensione di ingresso a caricare un suo condensatore interno.

TLDR: Convertitore preciso e poco costoso ma lento, ha bisogno di 2^n cicli di clock per misurare correttamente.

$$2^n T_{clock} \leq T_{signal}$$

$$f_{clock} \geq 2^n f_{signal}$$

6.1.3 convertitore a doppia rampa

Il convertitore carica con l'ingresso il condensatore per un certo tempo fissato poi misura quanto tempo ci mette a scaricarsi. Grazie a questo meccanismo la precisione della misura non dipende dai valori delle resistenze e della capacita' interne quindi permette di avere prestazioni buone anche con componenti reali con inerzia.

TLDR: Come quello a singola rampa ma piu' resistente ad errori dei componenti.

$$2^n T_{clock} \leq T_{signal}$$

$$f_{clock} \geq 2^n f_{signal}$$

7

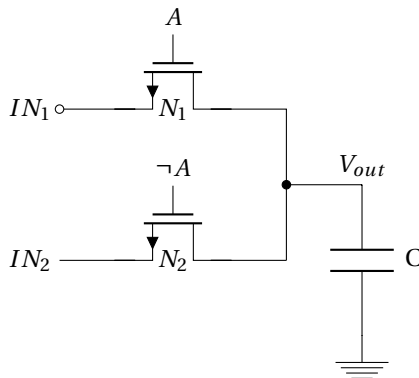
Temi d'esame risolti

7.1 Tema d'esame 31 gennaio 2018

7.1.1 Testo del esame

Esercizio 1

Siano IN_1, IN_2 dei segnali digitali compresi tra 0 e 3.3V e A un segnale digitale compreso tra 0 e 5V.



$$K_n = 0.5 \frac{mA}{V^2}$$

$$V_{t,n} = 0.7V$$

$$C = 0.5pF$$

- Determinare i valori (Logici e di Tensione) assunti dall'uscita V_{out} quando $A = "1"$ e quando $A = "0"$ in funzione dei valori degli ingressi.
- Agli Ingressi A e IN_1 e' applicata un' onda quadra a frequenza 1MHz e all' ingresso IN_2 un' onda quadra a frequenza 500KHz. Si consideri il fronte di salita dei due segnali allineato. Disegnare l'andamento temporale di $V_{out}(t)$ e calcolare la potenza dinamica dissipata dal circuito.
- Calcolare il tempo di commutazione della porta logica quando gli ingressi passano $IN_1 = 0, IN_2 = 1, A = 0 \longrightarrow IN_1 = 0, IN_2 = 0, A = 1$ (si noti il funzionamento in zona ohmmica).

Esercizio 2

7.1.2 Risoluzione