

Un livello basso negli ingressi preset (PRE) o clear (CLR) imposta o reimposta le uscite, indipendentemente dai livelli degli altri ingressi.

Quando PRE e CLR sono inattivi (alti), i dati all'ingresso dati (D) che soddisfano i requisiti di tempo di impostazione vengono trasferiti alle uscite sul fronte positivo dell'impulso di clock.

L'attivazione del clock si verifica a un livello di tensione e non è direttamente correlata al tempo di salita dell'impulso di clock.

Inputs				Outputs	
PR	CLR	CLK	D	Q	Q
L	Н	X	X	Н	L
Н	L	X	X	L	Н
L	L	X	X	H (Note 1)	H (Note 1)
Н	Н	1	н	Н	L
Н	Н	1	L	L	Н
Н	Н	L	X	Q ₀	\overline{Q}_0

74ACHT74

DMA EN

dal chip 8288.

Enable

G

Н

H = HIGH Level L = LOW Level

 $\boldsymbol{X} = \boldsymbol{Irrelevant}$

Questi segnali sono solo uscite provenienti

Funziona solo da interruttore e/o buffer.

Direction

Control

DIR

Н

A16 = 1; A17 = 1; A18 = 1; A19 = 1; OUTPUT = 0 (INVERTED AND)

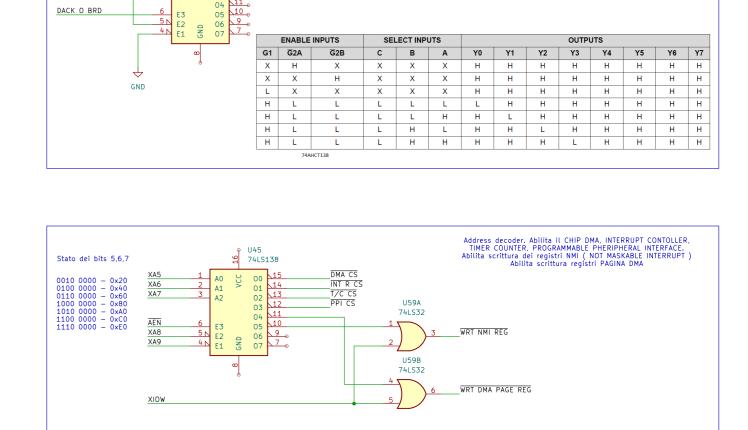
9 74LS138

74AHCT245

Q₀ = The output logic level of Q before the indicated input conditions were

Note 1: This configuration is nonstable; that is, it will not persist when either

	Out	puts
D	Q	Q†
X	L	Н
Н	Н	L
L	L	Н
	D X H L	D Q X L



Abilita CHIP ROM / RAM. Utilizza gli INDIRIZZI per realizzare la SEGMENTAZIONE ROM / RAM

RAM ADDRE SEL

74AHCT2<u>45 rapla</u>ces the 74LS243 U13 DMA EN attivo basso

Operation

B Data to A Bus

A Data to B Bus

Isolation

Data Port

Status

(Note 1) (Note 1)

ISOLATED

В

PIC_PULL_UP

MEMR

IOW MEMW

Α

Inputs

GBA

Note 1: Possibly destructive oscillation may occur if the transceivers are

B5 14 B5 13 B6 13 B7 12 B8 11

FROM: 111 0000 0000 0000 0000 - 0x70000

ROM ADDR SEL TO: 111 1111 1111 1111 1111 - 0x7FFFF

G AB

I = Input O = Output H = HIGH Logic Level

L = LOW Logic Level

enabled in both directions at once.