

Un livello basso negli ingressi preset (PRE) o clear (CLR) imposta o reimposta le uscite, indipendentemente dai livelli degli altri ingressi.

Quando PRE e CLR sono inattivi (alti), i dati all'ingresso dati (D) che soddisfano i requisiti di tempo di impostazione vengono trasferiti alle uscite sul fronte positivo dell'impulso di clock.

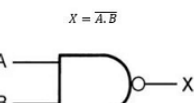
L'attivazione del clock si verifica a un livello di tensione e non è direttamente correlata al tempo di salita dell'impulso di clock.

Dopo l'intervallo di tempo di attesa, i dati all'ingresso D possono essere modificati senza influenzare i livelli alle uscite.

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	$Q_0$	$\overline{Q}_0$

H = HIGH Logic Level  
X = Either LOW or HIGH Logic Level  
L = LOW Logic Level  
↑ = Positive-going Transition  
 $Q_0$  = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.



Il segnale READY proveniente dal CHIP 82C54A ( clock generator ) provvede a informare la CPU del fatto che il BUS risulta in uso

A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

