Fasi DMA

## Vengono generati i segnali:

*HRQ* Il segnale ( pin 10 8237A-5 ) viene portato a livello logico ALTO. **Il segnale è utilizzato per richiedere alla CPU l’accesso al BUS.**

La CPU non gestisce direttamente il segnale. Il segnale raggiunge la logica dedicata Bus Arbitration and Wait Logic

La circuiteria del Bus Arbitration and Wait Logic è responsabile della corretta generazione dei segnali necessari e delle tempistiche alla quale i segnali devono essere generati ( WAIT STATES ).

I segnali devono essere sincronizzati relativamente alle specifiche dei chip utilizzati CPU, 82C84A

Il segnale viene portato a livello logico BASSO. Il segnale toglie il controllo dei segnali , , , , al chip 8288 ( Bus Controller ) e li forza a livello logico ALTO.

Abilita il chip dell’ ADDRESS BUS relativo al DMA, ovvero collega il DMA all’ ADDRESS BUS.

*AENBRD* Il segnale ( pin 6 8288 ) viene portato a livello logico ALTO. Il segnale disabilita i chip dell’ ADDRESS BUS relativo alla CPU, ovvero scollega la CPU dal BUS ADDRESS BUS.

Il segnale ( pin 15 8288 CEN ) viene portato a livello logico BASSO.

DEN Il segnale ( pin 16 8288 DEN ) scollega la CPU dal BUS DATA BUS.

*HOLDA* Il segnale ( pin 7 8237A-5 HLDA ) viene portato a livello logico ALTO. Il segnale informa il chip DMA del fatto che il BUS è stato rilasciato dalla CPU

*RDYTODMA* Il segnale ( pin 6 8237A-5 READY ) viene utilizzato per gestire i tempi di lettura/scrittura della memoria.

*DMAWAIT* Il segnale ( pin 4 8284 RDY1 )

*/WAIT* Il segnale ( pin 3 8284 )

*READY* Il segnale ( pin 5 8284 READY ) è la combinazione dei segnali *DMAWAIT - /WAIT*. Informa la CPU del fatto che il BUS è tornato nuovamente libero in quanto il DMA ha completato il proprio lavoro.

## Altri segnali:

Il segnale ( pin 11 8237A-5 ) viene portato a livello logico BASSO. Abilita il chip DMA per la comunicazione con la CPU. Consente di configurare i registri interni del DMA.