

Materia: ARQUITECTURA DE COMPUTADORAS

PRÁCTICOS DE GABINETE

TRABAJO PRÁCTICO DE GABINETE N° 2

Contenido: UNIDAD DE MEMORIA

Utilidad del contenido y aporte a la formación:

Conocer con profundidad el funcionamiento de las microcomputadoras basadas en el modelo de Von Newman.

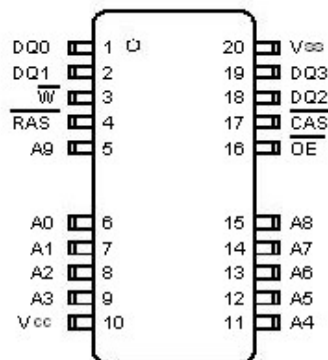
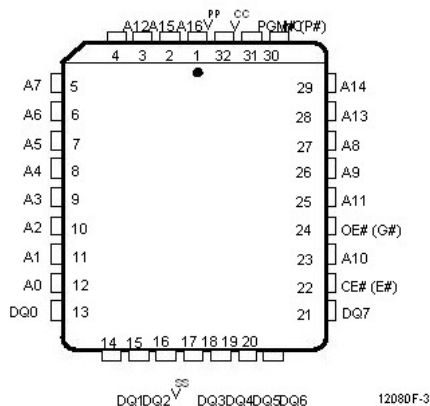
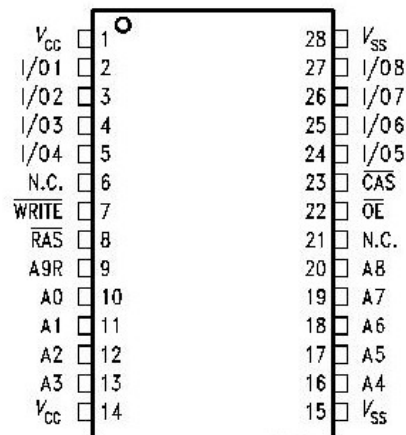
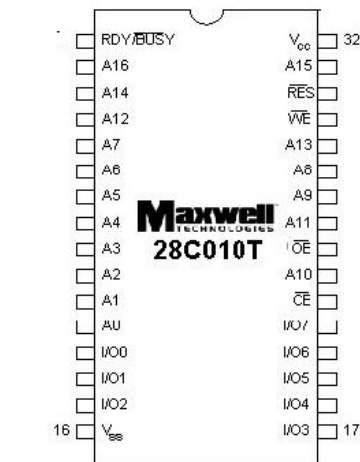
Comprender las tecnologías involucradas en la evolución de los componentes de las computadoras digitales.

Objetivos:

- Reconocer la organización de los circuitos de memoria.
- Representar esquemáticamente sistemas de memoria.
- Identificar diferentes tecnologías de circuitos de memoria y sus aplicaciones.
- Distinguir las características del subsistema de memoria cache.

Ejercicios:

1. Indicar la organización y la tecnología de los siguientes circuitos integrados de memoria:



2. Diseñar los siguientes bancos de memoria:

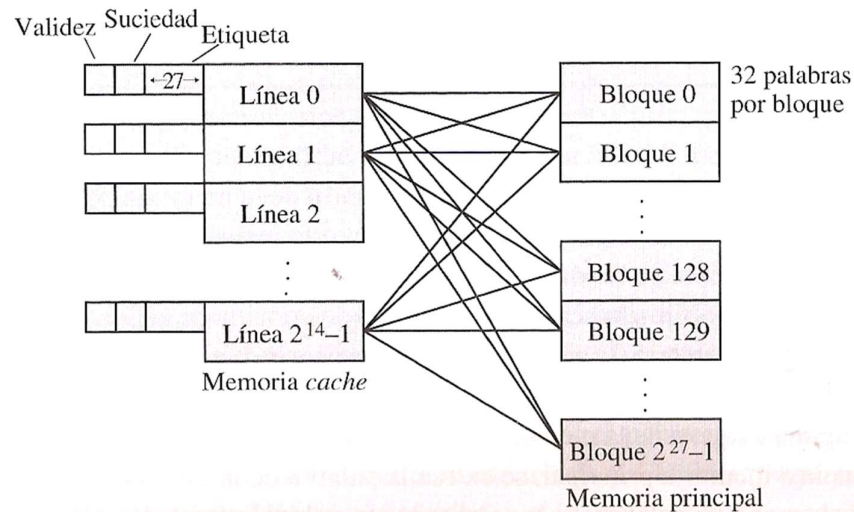
256Kbx 8 con CI de 64 Kb x 8

1Mb x 16 con CI de 512Kb x 8

32 Mb x 8 con CI de 8 Mb x 8

1Mb x 32 con CI de 512Kb x 8

3. El esquema de asignación asociativa para una memoria caché es la siguiente:



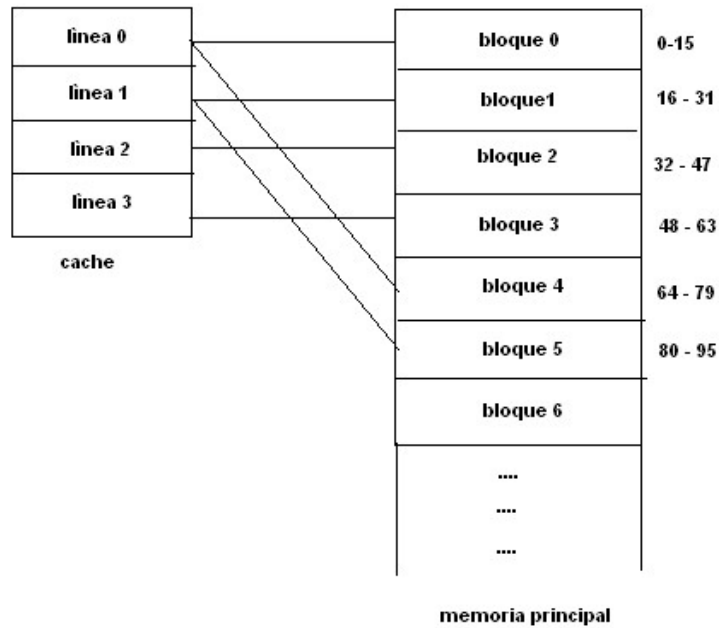
Este esquema corresponde a un espacio de memoria de 2^{32} palabras, divididas en 2^{27} bloques de 32 palabras por bloque (también se denominan “líneas de cache”). Estos bloques tienen tamaños que van desde 8 a 64 bytes, Este ejemplo es el de una cache con 2^{14} líneas que pueden almacenar 2^{27} bloques de la memoria principal de 32 palabras. En esta configuración :

- ¿Cuál es la función de la etiqueta (tag) de 27 bits?
- ¿Porqué se requieren el bit de validez y el bit de suciedad (dirty bit)?
- Describir como se procede para asignar a la memoria cache el acceso a la dirección de memoria (A035F014)16

4. Considerando el cálculo de la tasa de aciertos y del tiempo efectivo de acceso de un programa que se ejecuta en una computadora en la que dispone de una memoria cache de asignación directa, con cuatro líneas de 16 palabras. La distribución física de la memoria cache y la memoria principal se presenta en la figura.

El tiempo de acceso a la cache es de 80 ns, mientras que el tiempo requerido para transferir un bloque desde la memoria principal a la memoria cache es de 2500 ns. Se supone que la memoria es de carga inmediata y la cache está vacía en el instante inicial. El programa se ejecuta desde la posición 48 a la posición 95, tras lo cual el programa repite 10 veces un lazo entre las direcciones 15 y 31 antes de detenerse.

- Registrar en la siguiente tabla los eventos que se procucen durante la ejecución del programa.



Evento	Posición	Tiempo	Comentario
1 miss	48	2500 ns	Block 3 de memoria a slot 3 de cache
15 hits	49-63	80*15=1200ns	
1 miss	64	2500 ns	Block 4 de memoria a slot 0 de cache
15 hits	64-79	80*15=1200ns	
1 miss	80	2500 ns	Block 5 de memoria a slot 1 de cache
15 hits	81-95	80*15=1200ns	
1 miss	15	2500ns	Block 0 de memoria a slot 0 de cache
1 miss	16	2500ns	Block 1 de memoria a slot 1 de cache
15 hits	17-31	80*15=1200ns	
9 hits	15	80*9=720ns	Ultimas 9 iteraciones de loop
144 hits	16-31	80*144=12240ns	Ultimas 9 iteraciones de loop
Total de aciertos= 213		Total de fallas=5	

b) Calcular la tasa de aciertos y el tiempo efectivo de acceso.

$$TEA = 213/218 = 97,7 \%$$

$$TEA = (213 * 80) + (5 * 2500) / 218 = 136 \text{ ns , en tiempo}$$