

# PCS3335 - Laboratório Digital A - Experiência 2

por Bruno de Carvalho Albertini

13/03/2023

A experiência 2 tem o propósito de familiarizar-se com a placa de prototipação FPGA. Leia toda o texto com cuidado e pesquise tudo o que não souber.

## Introdução

O transmissor da experiência anterior continua ligado, transmitindo os mesmos caracteres. No entanto, agora a transmissão é serial é 8-E-2 (a paridade não está incluída nos bits) e não há a duplicidade do primeiro caractere. A temporização também mudou: o intervalo entre os caracteres está menor e o intervalo entre sequências também. Se você fez com sucesso a experiência anterior, sabe que os caracteres imprimíveis são os três penúltimos (o último é o um caractere de controle).

Nesta experiência, você deverá conectar o receptor na placa de prototipação e receber os caracteres de forma digital.

Devido a nova temporização, não é esperado ruído.

## Experiência 2

Seu objetivo nesta experiência é mostrar os caracteres recebidos nos *displays* da placa de prototipação. A placa do laboratório é a DEo-CV, fabricada pela Terasic. Por enquanto, o que interessa é que ela possui 6 *displays* de sete segmentos, que podem ser usados para mostrar os caracteres imprimíveis, e duas portas GPIO. O FPGA desta placa é o Cyclone V 5CEBA4F23C7N.

Não é necessário mostrar os não imprimíveis.

O software usado para sintetizar o seu projeto em VHDL é o Quartus. Caso não esteja ambientado com o Quartus, procure tutoriais (há um muito bom no site Embarcados, mas com Verilog, e dois outros no site do próprio Laboratório Digital). Os pontos que você precisa saber para esta experiência é como montar um projeto VHDL com *toplevel* e como atribuir o dispositivo (placa), não só o tipo do FPGA (modelo) mas também a pinagem dos componentes fixos na placa.

## Planejamento

Existem várias maneiras de receber caracteres seriais. A recomendada para iniciantes é construir um registrador de deslocamento grande o

[3 pontos]

suficiente para receber todos os caracteres. Você pode escolher armazenar ou não os bits de controle (*start*, paridade e *stops*).

Esta placa conta com um gerador de *clock* de 50MHz. Você também precisa fazer um divisor de *clock* para diminuí-lo para a frequência desejada. No entanto, recomendamos que a amostragem do sinal de entrada seja feita pelo menos quatro vezes mais rápido que a frequência do sinal transmitido. Para exemplificar, suponha que um bit fique 2,6ms no estado alto (ou baixo). O ideal seria amostrá-lo na metade deste período pois amostrar muito perto da borda de subida ou descida pode gerar problemas de sincronismo graves e difíceis de detectar. Neste sentido, se a sua amostragem é quatro vezes maior, você pode considerar a segunda ou terceira amostragem como a correta, evitando amostrar o sinal perto das bordas.

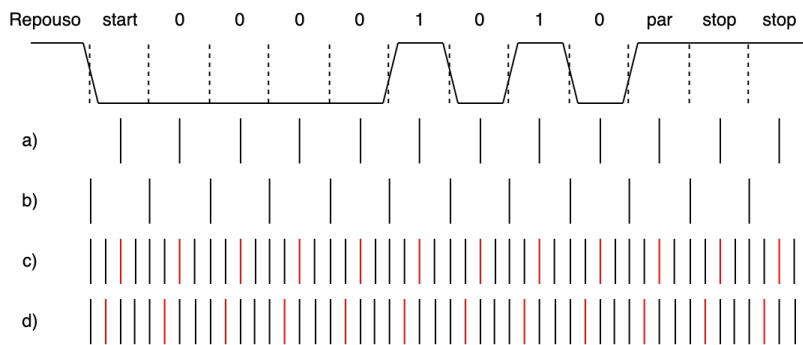


Figura 1: Diferentes amostragens.

Na Figura 1 podemos ver as amostragens. A amostragem (a) foi feita na frequência da transmissão e está correta pois o bit é amostrado na metade do período. Já a amostragem (b) também foi realizada na frequência da transmissão, mas no começo do bit. Perceba que nas transições de bits (de zero para um e vice-versa), não é possível determinar se o que o circuito lerá será zero ou um. As amostragens (c) e (d) foram feitas com frequência quatro vezes maior, e foram usadas a terceira e a segunda amostragem, respectivamente (em vermelho). Ambas (c) e (d) capturam o bit corretamente.

Por último, você precisará desenvolver uma máquina de estados que controle o circuito. A máquina de estados deve detectar o começo da transmissão (*start* bit) e amostrá-lo corretamente (na segunda ou terceira amostragem), guardando-o no registrador de deslocamento. Se você optou por não guardar os bits de controle, lembre-se que sua máquina ainda precisa amostrá-los, só não precisa guardá-los.

Há ainda um componente que converte o caractere ASCII para um caractere que possa ser mostrado no *display* de sete segmentos, mas este componente será fornecido com este enunciado.

Apesar da recomendação, você está livre para resolver o problema

da forma como desejar. É permitido buscar componentes na internet e você pode usar qualquer componente que já tenha feito nas disciplinas. Você pode obviamente contar com ajuda da sua dupla o tempo todo e é permitido copiar componente de outras duplas, desde que você cite no planejamento a fonte correta (como o site da internet de onde pegou o componente, a dupla de quem você pegou o componente ou qualquer que seja a fonte).

Seu planejamento é um PDF com a ligação física que você fará do receptor com a GPIO da placa e os testes que pretende fazer. Não é necessário enviar seu código VHDL pois ele será avaliado na execução. Não há teste pré-aula para esta experiência. Atente-se para o prazo: o planejamento deve ser enviado em até 24h antes da sua aula. Lembre-se que o planejamento é incremental, então é esperado o planejamento anterior com os resultados da experiência anterior, adicionado deste planejamento.

Ao referenciar a dupla, use o período e a bancada (e.g. Terça tarde A3).

Estima-se 2h para montar os VHDL, considerando que você já tem os componentes.

### *Execução*

No dia da execução você deve ir para o laboratório no horário da sua turma. Caso seu planejamento possua comentários no e-Disciplinas, converse com seu professor antes de começar. Caso contrário, você pode solicitar uma placa FPGA e um receptor para os técnicos e montar o circuito que planejou.

[6 pontos]

Quando terminar com os testes, chame seu professor para ser avaliado [4 pontos] e receber o desafio [2 pontos].

### *Relatório*

O relatório desta experiência é simplesmente um relato de um parágrafo sobre sua experiência (incluindo comentários quaisquer) e um *print* da ferramenta RTL Viewer, que pode ser acessada pelo menu Tools -> Netlist Viewers.

[1 ponto]