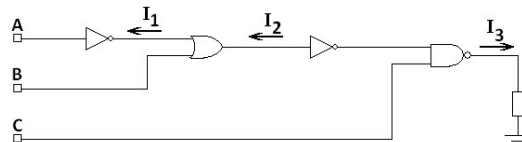
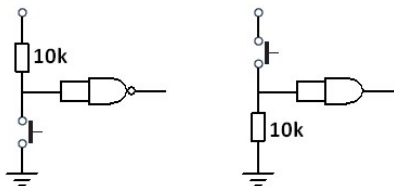




1. Considerando o princípio operacional e a tecnologia de fabricação dos transistores (bipolares e efeito de campo), como podem ser classificados os dispositivos lógicos semicondutores?
2. Quais as principais diferenças entre os dispositivos TTL e CMOS?
3. O que é t_{PHL} e t_{PLH} ?
4. Conceitue V_{OL} , V_{OH} , V_{IL} e V_{IH} .
5. O que é “fan-out”? Qual a sua importância no projeto de circuitos lógicos?
6. O que é margem de ruído e qual a sua importância?
7. Quais as configurações de saída presentes nos circuitos lógicos?
8. O que é “wired-AND”?
9. O que é “tri-state”? Qual a sua aplicação?
10. Considere os sentidos das correntes I_1 , I_2 e I_3 no diagrama abaixo. Determine o nível lógico das entradas A, B e C correspondentes aos sentidos de corrente.

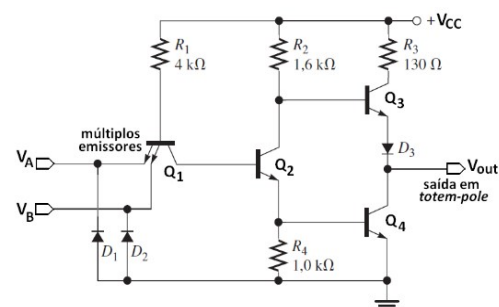


11. Qual dos esquemas abaixo é recomendado para produzir nível lógico alto na saída ao se pressionar o botão, considerando portas TTL? Porque?



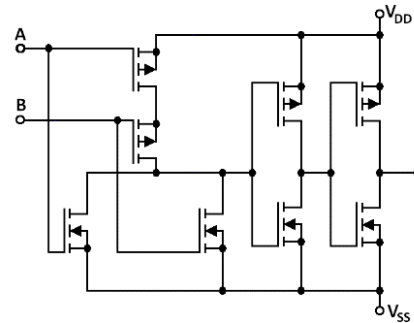
12. Considere o circuito da porta TTL apresentado abaixo. Determine o estado lógico de saída [$V_{out}=L$ (Low) ou H (high)] e o estado dos transistores [**A** – aberto (em corte) ou **F** – fechado (em saturação)] para as entradas apresentadas na tabela.

V_A	V_B	V_{out}	Q_1	Q_2	Q_3	Q_4
L	L					
L	H					
H	L					
L	L					

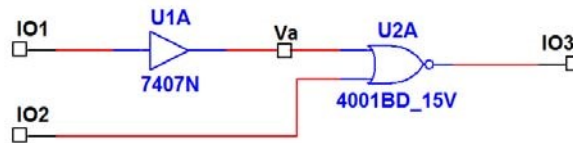


13. Considere o circuito da porta CMOS apresentado abaixo. Determine o estado lógico de saída [$V_{out}=L$ (Low) ou H (high)] e o estado dos transistores [A – aberto (em corte) ou F – fechado (em saturação)] para as entradas apresentadas na tabela.

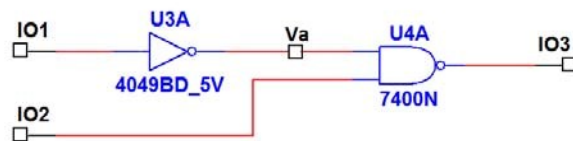
V_A	V_B	V_{out}	Q_1	Q_2	Q_3	Q_4
L	L					
L	H					
H	L					
L	L					



14. O que são dispositivos Schmitt trigger? Qual a sua aplicação?
15. A figura abaixo mostra um circuito de interface TTL-CMOS, onde a informação de um circuito digital TTL, alimentado em 5 V é aplicada ao conector IO1. O buffer 7407 é alimentado em 5 V. O conector de entrada IO2 recebe um sinal digital CMOS (0-15V). Uma operação NOR (porta alimentada em 15V) é realizada entre os dois sinais e o resultado é aplicado à saída IO3. O circuito da figura apresenta um problema. Faça a correção para a correta operação do circuito. No circuito corrigido, qual a tensão no nó V_a quando este está em nível lógico alto? Tal nível de tensão é adequado ao circuito TTL 7407?

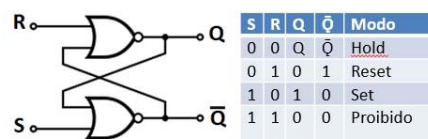


16. O circuito abaixo realiza a transferência de informação de um circuito CMOS para TTL. A informação presente no conector IO1 está em nível CMOS (15V). Sendo que o restante do circuito opera em nível TTL (5V). Os circuitos CMOS 4049 e TTL 7400 são alimentados em 5V. Observe que o circuito CMOS 4049 é alimentado em 5V e recebe sinais na entrada em nível CMOS 15V. Como isto é possível? Verifique as informações de catálogo a respeito deste aspecto.



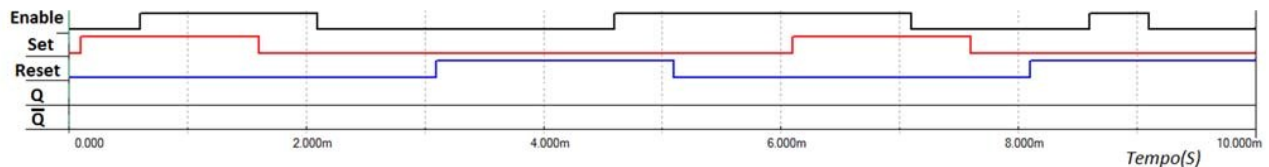
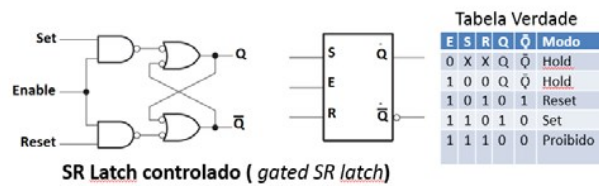
17. Conceitue circuitos combinacionais e circuitos sequenciais.

18. Considere o Latch RS apresentado na figura abaixo:

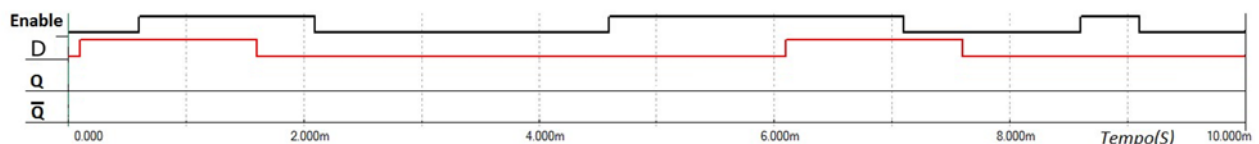
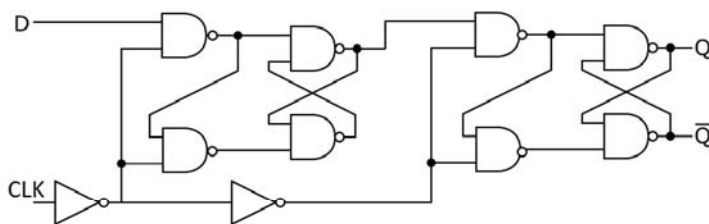


Caso as portas NOR da figura acima sejam substituídas por portas OR, AND e NAND, qual ou quais destas 3 últimas gerariam um *latch* com comportamento similar ao da figura, com modos de operação *set*, *reset* e *hold*?

19. Considere a estrutura *latch* da questão 18. Quando esta é energizada, qual o valor de Q e \bar{Q} ? Explique o modo proibido presente na tabela verdade da questão 18.
20. Considere o *latch* controlado da figura abaixo. Determine a forma de onda dos sinais Q e \bar{Q} para os sinais *set*, *reset* e *enable* apresentados no diagrama de temporização.



21. Refaça a questão anterior considerando o *latch* tipo D, considere ainda que o sinal aplicado à entrada D tem a mesma forma de onda do sinal *set* da questão anterior.
22. Como podem ser caracterizados os dispositivos *latch* e *flip-flop*?
23. O que caracteriza o fenômeno “racing” presente nos *latches*? Como este fenômeno pode ser evitado?
24. Determine as formas de onda para Q e \bar{Q} relativas ao circuito da figura abaixo. Como vc classificaria este tipo de flip-flop? Este é *pulse-triggered* ou *edge triggered flipflop*?



25. O que são as entradas assíncronas presentes nos flip-flops?