

Trabalho 2 - Organização de Computadores 1

Lucas Borges - 4689
Tarik Salles Paiva - 5059

July 4, 2023

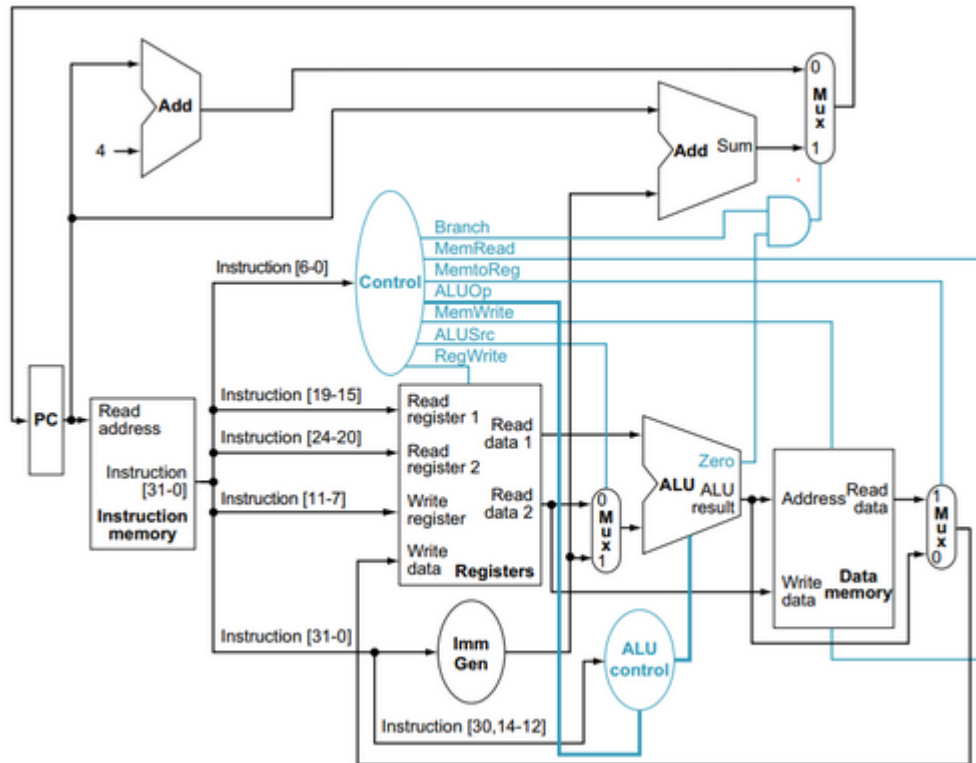
1 Introdução

Nesta documentação apresentamos, brevemente os recursos que foram explorados e desenvolvidos no trabalho.

2 Design do Projeto em Verilog

2.1 Modelo Referência

O modelo referência para o trabalho é o caminho de dados sem pipeline visto no decorrer do semestre.



2.2 Caminho de dados

O caminho de dados implementado em verilog, abstraímos e dividimos cada parte (para permitir modularização) do caminho de dados, em um modulo diferente, e depois executamos em um modulo central (bastante similar ao "main" quando programamos em C) chamado "topmodule".

2.3 Teste de caso e detalhes adicionais

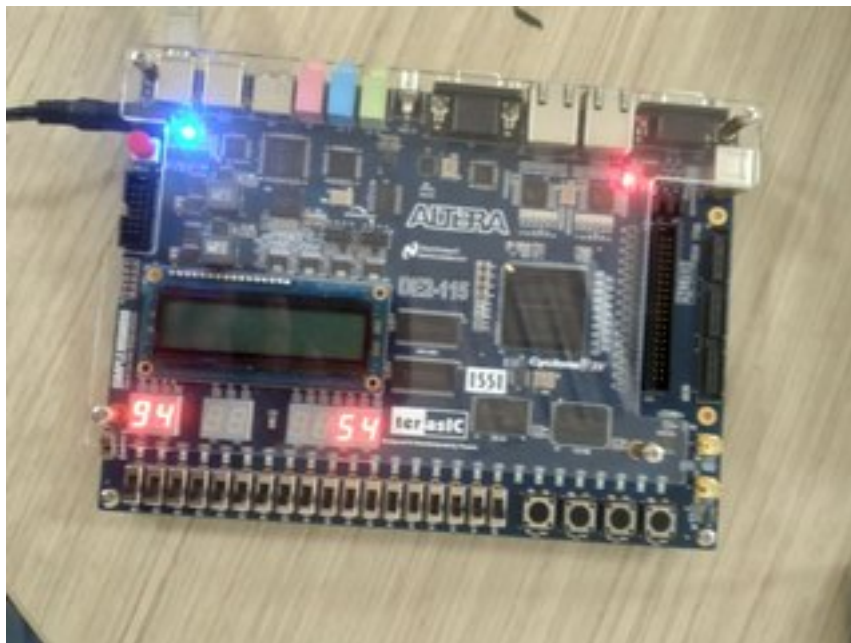
Algumas das instruções de teste, que usamos:

```
addi x2, x0, 7
sb x2, 4(x0)
lb x1, 4(x0)
add x2, x1, x0
add x1, x1, x2
add x1, x1, x2
sub x1, x1, x2
sub x1, x1, x2
```

```
addi x1, x0, 50
```

No video utiliza-se esse conjunto de instruções, para o caso prático da FPGA, nesse caso as instruções é executada e nos LEDs, da FPGA, temos a representação do valor, após a execução da instrução, no registrador escolhido para ser representado, que foi o x1.

3 Design Prático da FPGA



3.1 Display e leds

O display exhibe, a quantidade de instruções já lidas, em decimal, e também o valor do PC, em hexadecimal, conforme a especificação, os leds servem para representar o valor, em binário, presente no registrador, para o caso desse trabalho, nem todos os bits (32) serão representados visto a limitação física da FPGA, mas sim os menos 18 bits significativos, para que caibam na quantidade delimitada de leds.

3.2 Botão Reset

O botão Reset (KEY3, o primeiro da esquerda para a direita) permite que o PC reinicie no valor inicial '00', e a memória seja reiniciada, o contador de instruções retorne ao valor inicial '00' e também acende o led mais a direita da FPGA,

como demonstrado em vídeo. // Para que o Reset funcione adequadamente é necessário que após ser pressionado atualize o clock.

3.3 Botão Clock

O botão clock (KEY2, o segundo da esquerda para a direita) avança o clock no caminho de dados, que, ao invés de ser automático, é feito manualmente.

3.4 Problema da FPGA - Soma Dupla do PC

Após alguns avanços do clock, a FPGA faz contagens adicionais, desconhecemos as razões para este problema, mas, como não possui relação com o código e ao mesmo tempo, não interfere no propósito do trabalho, acreditamos que possa ser algo que não atrapalha os resultados finais.

4 Feedback e experiências adquiridas

4.1 Dificuldades

Colocar em prática uma ideia abstrata de relativa complexidade, no papel, para o ambiente de código.

Erros da própria FPGA, foram encontrados como o Problema da Soma Dupla. Implementação do 'Reset' e da função 'BEQ', na FPGA.

4.2 Aprendizado

Um novo nível de abstração e noções adquiridas durante a elaboração do trabalho prático a cerca do funcionamento de um processador.

O uso da FPGA e do linguagem de descrição de hardware, Verilog, garantiram uma experiência a cerca de uma parte da dificuldade que é a do desenvolvimento neste tipo de ambiente.

5 Resultado

5.1 Funcionamento

Conforme relatado nos designs, permitiu-se concluir que de acordo com o código as especificações e funcionalidades desejadas o projeto funciona adequadamente dentro do esperado.

5.2 Conclusão

Diante de todas as objeções aqui delatadas, constatamos que foi um sucesso. Funcionou perfeitamente após uma grande jornada.