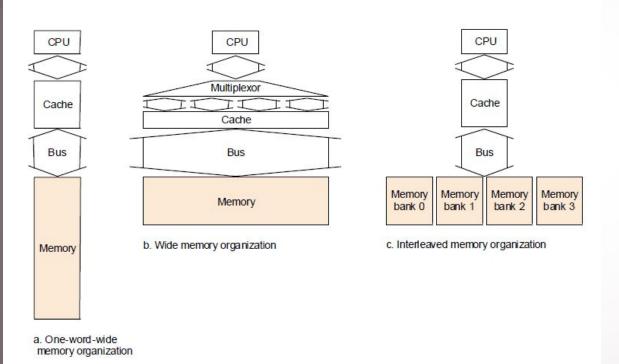


• Três sistemas de memória





- Diferentes organizações de memória
 - Supor:
 - 1 ciclo de clock para enviar o endereço
 - 15 ciclos de clcok para cada acesso à DRAM
 - 1 ciclo de clock para enviar uma palavra de dados.



a) memória de largura de uma palavra e acessos feitos seqüencialmente teremos o miss penalty como = 1 + (4 X 15) + (4 X 1) = 65 ciclos.

O número de bytes transferidos por ciclo de clock em um miss = $(4 \times 4) / 65 = 0.25$



b) Aumento de bandwidth pelo aumento da largura de memória e barramento □ acessos paralelos de palavras nos blocos è(memória de largura de 2 palavras) è miss penalty = 1+ 2 X 15 + 2 X 1 = 33 ciclos.

O número de bytes transferidos por ciclo de clock em um miss = $(4 \times 4) / 33 = 0.48$. (largura de 4 palavras \square 17 ciclos e bandwidth de 0.96). Custo no barramento (largura) e multiplexador.



 c) Interleaving □ aumento de bandwidth pelo aumento da memória (bancos de memória). 4 bancos de memória □ 15 ciclos para 4 palavras (um de cada banco) □ miss penalty = 1+ 1 X 15 + 4 X 1 = 20 ciclos.

O número de bytes transferidos por ciclo de clock em um miss = $(4 \times 4) / 20 = 0.80$.

Bibliografia Base

STALLINGS, William. Arquitetura e Organização de Computadores. São Paulo: Pearson Education do Brasil, 2002.

MONTEIRO, Mário A. Introdução a Organização de Computadores. Rio de Janeiro: LTC, 2002.

David A. Patterson & John L. Hennessy. **Organização e projeto de computadores a interface Hardware/Software.** Tradução: Nery Machado Filho. Morgan Kaufmmann Editora Brasil: LTC, 2000.