

Arquitetura de Computadores III

Arquitetura de Suporte Multithreading

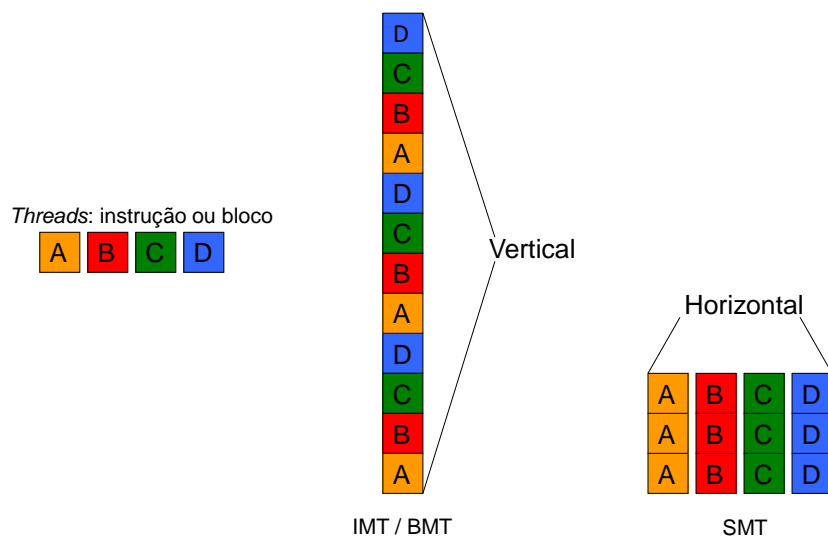
2024

Arquitetura de Computadores III - Engenharia e Ciência da Computação - PUC Minas

209

209

Suporte a múltiplas threads



2024

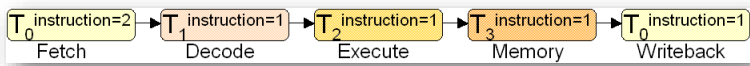
Arquitetura de Computadores III - Engenharia e Ciência da Computação - PUC Minas

210

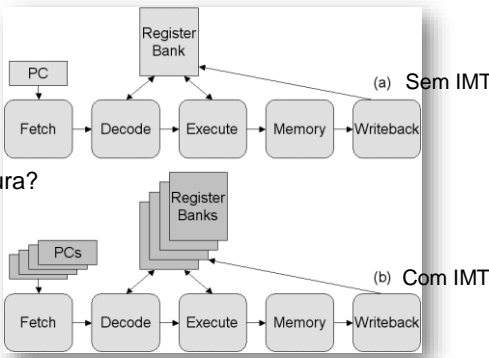
210

Suporte a múltiplas threads

Quantas instruções são executadas simultaneamente?



Qual o impacto na arquitetura?



FREITAS, H. C.; MADRUGA, F. L.; ALVES, M. A. Z.; NAVAUX, P. O. A. Design of Interleaved Multithreading for Network Processors on Chip, IEEE International Symposium on Circuits and Systems, ISCAS, Taipei, p. 2213-2216, 2009

2024

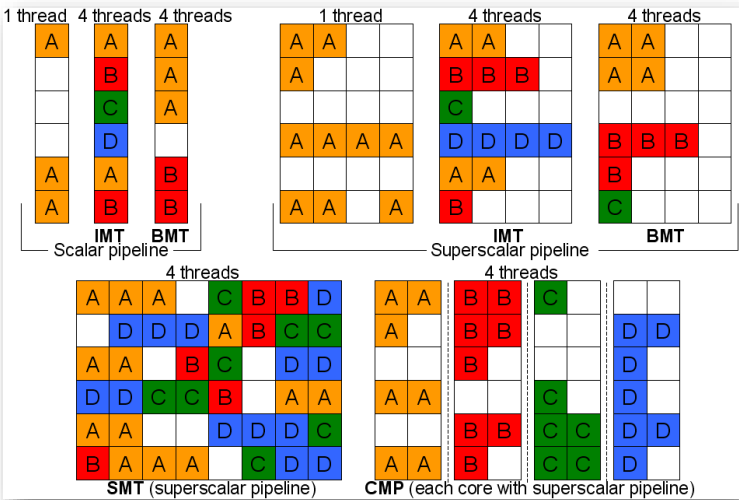
Arquitetura de Computadores III - Engenharia e Ciência da Computação - PUC Minas

211

211

Suporte a múltiplas threads

CMT: Chip Multithreading



FREITAS, H. C.; MADRUGA, F. L.; ALVES, M. A. Z.; NAVAUX, P. O. A. Design of Interleaved Multithreading for Network Processors on Chip, IEEE International Symposium on Circuits and Systems, ISCAS, Taipei, p. 2213-2216, 2009

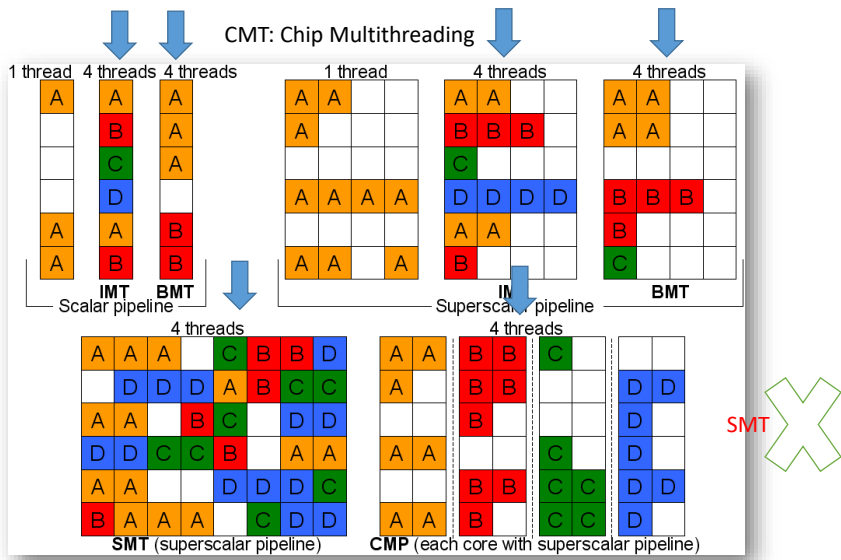
2024

Arquitetura de Computadores III - Engenharia e Ciência da Computação - PUC Minas

212

212

Suporte a múltiplas threads



FREITAS, H. C.; MADRUGA, F. L.; ALVES, M. A. Z.; NAVALUX, P. O. A. Design of Interleaved Multithreading for Network Processors on Chip, IEEE International Symposium on Circuits and Systems, ISCAS, Taipei, p. 2213-2216, 2009

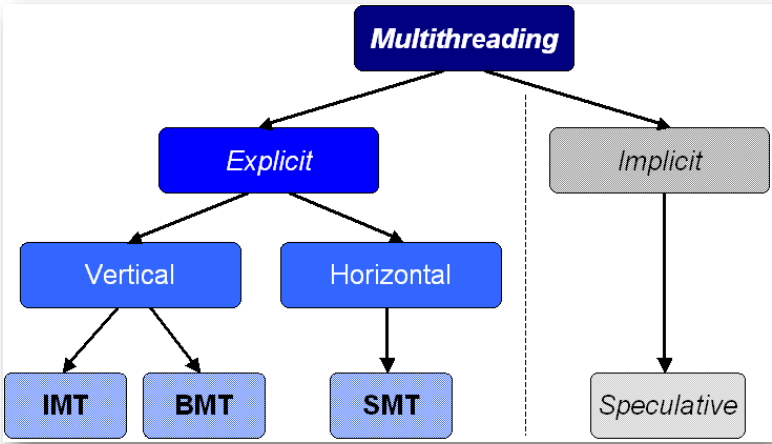
2024

Arquitetura de Computadores III - Engenharia e Ciência da Computação - PUC Minas

213

213

Suporte a múltiplas threads



2024

Arquitetura de Computadores III - Engenharia e Ciência da Computação - PUC Minas

214

214

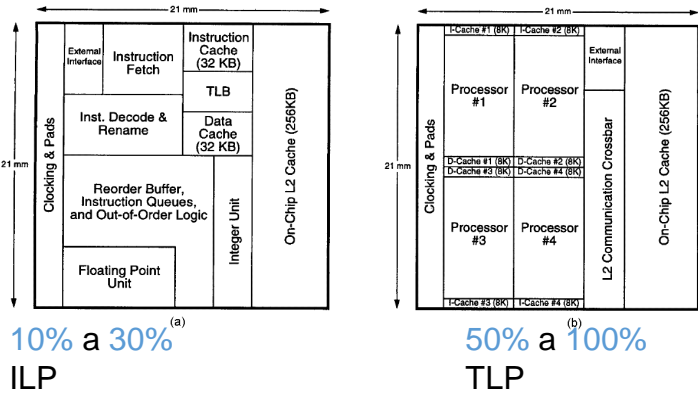
Suporte a múltiplas threads (foco no SMT)

- Benefícios:
 - CPI => IPC (Superescalar).
 - Vazão de instruções (Superescalar) => Vazão de threads (SMT).
 - Ilusão de mais de um núcleo de processamento.
 - Não existe o esvaziamento de pipeline comum no BMT.
 - Não há atraso na execução de threads, comum no IMT/BMT.
- Desafios / Problemas:
 - Tamanho da arquitetura.
 - Banco de registradores muito grande para guardar vários contextos.
 - Divisão de recursos e equilíbrio de desempenho.
 - Conflitos de cache sem degradação de desempenho.

215

Processadores multicore

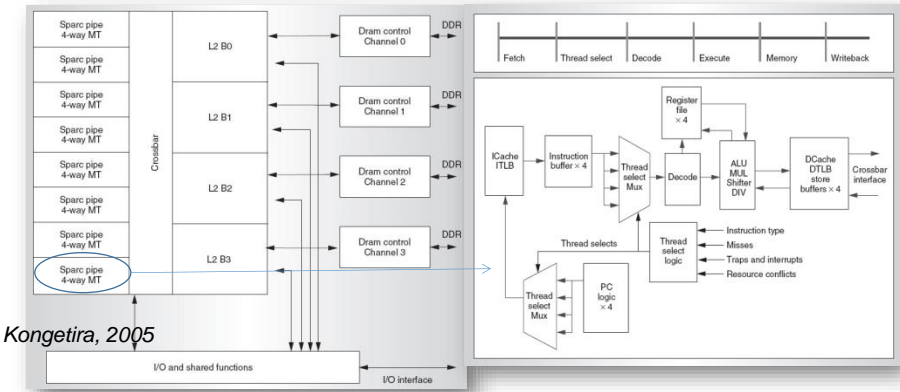
- (a) Superescalaridade de seis vias de execução.
- (b) Chip multicore. Cada core superescalar com duas vias de execução.



OLUKOTUN, K. et al., The Case for a Single-Chip Multiprocessor, 7th International Conference on Architectural Support for Programming Languages and Operating Systems, p. 2-11, 1996.

216

Processadores multicore



Kongetira, 2005

- Suporte a 4 threads IMT por núcleo (32 threads ativas, 8 threads simultâneas).
- Crossbar switch de 134,4 GB/s.
- 4 canais DDR 23GB/s.
- Potência < 80W.

KONGETIRA, P. et al., Niagara: a 32-way multithreaded Sparc processor, IEEE MICRO, v. 25, Issue 2, p. 21-29, March-April 2005.

2024

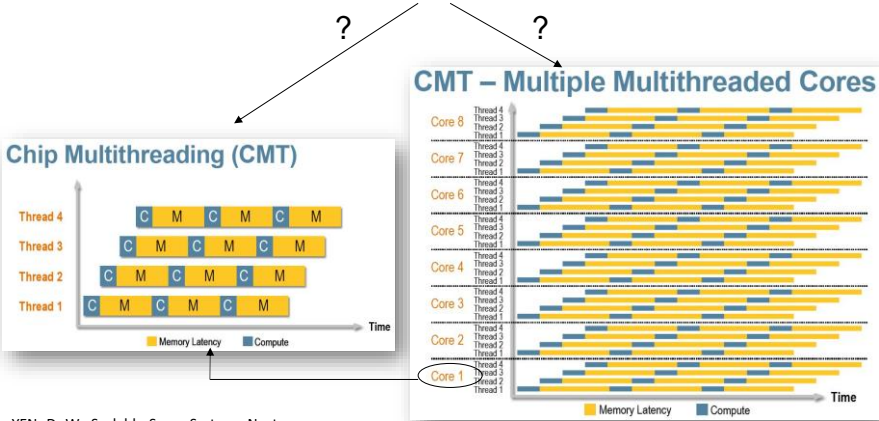
Arquitetura de Computadores III - Engenharia e Ciência da Computação - PUC Minas

217

217

Processadores multicore

Quantas threads simultâneas?



YEN, D. W., Scalable Sparc Systems Next-Generation Computing, Scalable Systems Group, Sun Microsystems, 2005

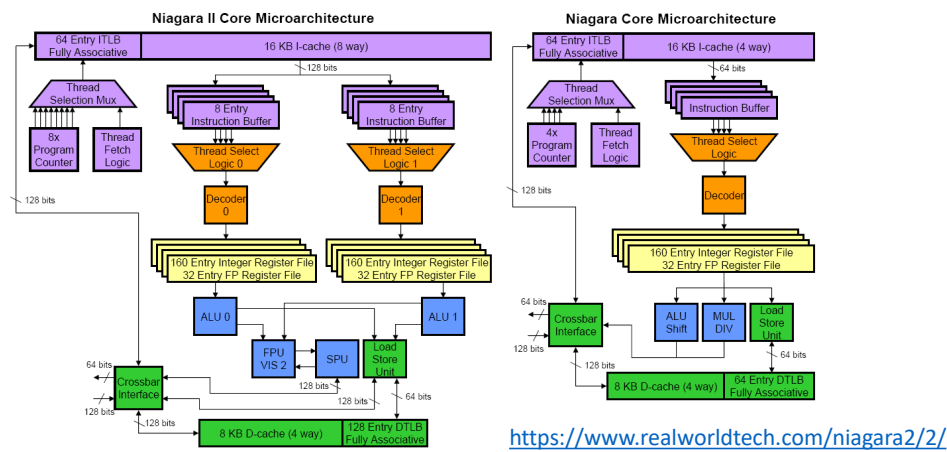
2024

Arquitetura de Computadores III - Engenharia e Ciência da Computação - PUC Minas

218

218

Processadores multicore

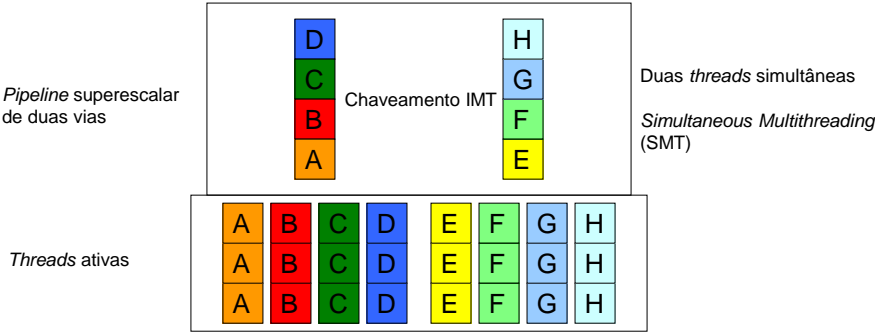


- Suporte a 8 threads por núcleo (64 threads ativas, 16 threads simultâneas).
- Instruções executadas em ordem, previsão de desvio estático ou pela última decisão tomada.
- Crossbar switch de 268,8 GB/s.

219

Processadores multicore

- SMT combinado com IMT em chip multi-core.
 - Superescalaridade associada a SMT com entrelaçamento de instruções.
 - Aumenta desempenho para cargas de trabalho de propósitos gerais.
 - Reduz tamanho e complexidade da arquitetura superescalar do processador.



220