

Tranzystor unipolarny

Łukasz Jezapkowicz

10.05.2019

Spis treści

1	Wyznaczenie wartości napięcia progowego U_T tranzystora unipolarnego	3
1.1	Cel ćwiczenia	3
1.2	Przebieg ćwiczenia	3
1.3	Wnioski	4
2	Tranzystor unipolarny w układzie wzmacniacza sygnałów zmiennych	4
2.1	Cel ćwiczenia	4
2.2	Przebieg ćwiczenia	5
2.3	Wnioski	9
3	Tranzystor unipolarny jako klucz przełączający	9
3.1	Cel ćwiczenia	9
3.2	Przebieg ćwiczenia	9
3.3	Wnioski	11
4	Wstęp do układów logicznych	11
4.1	Cel ćwiczenia	11
4.2	Przebieg ćwiczenia	11
4.3	Wnioski	13
5	Inwerter logiczny	13
5.1	Cel ćwiczenia	13
5.2	Przebieg ćwiczenia	14
5.3	Wnioski	15
6	Bramka NAND	15
6.1	Cel ćwiczenia	15
6.2	Przebieg ćwiczenia	15
6.3	Wnioski	16
7	Bramka AND	16
7.1	Cel ćwiczenia	16
7.2	Przebieg ćwiczenia	16
7.3	Wnioski	18
8	Bramka NOR	18
8.1	Cel ćwiczenia	18
8.2	Przebieg ćwiczenia	18
8.3	Wnioski	19

9	Bramka OR	19
9.1	Cel ćwiczenia	19
9.2	Przebieg ćwiczenia	19
9.3	Wnioski	20

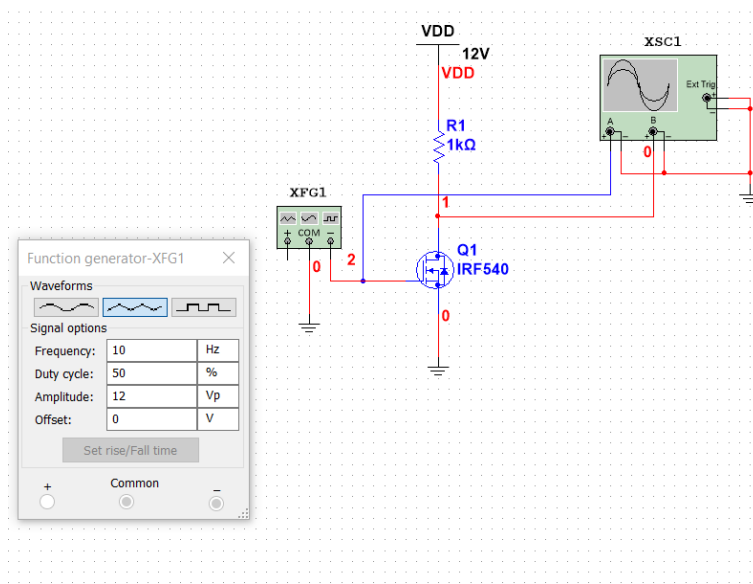
1 Wyznaczenie wartości napięcia progowego U_T tranzystora unipolarnego

1.1 Cel ćwiczenia

Celem ćwiczenia było zapoznanie się z prostym obwodem elektrycznym zawierającym tranzystor unipolarny oraz wyznaczenie wartości napięcia progowego U_T tranzystora unipolarnego typu NMOS.

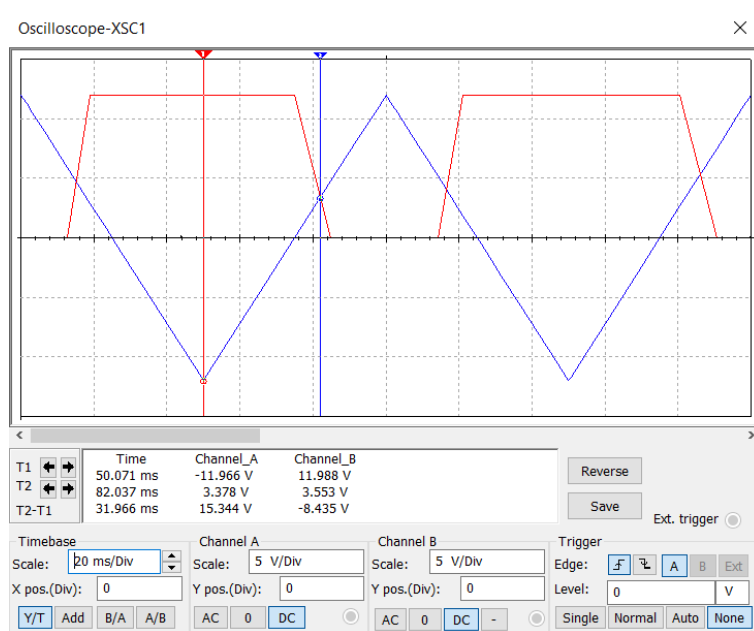
1.2 Przebieg ćwiczenia

Na pulpicie symulacyjnym zbudowałem obwód elektryczny widoczny na **Rys. 1**. Przedstawiony poniżej układ zawiera źródło napięcia $V_{DD} = 12V$, rezystor $R_1 = 1k\Omega$ oraz tranzystor unipolarny *IRF540* typu NMOS. Do układu podłączyłem również oscyloskop dzięki, któremu zbadałem zależności napięcia sterującego U_{GS} i napięcia U_{DS} na drenie tranzystora. Na bramkę tranzystora podałem sygnał liniowo narastający o niskiej częstotliwości - sygnał trójkątny o parametrach : częstotliwości równej $10Hz$, wypełnienia równego 50% oraz amplitudy $12V$.

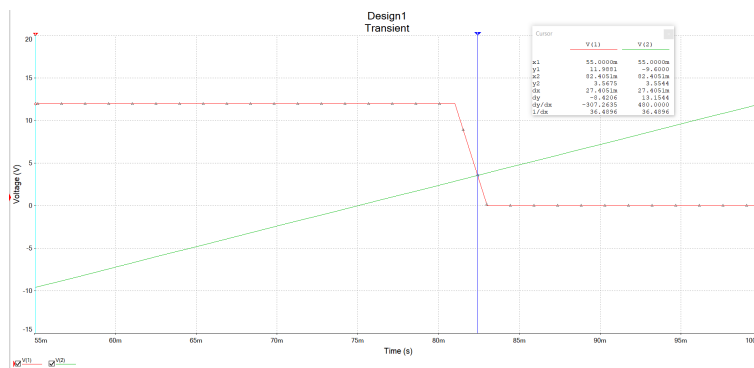


Rys. 1: Schemat obwodu elektrycznego z tranzystorem typu NMOS z podłączonym oscyloskopem oraz liniowo narastającym sygnałem trójkątnym.

Przy użyciu ekranu oscyloskopu oraz analizy Transient odczytałem punkt przecięcia przebiegu wejściowego narastającego liniowo i przebiegu wyjściowego z drenu tranzystora. Odczytany punkt to nasze poszukiwane napięcie progowe U_T . Ekran oscyloskopu oraz wyniki analizy Transient widać odpowiednio na **Rys. 2** oraz **Rys. 3**. Przy użyciu analizy Transient odczytałem wartość $U_T = 3.5544V$.



Rys. 2: Ekran oscyloskopu dla obwodu elektrycznego widocznego na Rys. 1. Wskaźnik numer 2 wyznacza napięcie progowe U_T tranzystora.



Rys. 3: Wyniki analizy Transient dla obwodu elektrycznego widocznego na Rys. 2. Wskaźnik numer 2 wyznacza napięcie progowe U_T tranzystora.

1.3 Wnioski

Po przekroczeniu wartości napięcia progowego U_T w tranzystorze zaczyna płynąć coraz większy prąd I_D a więc napięcie wyjściowe U_{WY} zgodnie z wzorem $U_{WY} = U_{DD} - I_D * R_D$ maleje. Analiza przebiegu napięcia wejściowego i wyjściowego pozwala na dokładne wyznaczenie wartości napięcia progowego.

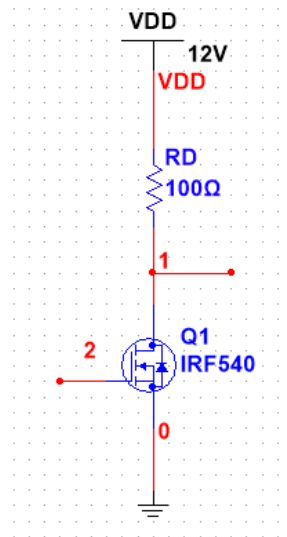
2 Tranzystor unipolarny w układzie wzmacniacza sygnałów zmiennych

2.1 Cel ćwiczenia

Celem ćwiczenia było zapoznanie się z prostym obwodem elektrycznym zawierającym tranzystor w układzie wzmacniacza sygnałów zmiennych i wyznaczenie punktu pracy $Q(U_{DS}, I_D)$ oraz wartości transkonduktancji g_m i wzmocnienia napięciowego k_u .

2.2 Przebieg ćwiczenia

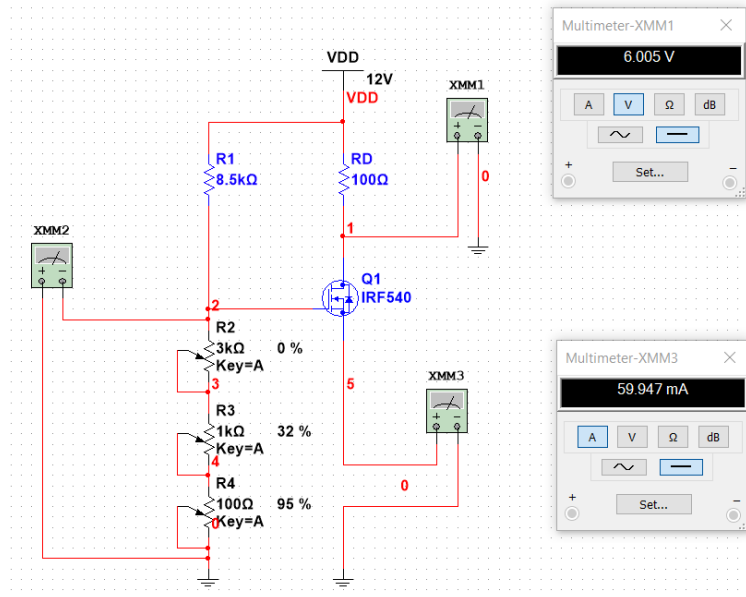
Na **Rys.4** zamieściłem bazowy układ wzmacniacza sygnałów zmiennych z tranzystorem unipolarnym NMOS *IRF540*.



Rys. 4: Bazowy układ wzmacniacza sygnałów zmiennych z tranzystorem unipolarnym NMOS *IRF540*.

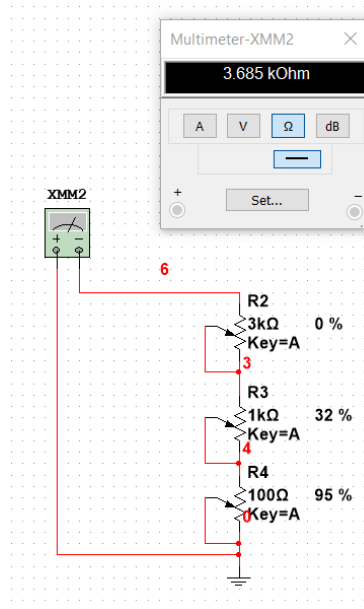
Używając prawa Ohma i praw Kirchhoffa można obliczyć punkt pracy $Q(U_{DS}, I_D)$. Do obliczenia punktu pracy użyłem następujących podstawowych zależności dotyczących działania tranzystora w obwodzie: $U_{W_y} = \frac{U_{DD}}{2} = U_{DS}$ oraz $I_D = \frac{U_{DD} - U_{W_y}}{R_D}$. Po podstawieniu wartości z obwodu na **Rys. 4**: $U_{W_y} = \frac{12V}{2} = 6V$, $I_D = \frac{12V - 6V}{100\Omega} = 60mA$.

Następnie na pulpicie symulacyjnym zbudowałem układ widoczny na **Rys. 5** zawierający źródło napięcia o wartości 12V, dwa rezystory $R_D = 100\Omega$ oraz $R_1 = 8.5k\Omega$, 3 potencjometry $R_2 = 3k\Omega$, $R_3 = 1k\Omega$ oraz $R_4 = 100\Omega$, tranzystor unipolarny typu NMOS oraz 3 podłączone multimetry, dzięki którym mogłem zmierzyć U_{W_y} , I_D oraz opór zastępczy trzech potencjometrów. Potencjometry ustawiłem empirycznie w taki sposób by wyniki pomiarów zgadzały się z wyliczonym wcześniej punktem pracy $Q(6V, 60mA)$.

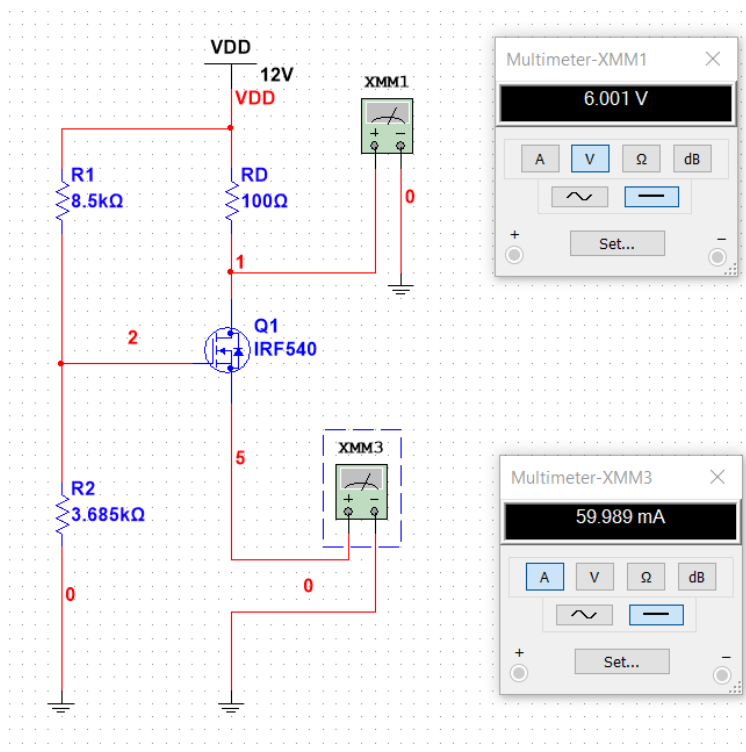


Rys. 5: Schemat obwodu elektrycznego z tranzystorem NMOS, źródłem napięcia V_{DD} , dwoma rezystorami R_D, R_1 oraz 3 potencjometrami R_2, R_3 oraz R_4 tworzącymi potencjometryczny układ polaryzacji.

Następnie obliczyłem obwód zastępczy trzech potencjometrów przy pomocy multimetru $XMM2$ co widać na **Rys. 6**. Obliczony opór zastępczy zastąpiłem jednym rezystorem R_2 o wartości rezystancji $3.685k\Omega$. Zmiana ta niemal nie zmieniła wartości U_{W_y} oraz I_D w obwodzie więc nie zmieniałem wartości oporu wskazanego przez multimetr $XMM2$. Obwód z rezystorem R_2 widać na **Rys. 7**.

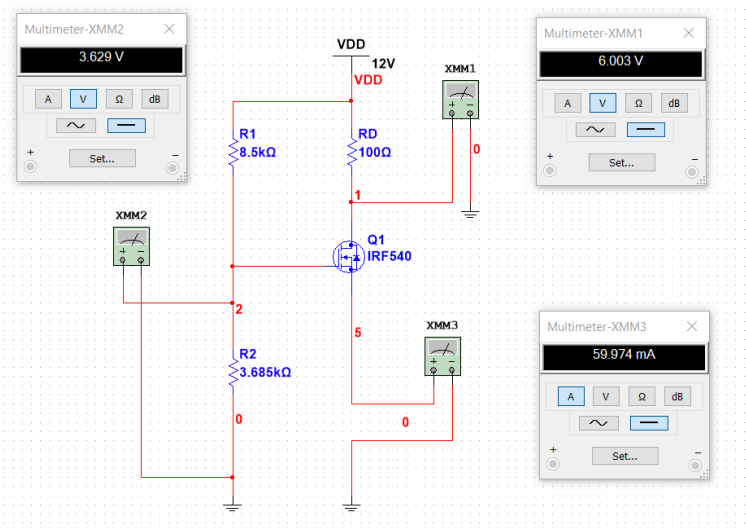


Rys. 6: Układ trzech potencjometrów R_2, R_3, R_4 z obliczonym oporem zastępczym.



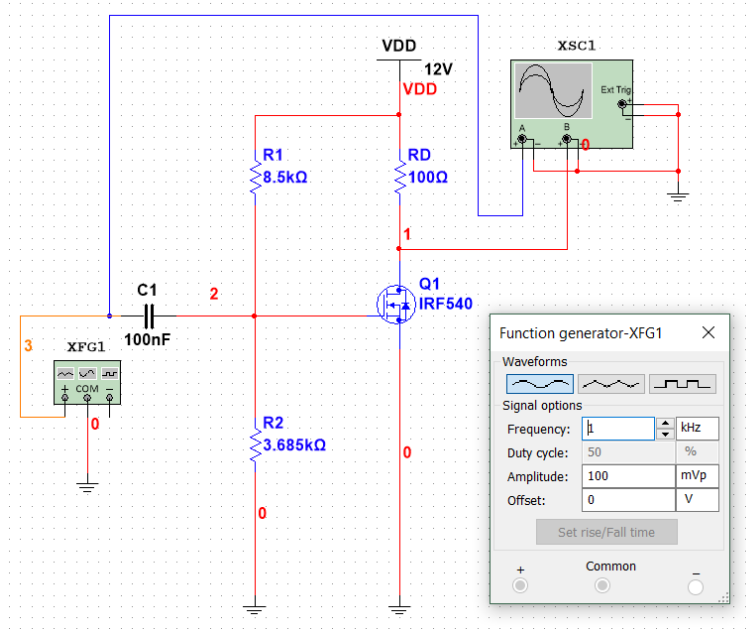
Rys. 7: Schemat obwodu elektrycznego z tranzystorem NMOS, źródłem napięcia V_{DD} i trzema rezystorami R_D, R_1 oraz R_2 , który zastąpił wcześniejsze potencjometry.

Następnie do obwodu z **Rys. 7** podłączyłem multimetr $XMM2$ pozwalający zmierzyć U_{GS} , którego zmierzoną wartość $3.629V$ użyłem do obliczenia transkonduktancji używając wzoru: $g_m = \frac{I_D}{U_{GS}} = \frac{59.974mA}{3.629V} = 0.0165S$.



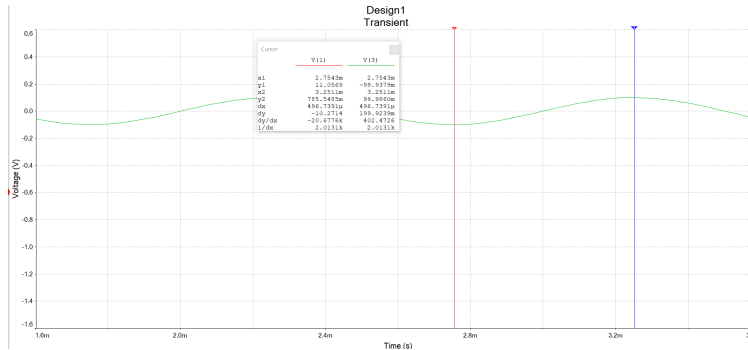
Rys. 8: Schemat obwodu elektrycznego z Rys. 7 z podłączonym multimetrem mierzącym U_{GS} .

Na koniec w celu obliczenia wzmocnienia napięciowego k_u dołączyłem do obwodu generator - źródło sygnału zmiennego $XFG1$ o parametrach: częstotliwość $1kHz$, amplituda $100mV$, składowa stała $0V$. Do obwodu dołączyłem również kondensator $C_1 = 100nF$ oraz oscyloskop $XSC1$, do którego podłączyłem sygnał z generatora oraz z drenu tranzystora.

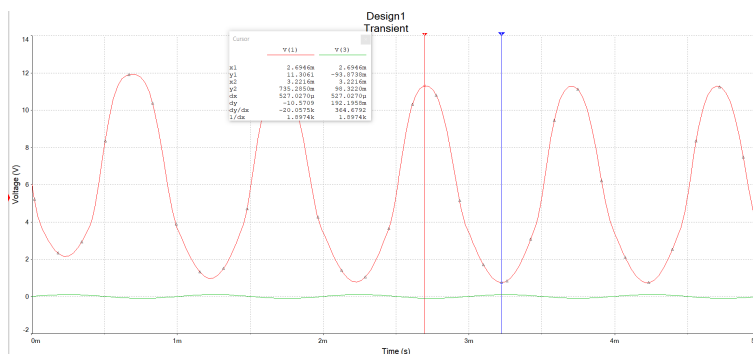


Rys. 9: Schemat obwodu elektrycznego z źródłem sygnału zmiennego *XFG1* oraz dołączonym oscyloskopem *XSC1*.

Do obliczenia wzmocnienia napięciowego k_u posłużyłem się wzorem $k_u = \frac{\Delta u_{wy}}{\Delta u_{we}}$. W tym celu obliczyłem podwojoną amplitudę sygnału wyjściowego równą $-10.57V$ oraz podwojoną amplitudę sygnału wejściowego równą $199.972mV$. Wyniki takie otrzymałem dzięki pomiarom z analizy Transient widocznym na **Rys. 10** oraz **Rys. 11**. Ponieważ sygnał wejściowy i wyjściowy są względem siebie obrócone to do zmiany sygnału wyjściowego dołączyłem znak minus. Obliczona wartość wzmocnienia napięciowego: $k_u = \frac{-10.57V}{199.972mV} = -52.8614$.



Rys. 10: Pomiary analizy Transient z zaznaczonymi punktami napięcia wejściowego pozwalającymi obliczyć podwojoną amplitudę sygnału wejściowego.



Rys. 11: Pomiary analizy Transient z zaznaczonymi punktami napięcia wyjściowego pozwalającymi obliczyć podwojoną amplitudę sygnału wyjściowego.

Wszelkie obliczenia zawarte w tym ćwiczeniu umieściłem w tabeli widocznej na **Rys.12**.

Tranzystor IRF540 $U_{DD}=12V$	$R_D [\Omega]$	$U_{GS} [V]$	$U_{WS}=U_{DS} [V]$	$I_D [A]$	Punkt pracy (U_{DS}, I_D)	Wzmocnienie napięciowe k_o	Transkonduktancja $g_m [S]$
Wartości zmierzone	100	3.629	6.003	59.974m	(6.003V, 59.974mA)	52.8614	0.0165

Rys. 12: Tabela zawierająca wszystkie obliczone wartości w układzie w ćwiczeniu.

2.3 Wnioski

Do sterowania składową stałą sygnału można skutecznie użyć dzielnika napięcia. Użyte w ćwiczeniu potencjometry pozwoliły skutecznie obliczyć opór zastępczy, który pozwolił osiągnąć szukany punkt pracy Q . W ćwiczeniu zaobserwowaliśmy również odwrócenie sygnału wejściowego oraz jego wzmocnienie, policzyliśmy również charakterystyczne parametry obwodu: wzmocnienie napięciowe oraz transkonduktancję.

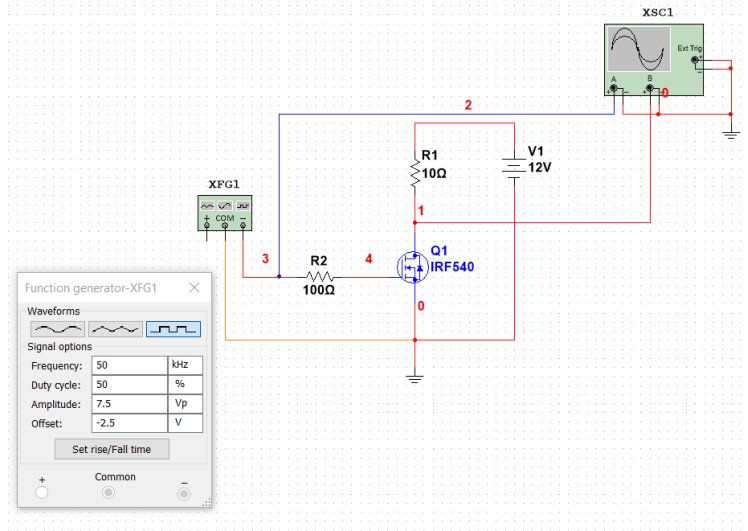
3 Tranzystor unipolarny jako klucz przełączający

3.1 Cel ćwiczenia

Celem ćwiczenia była obserwacja działania tranzystora unipolarnego jako klucza przełączającego przy pomocy prostego obwodu elektrycznego i zmierzenie czasów włączania i wyłączania tranzystora.

3.2 Przebieg ćwiczenia

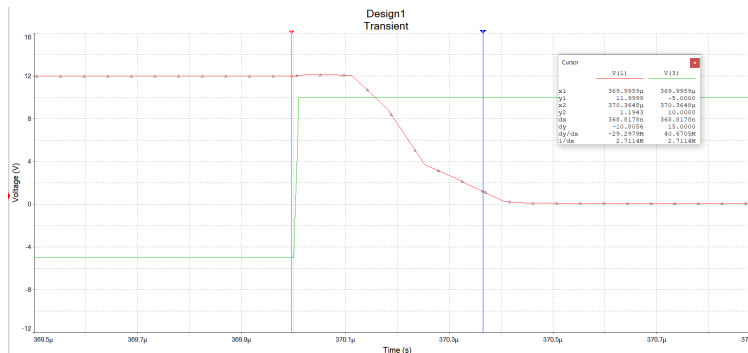
Na pulpicie symulacyjnym zbudowałem obwód elektryczny tranzystora unipolarnego pracującego jako klucz przełączający zawierający tranzystor unipolarny NMOS, dwa rezystory $R_1 = 10\Omega$ oraz $R_2 = 100\Omega$ oraz źródło napięcia stałego o wartości $V_1 = 12V$. Do układu podłączyłem również generator $XFG1$ z sygnałem prostokątnym o częstotliwości $50kHz$ z współczynnikiem wypełnienia 50% oraz oscyloskop $XSC1$. Układ widoczny jest na **Rys.13**.



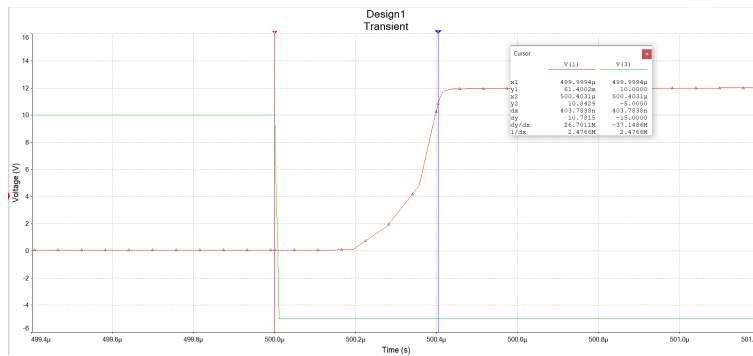
Rys. 13: Schemat obwodu elektrycznego z tranzystorem unipolarnym pracującym jako klucz przełączający.

Wartości amplitudy i offset'u generatora należało wybrać w taki sposób by górny poziom napięcia wejściowego E_F oraz dolny poziom napięcia wejściowego E_R były zgodne z wartościami widocznymi w tabeli na **Rys. 16**. Do wyznaczenia odpowiednich wartości użyłem ekranu oscyloskopu, na którym w łatwy sposób mogłem obserwować wartości górnego i dolnego poziomu napięcia.

Następnie zmierzyłem czasy włączenia i wyłączenia tranzystora dla każdej kombinacji parametrów z tabeli. Do obliczenia ich użyłem analizy Transient. Czas włączania $t_{ON} = t_{d(on)} + t_r$, gdzie $t_{d(on)}$ to czas opóźnienia włączenia tranzystora (delay time) czyli czas pomiędzy początkiem impulsu wejściowego a chwilą gdy prąd drenu jest równy 10% swojej wartości max (w tym przypadku oznacza to napięcie wyjściowe 10.8V) zaś t_r to czas narastania prądu drenu od 10% do 90% wartości max (oznacza to spadek napięcia wyjściowego z 10.8V do 1.2V). Zadanie można więc uprościć mierząc czas od początku impulsu wejściowego do osiągnięcia wartości napięcia wyjściowego 1.2V. Odpowiedni pomiar widać na **Rys. 14**: $t_{ON} = 368.8178ns$. Czas wyłączenia $t_{OFF} = t_{d(off)} + t_f$, gdzie $t_{d(off)}$ to czas opóźnienia wyłączenia tranzystora (delay time) czyli czas pomiędzy końcem impulsu wejściowego a chwilą gdy prąd drenu jest równy 90% swojej wartości max (w tym przypadku oznacza to napięcie wyjściowe 1.2V) zaś t_r to czas opadania prądu drenu od 90% do 10% wartości max (oznacza to wzrost napięcia wyjściowego z 1.2V do 10.8V). Zadanie można więc uprościć mierząc czas od końca impulsu wejściowego do osiągnięcia wartości napięcia wyjściowego 10.8V. Odpowiedni pomiar widać na **Rys. 15**: $t_{OFF} = 403.7838ns$.



Rys. 14: Analiza Transient pozwalająca znaleźć czas włączania tranzystora. Wynik należy odczytać z tabelki ze zmiennej dx.



Rys. 15: Analiza Transient pozwalająca znaleźć czas wyłączenia tranzystora. Wynik należy odczytać z tabelki ze zmiennej dx.

Resztę przypadków zmierzyłem w ten sam sposób. Wszystkie zmierzone wartości widać w tabeli na **Rys. 16**.

Lp.	EF[V]	ER[V]	Amplituda [V]	Offset [V]	Czas włączania [s]	Czas wyłączenia [s]
1.	10	-5	7.5	-2.5	368.8178n	403.7838n
2.	10	0	5	-5	294.5946n	793.7838n
3.	5	-5	5	0	1422.700n	231.0195n
4.	5	0	2.5	-2.5	1297.300n	512.9730n

Rys. 16: Tabela podsumowująca ćwiczenie z wszystkimi zmierzonymi wartościami czasów włączania i wyłączenia.

3.3 Wnioski

Wykonane ćwiczenie pokazuje, że odpowiedni układ z tranzystorem można skutecznie stosować jako klucz przełączający. W ćwiczeniu obliczyliśmy również wartości czasu włączania i wyłączenia tranzystora dla różnych górnych i dolnych poziomów napięcia wejściowego E_R oraz E_F . Ćwiczenie pokazało, że dla różnych wartości obliczone czasy znacznie się różnią.

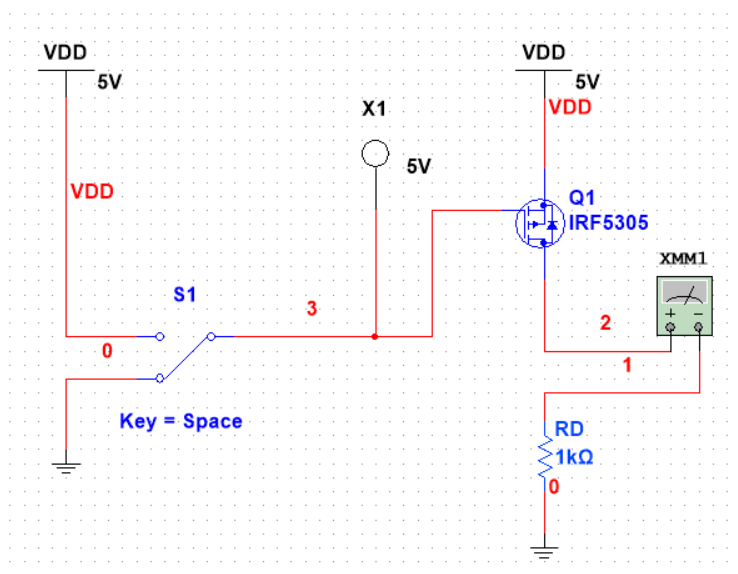
4 Wstęp do układów logicznych

4.1 Cel ćwiczenia

Celem ćwiczenia było zapoznanie się z prostym układem logicznym zbudowanym z tranzystora NMOS/PMOS oraz sprawdzenie stanu tranzystorów w zależności od napięcia podanego na bramkę.

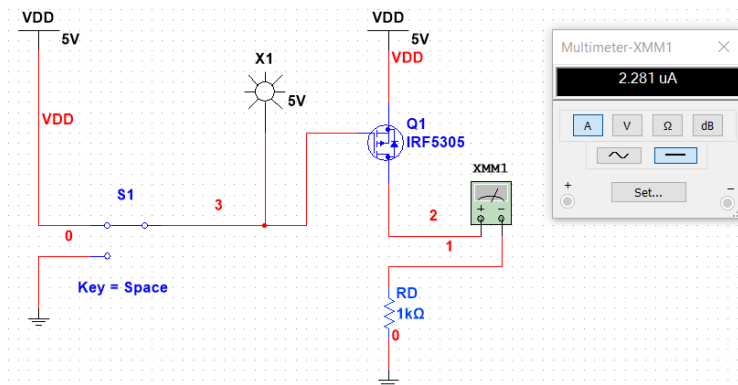
4.2 Przebieg ćwiczenia

Na pulpicie symulacyjnym zbudowałem obwód elektryczny zawierający źródła napięcia $V_{DD} = 5V$, przełącznika podającego na bramkę tranzystora sygnał wysoki 1 o amplitudzie 5V lub sygnał niski 0V. Sprawdziłem jego zachowanie po podaniu wysokiego i niskiego sygnału na bramkę. Układ widoczny jest na **Rys. 17**.



Rys. 17: Schemat obwodu elektrycznego z tranzystorem PMOS oraz przełącznikiem.

Dołączony multimetr *XMM1* pozwala sprawdzić prąd w obwodzie drenu. Na wyjściu będzie sygnał wysoki 1 jeżeli w obwodzie drenu będzie płynął prąd rzędu mA za sygnał 0 jeśli prąd rzędu μA . Na **Rys. 18** widać wyniki pomiaru dla sygnału wysokiego na wejściu. Prąd rzędu μA pokazuje, że na wyjściu mamy sygnał 0. Wyniki reszty pomiarów pokazane są w tabeli na **Rys. 19**.

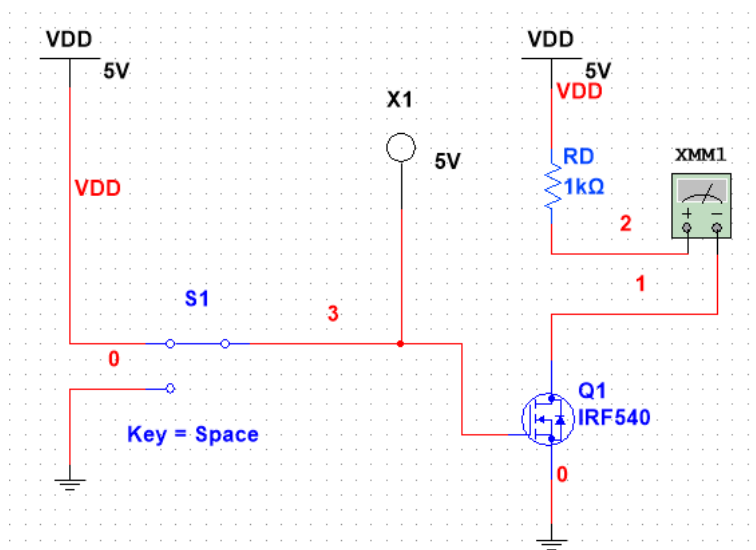


Rys. 18: Wyniki pomiaru prądu na drenie dla sygnału wejściowego 1 - sygnał 0 na wyjściu.

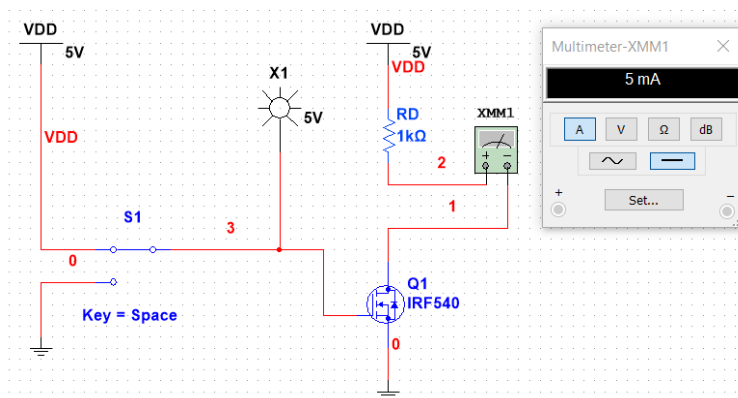
Sygnał na bramce tranzystora	Stan tranzystora PMOS (włączony/wyłączony)
1	Wyłączony
0	Włączony

Rys. 19: Tabela pokazująca zależność sygnału wyjściowego od sygnału wejściowego w obwodzie.

W obwodzie wymieniałem tranzystor unipolarny PMOS na NMOS oraz wykonałem takie same działania jak wcześniej. Układ widoczny jest na **Rys. 20**. Na **Rys. 21** widać wyniki pomiaru dla sygnału wysokiego na wejściu. Prąd rzędu mA pokazuje, że na wyjściu mamy sygnał 1. Wyniki reszty pomiarów pokazane są w tabeli na **Rys. 22**.



Rys. 20: Schemat obwodu elektrycznego z tranzystorem NMOS oraz przełącznikiem.



Rys. 21: Wyniki pomiaru prądu na drenie dla sygnału wejściowego 1 - sygnał 1 na wyjściu.

Sygnał na bramce tranzystora	Stan tranzystora NMOS (włączony/wyłączony)
1	Włączony
0	Wyłączony

Rys. 22: Tabela pokazująca zależność sygnału wyjściowego od sygnału wejściowego w obwodzie.

4.3 Wnioski

Wykonane ćwiczenie pokazuje, że układy tranzystorów można skutecznie używać do prostych układów logicznych dzięki czemu możemy manipulować sygnałem na wyjściu przy użyciu sygnału wejściowego.

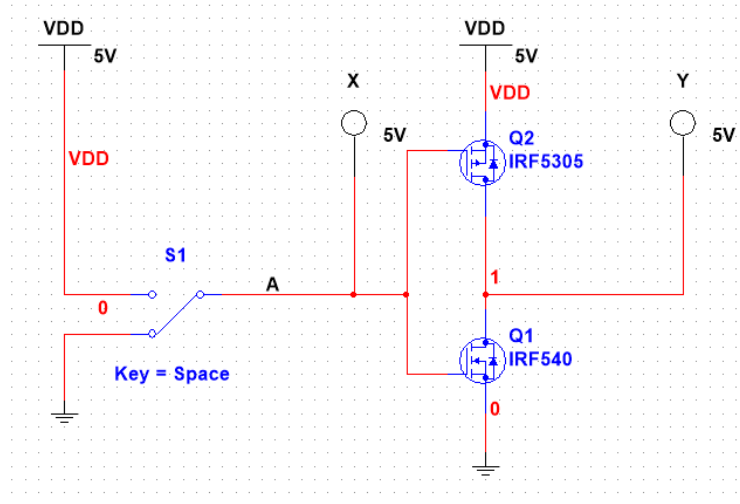
5 Inwerter logiczny

5.1 Cel ćwiczenia

Celem ćwiczenia było zapoznanie się z prostym układem logicznym inwertera logicznego zbudowanym z tranzystora NMOS i PMOS oraz sprawdzenie stanu tranzystorów w zależności od napięcia podanego na bramkę.

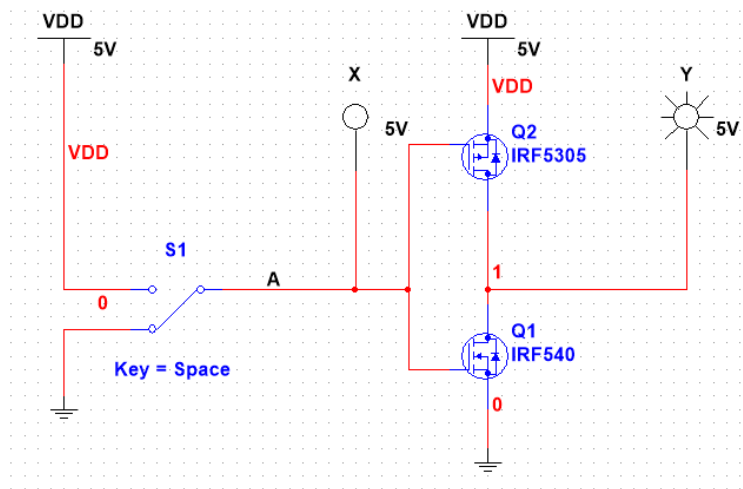
5.2 Przebieg ćwiczenia

Na pulpicie symulacyjnym zbudowałem obwód elektryczny inwertera logicznego zawierający źródła napięcia $V_{DD} = 5V$, przełącznika podającego na bramkę tranzystora sygnał wysoki 1 o amplitudzie 5V lub sygnał niski 0V. Sprawdziłem jego zachowanie po podaniu wysokiego i niskiego sygnału na bramkę. Układ widoczny jest na **Rys. 23**.



Rys. 23: Schemat obwodu elektrycznego inwertera logicznego z przełącznikiem.

Na **Rys. 24** widać wyniki pomiaru dla sygnału niskiego na wejściu. Lampka sygnalizacyjna na wyjściu wskazuje, że mamy sygnał wysoki na wyjściu. Wyniki reszty pomiarów pokazane są w tabeli na **Rys. 25**.



Rys. 24: Wyniki pomiaru prądu na drenie dla sygnału niskiego 0 - sygnał 1 na wyjściu.

A	Y
0	1
1	0

Rys. 25: Tabela pokazująca zależność sygnału wyjściowego od sygnału wejściowego w obwodzie inwertera logicznego.

5.3 Wnioski

Wykonane ćwiczenie pokazuje, że układy tranzystorów można skutecznie używać jako inwertera logicznego. Tabelka prawdy widoczna na **Rys. 25** pokazuje, że zastosowany układ jest poprawny.

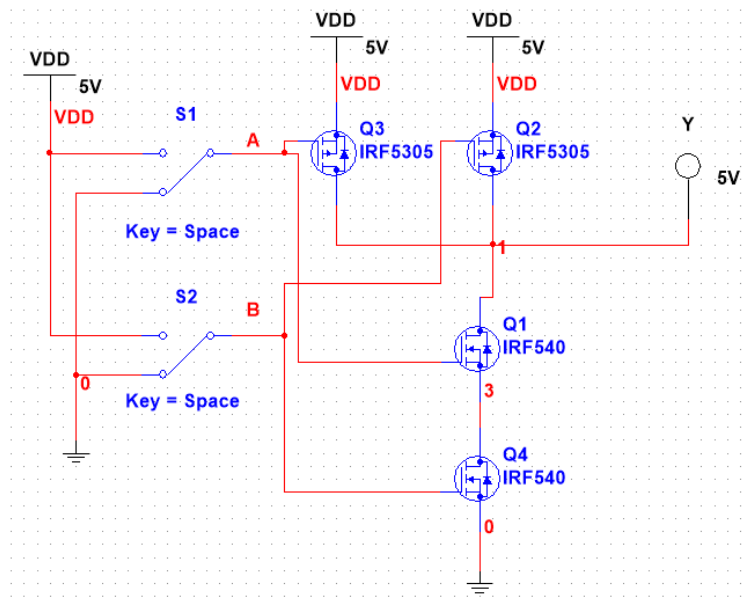
6 Bramka NAND

6.1 Cel ćwiczenia

Celem ćwiczenia było zapoznanie się z prostym układem logicznym bramki NAND zbudowanym z tranzystorów NMOS i PMOS oraz sprawdzenie stanu tranzystorów w zależności od napięcia podanego na bramkę.

6.2 Przebieg ćwiczenia

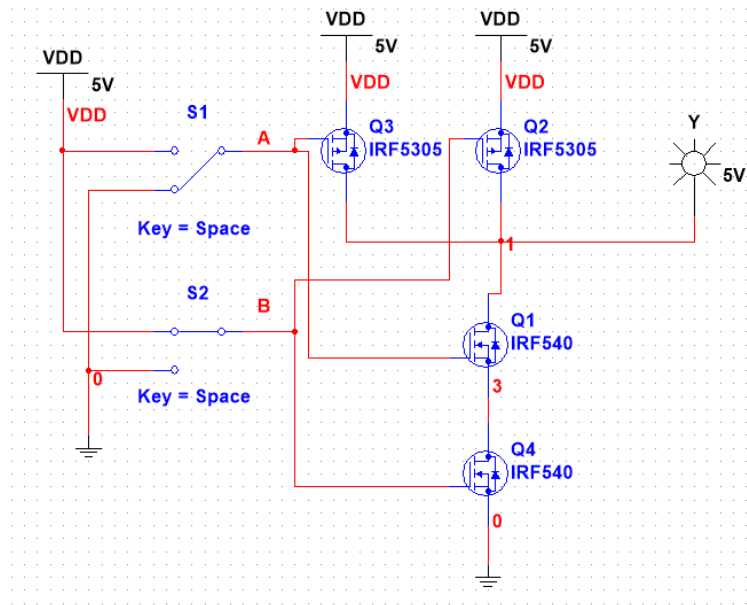
Na pulpicie symulacyjnym zbudowałem obwód elektryczny bramki NAND zawierający źródła napięcia $V_{DD} = 5V$, przełączników podających na bramkę tranzystora kombinację sygnałów niskim 0 i wysokich 1. Sprawdziłem jego zachowanie po podaniu wszystkich kombinacji sygnałów na wejściu. Układ widoczny jest na **Rys. 26**.



Rys. 26: Schemat obwodu elektrycznego bramki NAND z przełącznikami.

Na **Rys. 27** widać wyniki pomiaru dla sygnału niskiego na wejściu A oraz sygnału wysokiego na wejściu B. Lampka sygnalizacyjna na wyjściu wskazuje, że mamy sygnał wysoki na wyjściu. Wyniki reszty pomiarów

pokazane są w tabeli na **Rys. 28**.



Rys. 27: Wyniki pomiaru prądu na drenie dla sygnału niskiego na wejściu A oraz sygnału wysokiego na wejściu B - sygnał 1 na wyjściu.

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Rys. 28: Tabela pokazująca zależność sygnału wyjściowego od sygnałów wejściowych w obwodzie bramki NAND.

6.3 Wnioski

Wykonane ćwiczenie pokazuje, że układy tranzystorów można skutecznie używać jako bramki NAND. Tabelka prawdy widoczna na **Rys. 28** pokazuje, że zastosowany układ jest poprawny.

7 Bramka AND

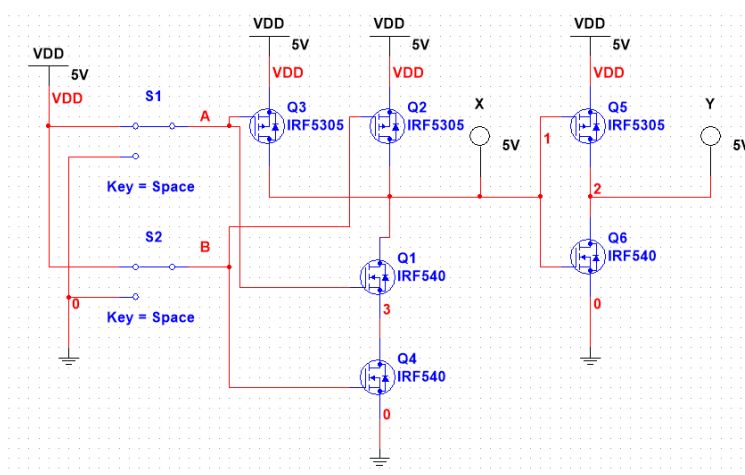
7.1 Cel ćwiczenia

Celem ćwiczenia było zapoznanie się z prostym układem logicznym bramki AND zbudowanym z tranzystorów NMOS i PMOS i inwertera logicznego oraz sprawdzenie stanu tranzystorów w zależności od napięcia podanego na bramkę.

7.2 Przebieg ćwiczenia

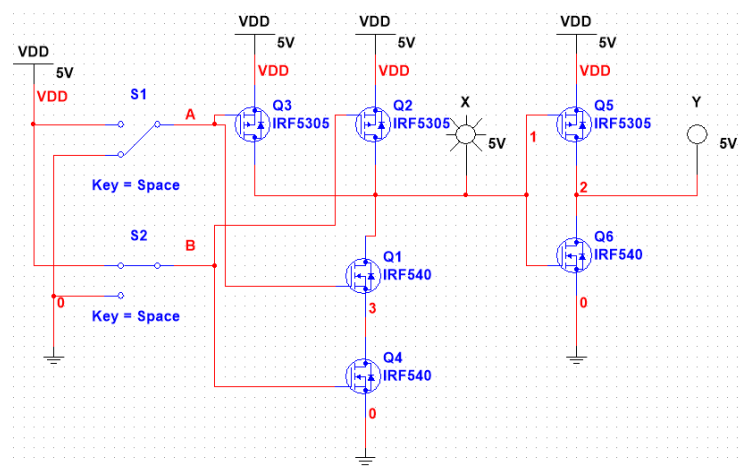
Na pulpicie symulacyjnym zbudowałem obwód elektryczny bramki AND zawierający źródła napięcia $V_{DD} = 5V$, przełączników podających na bramkę tranzystora kombinację sygnałów niskim 0 i wysokich

1. Sprawdziłem jego zachowanie po podaniu wszystkich kombinacji sygnałów na wejściu. Układ widoczny jest na **Rys. 29**.



Rys. 29: Schemat obwodu elektrycznego bramki AND z przełącznikami.

Na **Rys. 30** widać wyniki pomiaru dla sygnału niskiego na wejściu A oraz sygnału wysokiego na wejściu B. Lampka sygnalizacyjna na wyjściu wskazuje, że mamy sygnał niski na wyjściu. Wyniki reszty pomiarów pokazane są w tabeli na **Rys. 31**.



Rys. 30: Wyniki pomiaru prądu na drenie dla sygnału niskiego na wejściu A oraz sygnału wysokiego na wejściu B - sygnał 0 na wyjściu.

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Rys. 31: Tabela pokazująca zależność sygnału wyjściowego od sygnałów wejściowych w obwodzie bramki AND.

7.3 Wnioski

Wykonane ćwiczenie pokazuje, że układy tranzystorów można skutecznie używać jako bramki AND. Bramkę AND można otrzymać łącząc obwód bramki NAND z inwerterem logicznym. Tabela prawdy widoczna na **Rys. 31** pokazuje, że zastosowany układ jest poprawny.

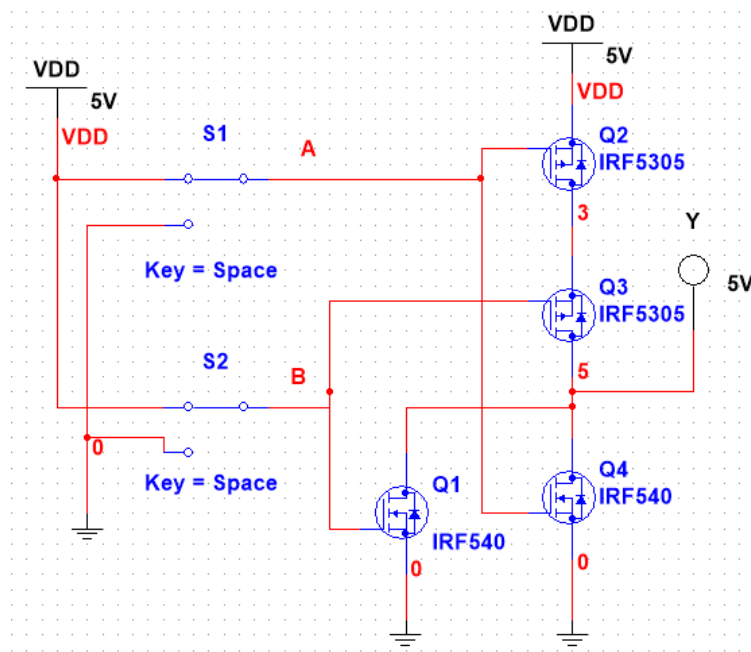
8 Bramka NOR

8.1 Cel ćwiczenia

Celem ćwiczenia było zapoznanie się z prostym układem logicznym bramki NOR zbudowanym z tranzystorów NMOS i PMOS oraz sprawdzenie stanu tranzystorów w zależności od napięcia podanego na bramkę.

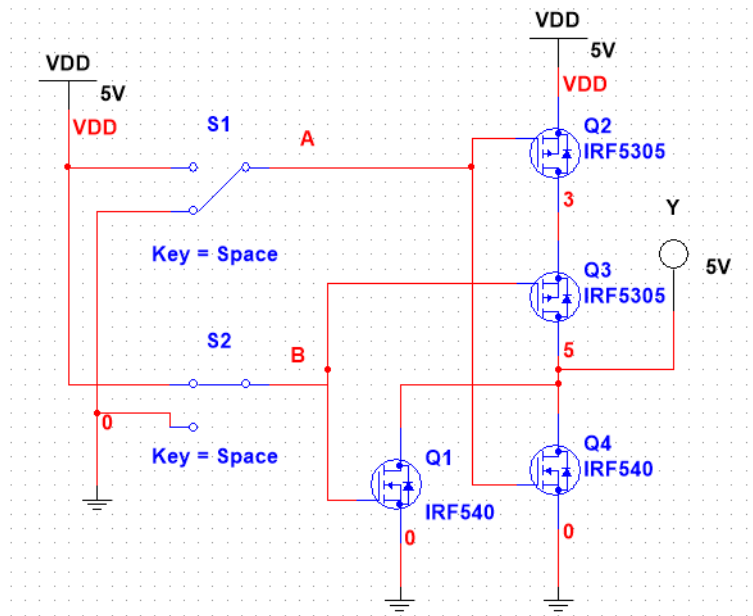
8.2 Przebieg ćwiczenia

Na pulpicie symulacyjnym zbudowałem obwód elektryczny bramki NOR zawierający źródła napięcia $V_{DD} = 5V$, przełączników podających na bramkę tranzystora kombinację sygnałów niskim 0 i wysokich 1. Sprawdziłem jego zachowanie po podaniu wszystkich kombinacji sygnałów na wejściu. Układ widoczny jest na **Rys. 32**.



Rys. 32: Schemat obwodu elektrycznego bramki NOR z przełącznikami.

Na **Rys. 33** widać wyniki pomiaru dla sygnału niskiego na wejściu A oraz sygnału wysokiego na wejściu B. Lampka sygnalizacyjna na wyjściu wskazuje, że mamy sygnał niski na wyjściu. Wyniki reszty pomiarów pokazane są w tabeli na **Rys. 34**.



Rys. 33: Wyniki pomiaru prądu na drenie dla sygnału niskiego na wejściu A oraz sygnału wysokiego na wejściu B - sygnał 0 na wyjściu.

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Rys. 34: Tabela pokazująca zależność sygnału wyjściowego od sygnałów wejściowych w obwodzie bramki NOR.

8.3 Wnioski

Wykonane ćwiczenie pokazuje, że układy tranzystorów można skutecznie używać jako bramki NOR. Tabelka prawdy widoczna na **Rys. 34** pokazuje, że zastosowany układ jest poprawny.

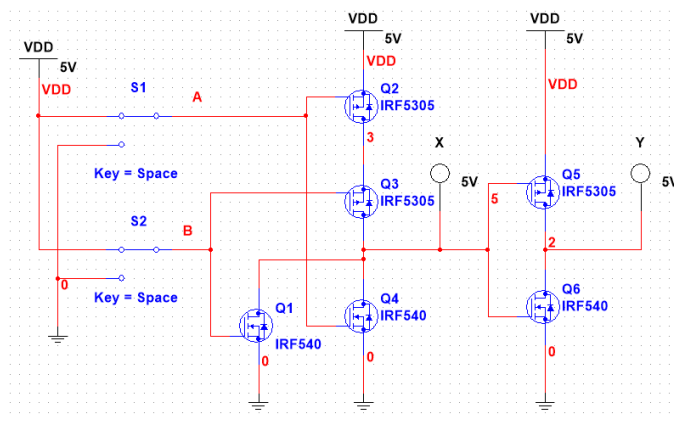
9 Bramka OR

9.1 Cel ćwiczenia

Celem ćwiczenia było zapoznanie się z prostym układem logicznym bramki OR zbudowanym z tranzystorów NMOS i PMOS i inwertera logicznego oraz sprawdzenie stanu tranzystorów w zależności od napięcia podanego na bramkę.

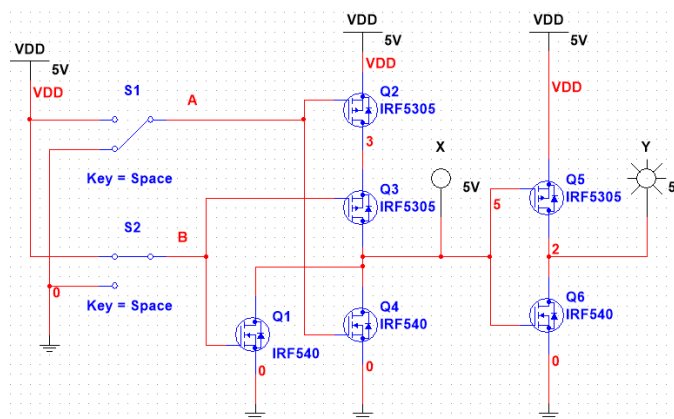
9.2 Przebieg ćwiczenia

Na pulpicie symulacyjnym zbudowałem obwód elektryczny bramki OR zawierający źródła napięcia $V_{DD} = 5V$, przełączników podających na bramkę tranzystora kombinację sygnałów niskim 0 i wysokich 1. Sprawdziłem jego zachowanie po podaniu wszystkich kombinacji sygnałów na wejściu. Układ widoczny jest na **Rys. 35**.



Rys. 35: Schemat obwodu elektrycznego bramki OR z przełącznikami.

Na **Rys. 36** widać wyniki pomiaru dla sygnału niskiego na wejściu A oraz sygnału wysokiego na wejściu B. Lampka sygnalizacyjna na wyjściu wskazuje, że mamy sygnał wysoki na wyjściu. Wyniki reszty pomiarów pokazane są w tabeli na **Rys. 37**.



Rys. 36: Wyniki pomiaru prądu na drenie dla sygnału niskiego na wejściu A oraz sygnału wysokiego na wejściu B - sygnał 1 na wyjściu.

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Rys. 37: Tabela pokazująca zależność sygnału wyjściowego od sygnałów wejściowych w obwodzie bramki OR.

9.3 Wnioski

Wykonane ćwiczenie pokazuje, że układy tranzystorów można skutecznie używać jako bramki OR. Bramkę OR można otrzymać łącząc obwód bramki NOR z inwerterem logicznym. Tabelka prawdy widoczna na **Rys. 37** pokazuje, że zastosowany układ jest poprawny.