



Faculdade de Computação
Arquitetura e Organização de Computadores 1
3º Homework – 5 pontos
Prof. Cláudio C. Rodrigues

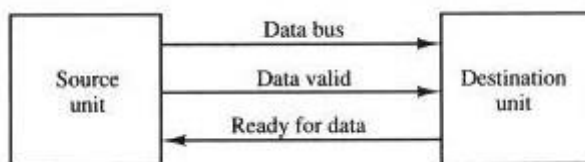
Sistema de Interconexão:

P1) Os barramentos podem ser caracterizados por diversos fatores tais como:

- Tipos de Barramentos;
- Técnicas de Comunicação em Barramento;
- Métodos para a Mudança do Controlador do Barramento;
- Convenções para Transferência de Informação;
- Características Elétricas.

Quais são os dois esquemas básicos para temporização da comunicação no barramento? E como estes *esquemas* operam?

P2) Um barramento assíncrono que, por não depender de sinal de *clock*, pode conviver com dispositivos de velocidades distintas e diferentes tecnologias. Em contrapartida requer sinais adicionais para prover a devida sincronização dos eventos. A figura abaixo descreve a transferência iniciada pelo destino usando linhas de *handshake*.



- a) Descreva sequência de eventos na transferência
- b) Ilustre a troca de sinais envolvidos na transferência.

P3) Considere os dados a seguir.

- Barramento **síncrono**:
 - Período do clock: 10 ns;
 - Cada transmissão gasta 1 ciclo de clock;
 - Tempo de acesso à memória: 100 ns.
 - Barramento **assíncrono**:
 - 15 ns para cada passo do protocolo *handshake*.
 - Considerar dados com 32 bits em ambos casos (barramento com 32 bits)
- a) Qual o tempo total para a leitura de uma palavra em cada um dos tipos de barramento?
 - b) Qual a largura de banda (*bandwidth*) máxima?

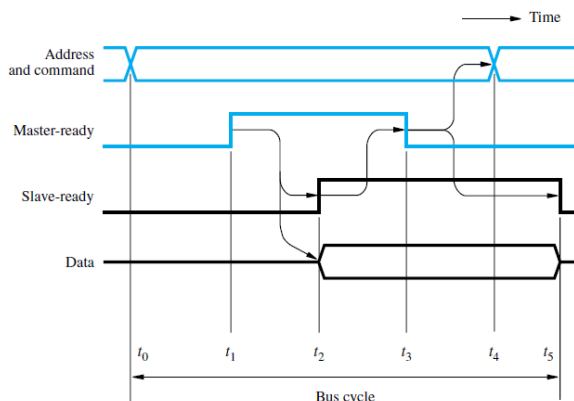
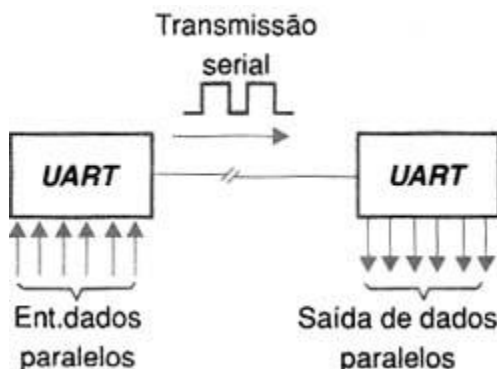


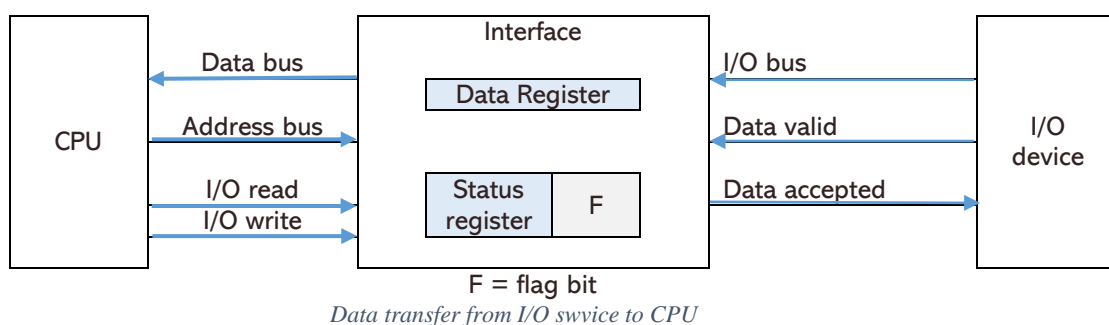
Figure 7.6 Handshake control of data transfer during an input operation.

- P4)** Dado o projeto de um sistema embarcado, cujo processador acessa um dispositivo de entrada/saída por *polling* a uma taxa média de 1 acesso a cada 20 ms. Considerando uma **comunicação assíncrona P82** (paridade par, 8 bits de dados e dois stop bits além do start bit), com 144.000 bps e uma **UART** com um registrador de buffer e um de deslocamento, sendo que em cada *polling* a CPU pode fazer uma ou duas escritas na **UART**, calcule:

UART é o acrônimo de *Universal Asynchronous Receiver/Transmitter* ou Receptor/Transmissor Universal Assíncrono. Sua finalidade é possibilitar a transmissão e a recepção de dados originalmente disponíveis na forma paralela, conforme mostra a figura a seguir.



- Qual a taxa máxima de transmissão ideal (não deve ser considerado o tempo de *polling* do processador)?
 - Qual a taxa efetiva de transmissão em caracteres?
 - Qual o tempo necessário para transmitir 100 Kbytes para cada caso acima?
 - Faça um esboço para ilustrar os instantes de tempo onde ocorre transmissão do dado, a comunicação CPU com dispositivo de E/S, e o tempo em que o processador está em atividades entre *polling*.
- P5)** A figura abaixo representa a transferência de dados de um dispositivo de E/S (I/O device) para uma CPU por meio de uma interface. Descreva a transferência de dados, passo-a-passo, e descreva o significado dos sinais envolvidos.



- P6)** Suponha uma linha serial assíncrona com taxa de transmissão de 33,6 kbit/s. Quanto tempo leva para enviar um arquivo de 2MB? Suponha a serial configurada como 8 bits de dados, 1 stop bit e paridade ímpar.

Sistema de Entrada e Saída:

- P7)** [Floyd 13.30] Explique a diferença entre portas de E/S dedicadas e mapeadas em memória. Qual delas não pode utilizar instruções de IN e OUT? Por quê?
- P8)** Brevemente descreva a diferença entre *isolated I/O* e *memory mapped I/O*. Qual é o modo utilizado no MIPS? Explique. Quais são as vantagens do *memory mapped I/O*?
- P9)** A arquitetura de E/S (entrada/saída) de um computador constitui sua interface com o mundo exterior. Ela é projetada para permitir um controle sistemático de interação com o mundo exterior e fornecer ao sistema operacional as informações que ele necessita para gerenciar as atividades de E/S de maneira efetiva. Estudamos três técnicas para a realização de operações de E/S que são: *programmed I/O*; *interrupt-driven* e *DMA (direct memory access)*. Descreva cada um destes métodos, apresentando as vantagens e desvantagens de cada um.
- P10)** Brevemente descreva a diferença entre *blocking I/O* e *non-blocking I/O*. Quais são os cenários de uso de cada uma em programas que realizam operações de E/S?
- P11)** Descreva o método Daisy-chaining para gerenciamento de interrupções?
- P12)** Um sistema de arbitragem tipo *daisy-chain* contém dispositivos que levam 10ns para propagar o sinal de arbitragem. Considerando que o período de clock é de 155ns, quantos dispositivos podem ser colocados no *daisy-chain*? Explique por quê.
- P13)** Em quase todos os sistemas que incluem módulos de DMA (*direct memory access*), o acesso do módulo de DMA à memória principal tem prioridade mais alta do que o acesso da CPU. Por quê? Dica: Pense na natureza das operações de acesso de memória do processador e dos dispositivos de E/S.
- P14)** [Tanenbaum 3.37] Calcule a largura de banda necessária em um barramento para mostrar um filme VGA (640×480), true-color (24 bits) a uma taxa de 30 quadros/s. Considere que os dados devem passar pelo barramento duas vezes: uma para ir do drive de DVD para a memória e outra para ir da memória para a placa de vídeo.
- P15)** Durante um evento de interrupção CPU, primeiramente, recebe um sinal $IRQ=1$. Descreva os passos subsequentes que a CPU realiza após o recebimento desse sinal, assumindo que as interrupções estão habilitadas. Para elaborar sua resposta, assuma a existência de um par de linhas separadas de $IRQ/IACK$ para cada dispositivo de I/O.
- P16)** Suponha que uma unidade de disco tenha as seguintes características:
- 4 superfícies.
 - 1024 trilhas por superfície.
 - 128 setores por trilha.
 - 512 bytes / setor.
 - Tempo de busca (tempo de busca) trilha-a-trilha de 5 milissegundos.
 - Velocidade de rotação de 5000 RPM.
- a) Qual é a capacidade da unidade?
- b) Qual é o tempo de acesso?