

Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

Clocked S-C
flip-flops

Clocked J-K
flip-flops

D flip-flops/
latches

Ent. assínc.

Aplicações

Aula 05 - Circuitos lógicos sequenciais

Hugo Vinícius Leão e Silva

hugovlsilva@gmail.com, hugo.vinicius.16@gmail.com, hugovinicius@ifg.edu.br

Instituto Federal de Educação, Ciência e Tecnologia de Goiás
Campus Anápolis

Curso de Bacharelado em Ciência da Computação

10 de setembro de 2021

Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

Clocked S-C
flip-flops

Clocked J-K
flip-flops

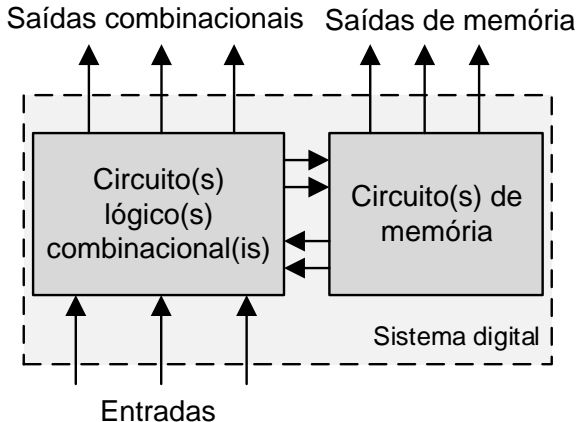
D flip-flops/
latches

Ent. assínc.

Aplicações

- 1 Circuito com e sem memória
- 2 Latches NAND e NOR
- 3 Circuito síncrono e assíncrono
- 4 Flip-flops S-C com clock
- 5 Flip-flops J-K com clock
- 6 Flip-flops e latches D com e sem clock
- 7 Ent. assínc.
- 8 Aplicações para latches e flip-flops

- Da Aula 4: “*Circuitos combinacionais* → *a saída do circuito está em função da combinação das entradas*”;
- **Atualização:** Em circuitos combinacionais, as saídas do circuito estão *exclusivamente* em função da combinação das entradas em determinado instante de tempo;
- Entradas anteriores *não* afetam o resultado atual → Circuito *sem* memória.



As saídas do sistema dependem das entradas e do conteúdo em memória.

- *Flip-flops* ou *latches* ou multivibrador biestável são os elementos de memória mais importantes.
- Projetado a partir de duas funções lógicas – completamente eletrônico;
- Existem *flip-flops* NAND e NOR:

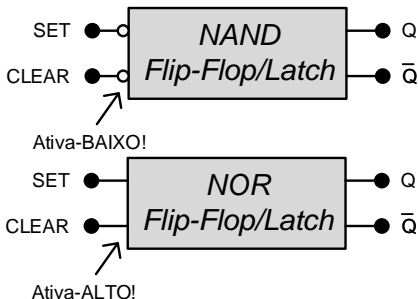
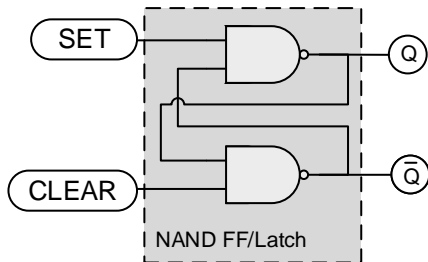


Figura: Representação de um *flip-flop* NAND

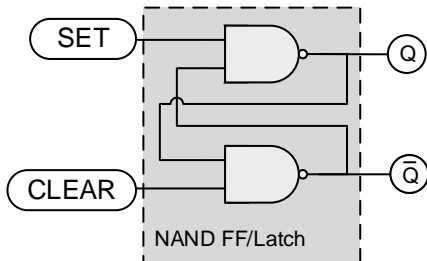


$Q \rightarrow$ Saída *normal* do *flip-flop*;

$\overline{Q} \rightarrow$ Saída *invertida* do *flip-flop*;

SET \rightarrow Entrada para *setar* o *flip-flop*; ($Q = 1$);

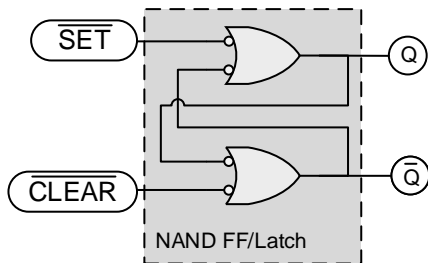
CLEAR \rightarrow Entrada para *ressetar*/limpar o *flip-flop*; ($Q = 0$).



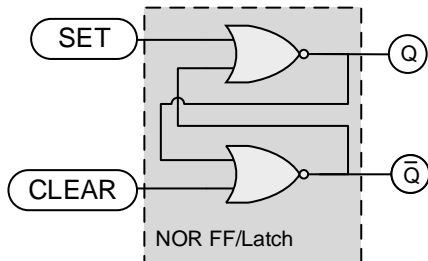
SET	CLEAR	Q	\bar{Q}
0*	0*	Inválido	Inválido
0	1	1	0
1	0	0	1
1	1	(Q_0) Não altera	(\bar{Q}_0) Não altera

SET = CLEAR = 1 \rightarrow Estado de repouso; Q/\bar{Q} não são alterados.

Figura: Outra representação para FFs NAND usando funções NOR

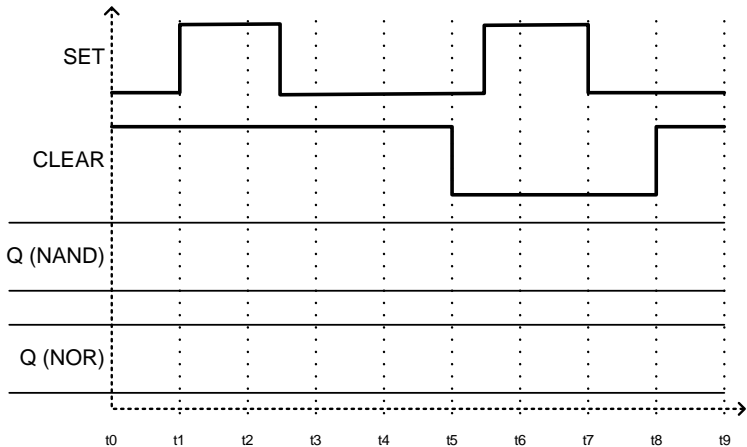


Lembre-se de que *flip-flops* NAND são circuitos ativa-BAIXO!



SET	CLEAR	Q	\bar{Q}
0	0	(Q_0) Não altera	(\bar{Q}_0) Não altera
0	1	0	1
1	0	1	0
1*	1*	Inválido	Inválido

SET = CLEAR = 0 \rightarrow Estado de repouso; Q/\bar{Q} não são alterados.





Circuito síncrono e assíncrono

Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

Clocked S-C
flip-flops

Clocked J-K
flip-flops

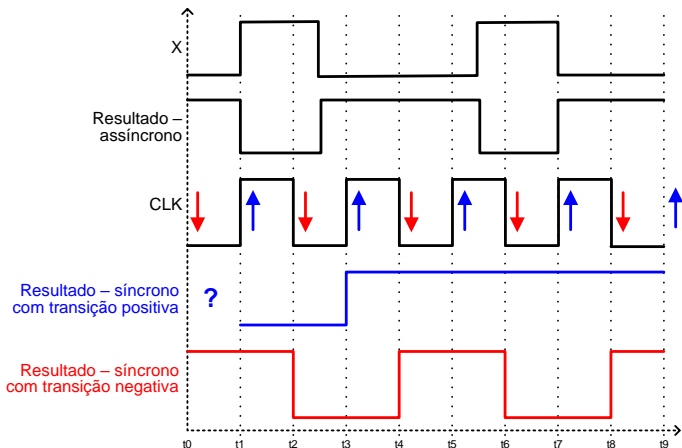
D flip-flops/
latches

Ent. assínc.

Aplicações

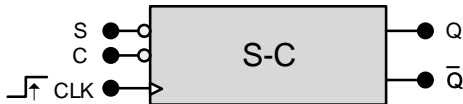
- Circuitos assíncronos → As saídas de um circuito podem mudar de estado a qualquer tempo quando as entradas mudam de estado → projeto e *bug hunting* mais difíceis;
- Circuitos síncronos utilizam um sinal de relógio (ou sinal de *clock*);
- As saídas de circuitos síncronos só mudam de estado quando as entradas e o sinal de *clock* mudam de estado.

Figura: Sinal de saída para circuitos assíncrono e síncronos



- Funcionamento idêntico ao dos flip-flops NOR, porém com sinal de *clock*;
- Q/\bar{Q} só mudam de estado na transição de CLK;
- Subida ou descida de CLK é o *trigger* (disparo);

Flip-flop S-C com CLK disparado com transição positiva



Flip-flop S-C com CLK disparado com transição negativa

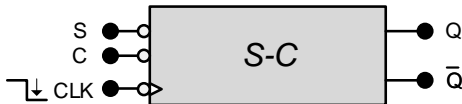
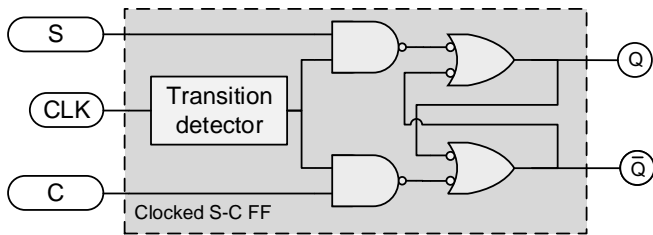


Tabela: Tabela-verdade para *flip-flop* S-C com *trigger* na transição positiva

SET	CLEAR	CLK	Q	\bar{Q}
0	0	↑	(Q_0) Não altera	(\bar{Q}_0) Não altera
0	1	↑	0	1
1	0	↑	1	0
1*	1*	↑	Inválido	Inválido

Tabela: Tabela-verdade para *flip-flop* S-C com *trigger* na transição negativa

SET	CLEAR	CLK	Q	\bar{Q}
0	0	↓	(Q_0) Não altera	(\bar{Q}_0) Não altera
0	1	↓	0	1
1	0	↓	1	0
1*	1*	↓	Inválido	Inválido



Detector de transição:

- Positiva $\rightarrow T = CLK \cdot \overline{CLK}$;
- Negativa $\rightarrow T = \overline{\overline{CLK}} \cdot \overline{CLK}$;
- Parece estranho, mas o circuito funciona devido a um pequeníssimo atraso na propagação de \overline{CLK} em relação a CLK .

Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

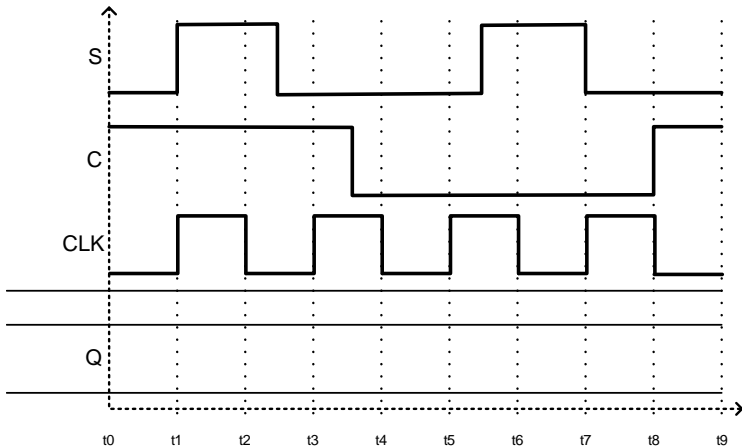
Clocked S-C
flip-flops

Clocked J-K
flip-flops

D flip-flops/
latches

Ent. assínc.

Aplicações



- As entradas J e K funcionam do mesmo jeito que S-C;
- Entretanto, $J = K = 1$ não retorna resultado inválido. Retorna o inverso do resultado anterior – *toggle mode* ou modo de chaveamento/comutação;

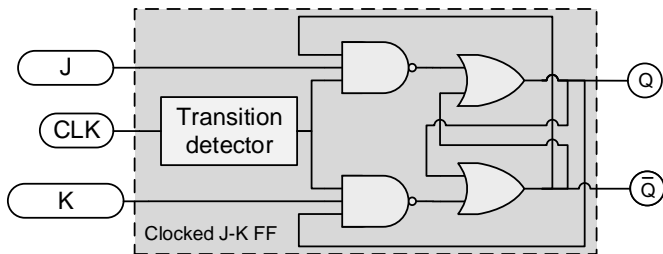
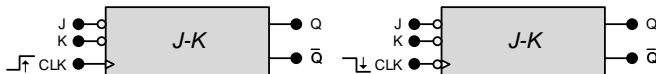


Tabela: Tabela-verdade para *flip-flop* J-K com *trigger* na transição positiva

SET	CLEAR	CLK	Q	\overline{Q}
0	0	↑	(Q_0) Não altera	(\overline{Q}_0) Não altera
0	1	↑	0	1
1	0	↑	1	0
1*	1*	↑	\overline{Q}_0	$\overline{\overline{Q}_0}$

Tabela: Tabela-verdade para *flip-flop* J-K com *trigger* na transição negativa

SET	CLEAR	CLK	Q	\overline{Q}
0	0	↓	(Q_0) Não altera	(\overline{Q}_0) Não altera
0	1	↓	0	1
1	0	↓	1	0
1*	1*	↓	\overline{Q}_0	$\overline{\overline{Q}_0}$

Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

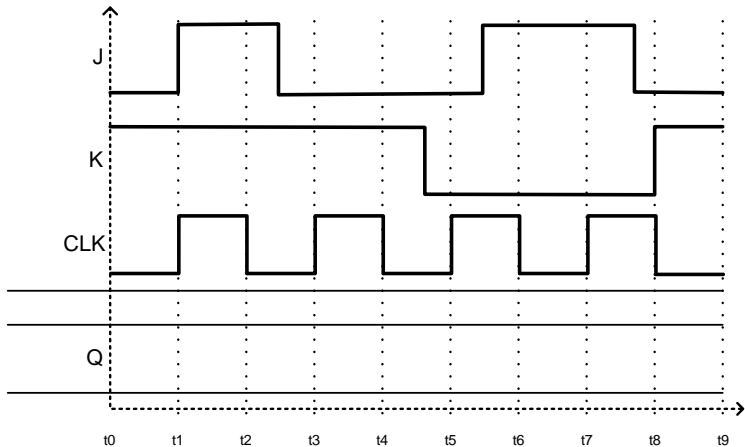
Clocked S-C
flip-flops

Clocked J-K
flip-flops

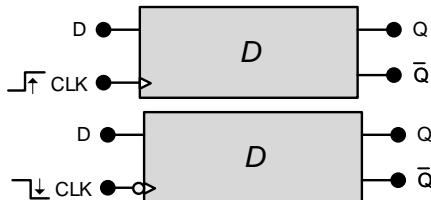
D flip-flops/
latches

Ent. assínc.

Aplicações



- No *flip-flop* D tem apenas a entrada *D* (*Data*) além de CLK;
- Fazendo $J = D$ e $K = \bar{D} \rightarrow$ transforma J-K em D;
- $Q = D$ na transição de CLK;



- No *latch* D, CLK é substituído por EN (*Enable*);



Tabela: Tabela-verdade *flip-flop* D com *trigger* na transição positiva

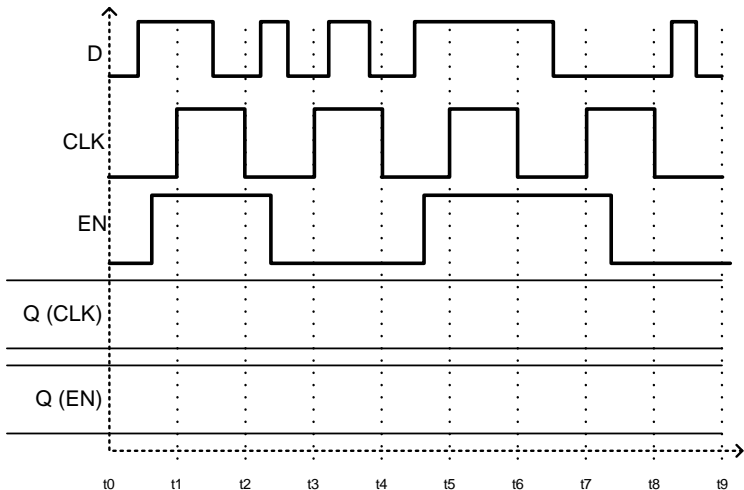
D	CLK	Q	\overline{Q}
0	↑	0	1
1	↑	1	0

Tabela: Tabela-verdade *flip-flop* D com *trigger* na transição negativa

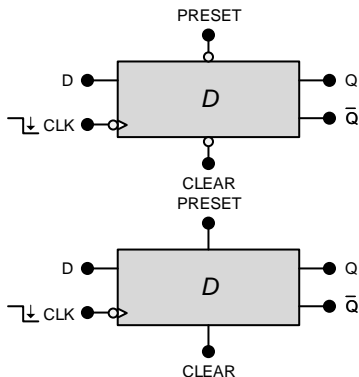
D	CLK	Q	\overline{Q}
0	↓	0	1
1	↓	1	0

Tabela: Tabela-verdade *latch* D

D	EN	Q	\overline{Q}
X	0	(Q_0) Não altera	(\overline{Q}_0) Não altera
0	1	0	1
1	1	1	0



- As entradas S, C, J, K e D são entradas síncronas → atuam sobre a saída *somente* na transição de CLK;
- Existem as entradas assíncronas PRESET e CLEAR em ativa-BAIXO e ativa-ALTO, respectivamente:



Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

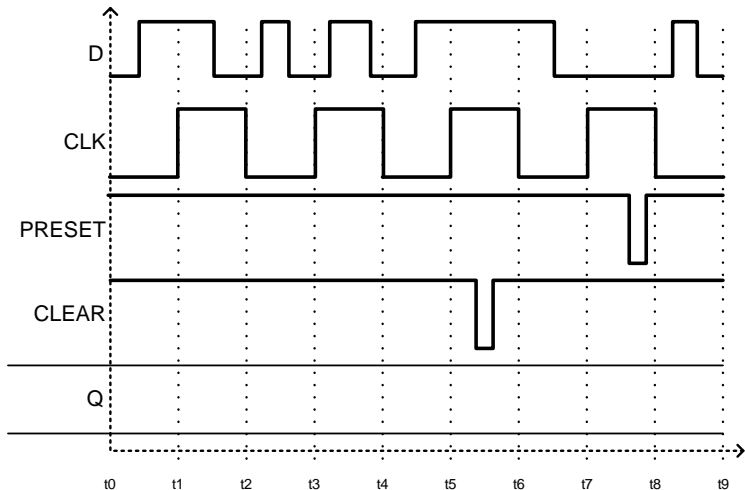
Clocked S-C
flip-flops

Clocked J-K
flip-flops

D flip-flops/
latches

Ent. assínc.

Aplicações



A resposta do *flip-flop* com PRESET e CLEAR obedece a uma das tabelas-verdade abaixo:

Tabela: Tabela-verdade para ativa-BAIXO

PRESET	CLEAR	Resposta do FF
0	0	Inválido
0	1	1
1	0	0
1*	1*	Operação normal

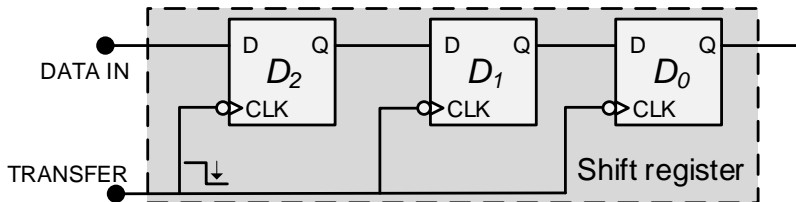
Tabela: Tabela-verdade para ativa-ALTO

PRESET	CLEAR	Resposta do FF
0	0	Operação normal
0	1	0
1	0	1
1*	1*	Inválido

Alguns poucos exemplos de aplicações para *latches* e *flip-flops*

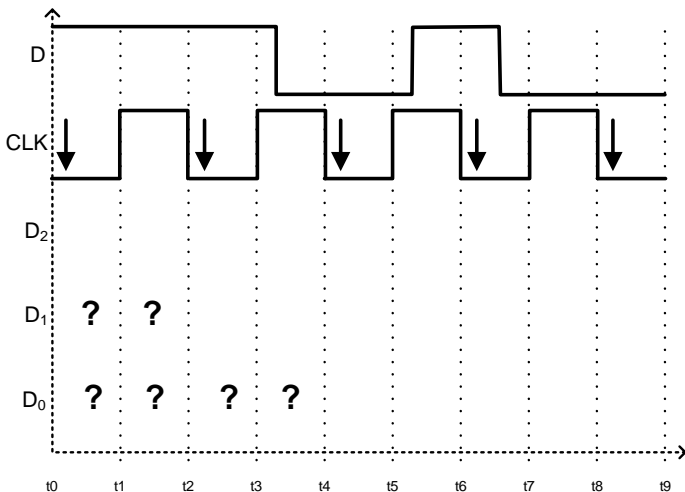
- Latches NAND → eliminar a trepidação de chave;
- Latches NOR → registro de evento/conversão de sinal momentâneo em saída constante;
- Detectar especificamente uma sequência de entrada;
- **Armazenamento e transferência de dados:**
 - Grupo de *flip-flops* → Registrador

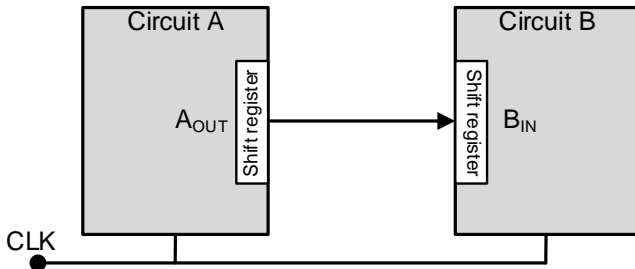
Transferência serial síncrona:



- Utilizam-se **registradores de deslocamento** – os *flip-flops* são cascadeados/ligados em série;
- Os bits são transferidos de um *flip-flop* para outro a cada ciclo de *clock*;
- Exemplos de aplicação: transferência serial de palavras multibit e deslocamento de caracteres na tela da calculadora.

Quais são os sinais de saída em D_2 , D_1 e D_0 ?





Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

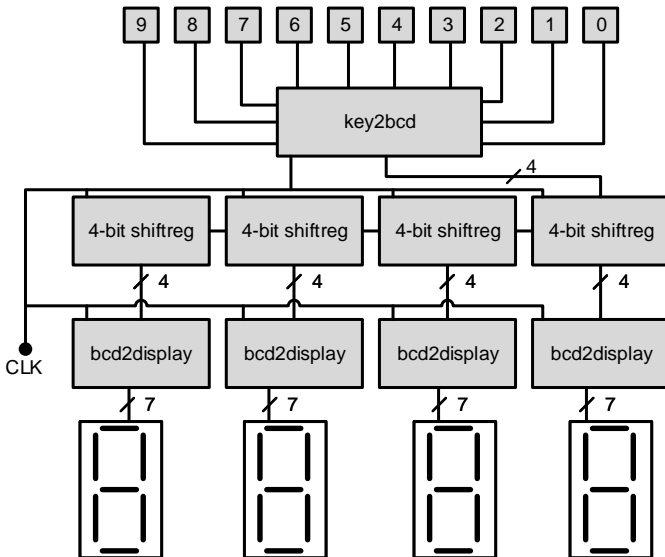
Clocked S-C
flip-flops

Clocked J-K
flip-flops

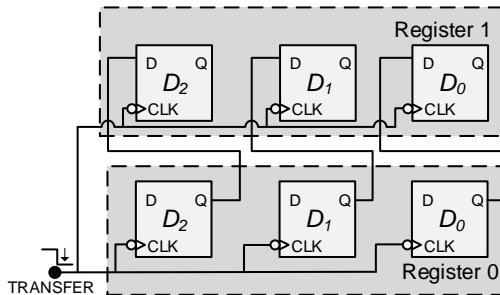
D flip-flops/
latches

Ent. assínc.

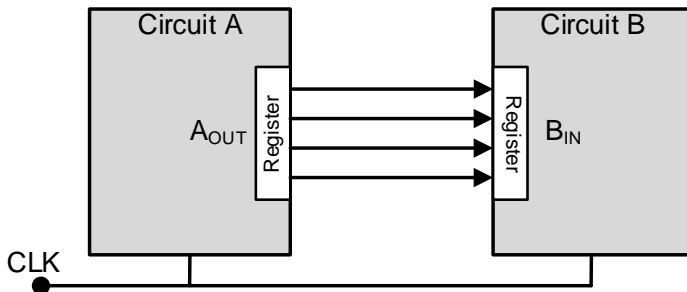
Aplicações



Transferência paralela síncrona:



- Utilizam-se **registradores** – os *flip-flops* são ligados em paralelo;
- Toda a palavra é transferida em um ciclo de *clock*;
- Exemplos de aplicação: transferência paralela e unidade lógico-aritmética.



Cada linha do barramento está associada um *flip-flop* no registrador.

Figura: Somador paralelo de 3 bits com registrador

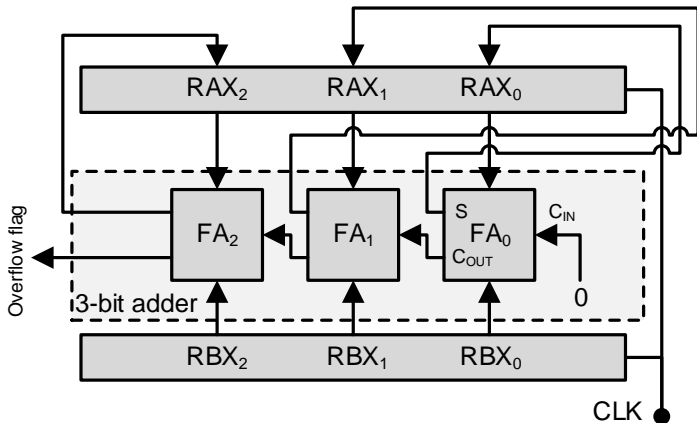
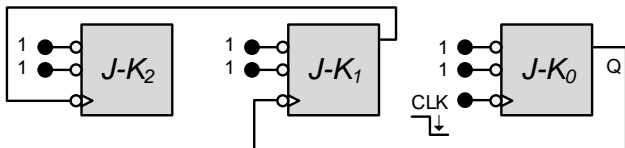


Figura: Divisor de frequência de três bits (módulo $2^3 = 8$, pois possui 8 estados – 000 a 111)



Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

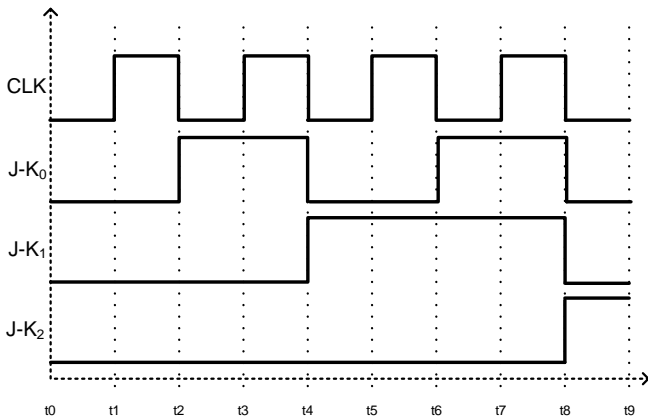
Clocked S-C
flip-flops

Clocked J-K
flip-flops

D flip-flops/
latches

Ent. assínc.

Aplicações



Quais os valores de CLK, J-K₂, J-K₁ e J-K₀ nos tempos t_0 , t_2 , t_4 , t_6 e t_8 ? Isso se parece com o quê?

Além da divisão de frequência, o que pode ser observado é:

Tabela: Tabela-verdade para o divisor de frequência para cada dois ciclos de *clock*

$J - K_2$	$J - K_1$	$J - K_0$	Ciclo de <i>clock</i>
0	0	0	t_0
0	0	1	t_2
0	1	0	t_4
0	1	1	t_6
1	0	0	t_8
1	0	1	t_{10}
1	1	0	t_{12}
1	1	1	t_{14}
0	0	0	t_{16} (recicla)

O divisor de frequência também é um contador binário.

Aula 05

Hugo Silva

Circ. memória

NAND/NOR
flip-flops

Circ. sínc.
assínc.

Clocked S-C
flip-flops

Clocked J-K
flip-flops

D flip-flops/
latches

Ent. assínc.

Aplicações

Seções utilizadas do livro (11ª edição!):

- 5-1; 5-2; 5-5; 5-6; 5-7; 5-8; 5-9; 5-10; 5-13; 5-14; 5-16; 5-17; 5-18.