

Lista de exercícios A

Exercício 1

Considere os vetores **A**, **B** e **C**, todos com 100 posições estejam alocados em memória. Faça um programa em linguagem de máquina IAS que produza $\mathbf{C} = \mathbf{A} + \mathbf{B}$.

Exercício 2

Considerando o programa abaixo codificado em linguagem de máquina IAS, transcreva-o para mnemônicos e explique o que esse programa faz.

Endereço	Conteúdo
08A	010FA210FB
08B	010FA0F08D
08C	020FA210FB

Exercício 3

Segundo a Tabela 2.4 do livro, o IBM 360 Modelo 75 é 50 vezes o do 360 Modelo 30, embora o ciclo de instrução seja apenas cinco vezes mais rápido. Explique o motivo dessa diferença.

Exercício 4

Você deseja comprar um computador mais rápido e você se vê diante de duas opções: um computador com processador PowerPC de 1,2 GHz e outro com processador Pentium 4 de 2,4 GHz. O vendedor te diz: “se deseja o computador mais rápido, leve o Pentium 4”. O vendedor está certo? O que, como aluno de Ciência da Computação poderia dizer a ele sobre isso?

Exercício 5

Considere duas máquinas distintas com CPUs a um *clock* de 200 MHz, mas com conjuntos de instruções diferentes. Abaixo contém uma tabela contendo a constituição de um programa de *benchmark* e as latências para cada tipo de instrução utilizada pelo *benchmark*:

Computador A:

Tipo de inst.	Qtde. inst. (milhões)	Latência por inst.
Lógico-aritmética	8	1
Load/store	4	3
Desvio	2	4
Outros	4	3

Computador B:

Tipo de inst.	Qtde. inst. (milhões)	Latência por inst.
Lógico-aritmética	10	1
Load/store	8	2
Desvio	2	4
Outros	4	3

Sendo assim, determine:

1. Determine o CPI efetivo.
2. A taxa MIPS.
3. O tempo de execução do *benchmark* em cada máquina.
4. Comente os resultados.

Exercício 6

Quatro *benchmarks* são executados em três computadores diferentes, produzindo os seguintes resultados:

Benchmark	Comp. A	Comp. B	Comp. C
1	1	10	20
2	1000	100	20
3	500	1000	50
4	100	800	100

A tabela mostra, em segundos, o tempo de execução de 100 milhões de instruções executadas em cada um dos quatro *benchmarks*. Calcule a taxa MIPS para cada par computador/*benchmark*. Depois, calcule as médias aritmética e harmônica considerando o mesmo peso para cada *benchmark* e

Exercício 7

Que categorias gerais de funções são especificadas pelas instruções do computador? Explique cada uma.

Exercício 8

Considere uma CPU de 32 bits com instruções de 32 bits, compostas de dois campos: o primeiro byte contém o *opcode* e o restante, o operando imediato ou o endereço de um operando.

1. Qual é a capacidade de memória máxima endereçável diretamente (em bytes)?

2. Discuta o impacto sobre a velocidade do sistema se o barramento do microprocessador tiver:
 - (a) um barramento de endereço local de 32 bits e um barramento de dados local de 16 bits, ou
 - (b) um barramento de endereço local de 16 bits e um barramento de dados local de 16 bits.
3. Quantos bits são necessários para o contador de programa e o registrador de instrução?

Exercício 9

Considere uma CPU de 32 bits, com um barramento de dados de 16 bits, controlado por um clock de entrada de 8 MHz. Suponha que esse microprocessador tenha um ciclo de barramento cuja duração mínima seja igual a quatro ciclos de clock. Perguntas:

1. Qual é a taxa de transferência de dados máxima pelo barramento que essa CPU pode sustentar, em bytes/s?
2. Repita a pergunta acima, mas considerando um estado de espera com duração de um ciclo de clock a cada transferência de dados.
3. Quais as maneiras possíveis para se duplicar o desempenho desse barramento?

Exercício 10

Considere uma CPU de 32 bits que tem uma cache associativa em conjunto 16-way, totalizando de 16 KBytes. Suponha que a cache tenha um tamanho de linha de quatro palavras de 32 bits. Desenhe um diagrama de blocos dessa cache, mostrando sua organização e como os diferentes campos de endereço são usados para determinar um acerto/falha de cache. Onde, na cache, a palavra no local de memória 0xABCDE8F8 é mapeada?

Exercício 11

Considere uma cache de 4 linhas de 16 bytes cada. A memória principal é dividida em blocos de 16 bytes cada. Ou seja, o bloco 0 tem bytes com endereços de 0 a 15, e assim por diante. Agora, considere um programa que acessa a memória na seguinte sequência de endereços:

Uma vez: 63 até 70

Loop dez vezes: 15 até 32; 80 até 95

1. Suponha que a cache seja organizada como mapeada diretamente. Os blocos de memória 0, 4 e assim por diante são atribuídos à linha 1; os blocos 1, 5 e assim por diante à linha 2; e assim sucessivamente. Calcule a razão de acerto.

2. Suponha que a cache seja organizada como associativa em conjunto com duas linhas por conjunto, com dois conjuntos de duas linhas cada. Os blocos de numeração par são atribuídos a um conjunto 0 e os blocos de numeração ímpar são atribuídos ao conjunto 1. Calcule a razão de acerto para a cache associativa em conjunto com duas vias usando o algoritmo de substituição LRU (menos usado recentemente).