

Universidade Federal de Itajubá

## **RELATÓRIO FINAL**

**PROJETO DE MODULADOR CONFIGURÁVEL EM FPGA - PBLE04**

Arthur Pamplona

Álvaro Louro

Euller Lucas

Flávio Expedito

Lucas Toledo

Itajubá  
JULHO de 2025

# Sumário

<b>1</b>	<b>Introdução</b>	<b>2</b>
<b>2</b>	<b>Desenvolvimento</b>	<b>2</b>
2.1	Etapa 1	2
2.2	Etapa 2	4
2.3	Etapa 3	6
2.4	Etapa 4	8
2.5	Etapa 5	10
2.6	Etapa 6	13
2.7	Etapa 7	14
<b>3</b>	<b>Resultados e Conclusão</b>	<b>17</b>

# 1 Introdução

O presente relatório descreve o desenvolvimento e a implementação de um sistema de modulação e demodulação digital utilizando uma FPGA(*Field Programmable Gate Array*), conforme ilustrado na figura 1. O projeto tem como objetivo explorar os conceitos de modulação digital — especificamente BASK (*Binary Amplitude Shift Keying*) e 4-ASK (*4-level Amplitude Shift Keying*) — por meio de técnicas como DDS (*Direct Digital Synthesis*), PWM (*Pulse Width Modulation*), filtros analógicos, conversores Analógico/Digital, além de circuitos comumente utilizados em telecomunicações, como o detector de envelope.

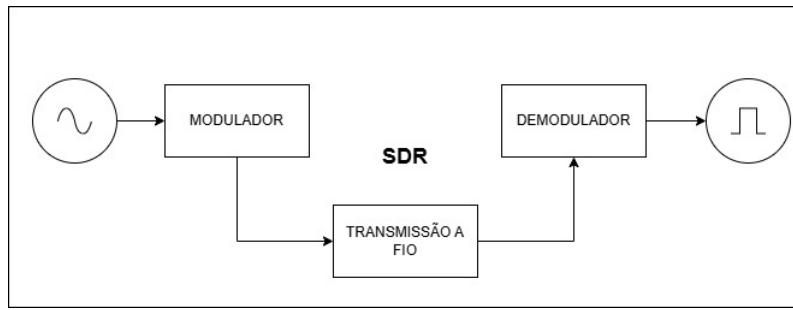


Figura 1:

Diagrama do sistema de modulação e demodulação BASK e 4-ASK implementado.

O projeto foi dividido em duas grandes fases. A primeira consiste na implementação do modulador BASK, que abrange desde a geração do sinal modulante (equação 1) até a aplicação das técnicas mencionadas para a obtenção do sinal modulado. A segunda etapa compreende a implementação do demodulador BASK, bem como a modificação dos parâmetros do circuito para a geração e análise do sinal 4-ASK.

O sinal mensagem(sinal modulante) é representado pela equação 1 e possui uma soma de sinais com duas frequências distintas: 1 Hz e 2 Hz.

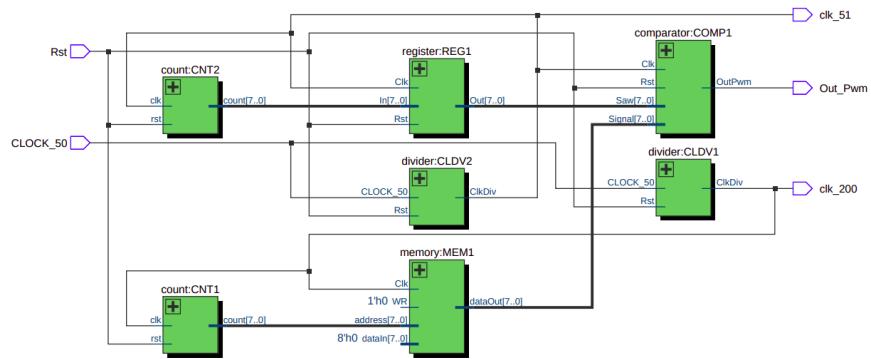
$$m(t) = 3 \cos(2\pi t) + 2 \cos\left(4\pi t + \frac{\pi}{6}\right) \quad (1)$$

# 2 Desenvolvimento

## 2.1 Etapa 1

A primeira etapa da modulação consiste na geração do sinal modulante descrito na Equação 1. Para isso, foi desenvolvida uma descrição em Verilog implementando a técnica de

DDS (*Direct Digital Synthesis*) e o *software* Quartus Lite, onde pode-se ter a visualização RTL(*Register Transfer Level*) ilustrada na Figura 2. A descrição conta com uma memória para o armazenamento das amostras do sinal mensagem e módulos auxiliares, como contadores, registrador e comparador, todos sincronizados para não haver nenhum atraso no sistema acarretando em distorções do sinal gerado.



O circuito implementa um modulador PWM com uma frequência de saída de 200 Hz, que por meio de um pino de expansão da FPGA é conectado a um filtro passa-baixa de 1<sup>a</sup> ordem para filtrar somente as componentes de frequência do sinal modulante, e para isso o filtro com um resistor de  $10k\Omega$  e dois capacitores de  $3.3\mu F$  associados em série, de maneira a se obter  $1.65\mu F$  e resultar em frequência de corte de aproximadamente 10 Hz, a qual permite a passagem das componentes de frequência do sinal e atenua as componentes de frequência do PWM, resultando no sinal analógico descrito na equação 1 e ilustrado na Figura 3 em azul.



Figura 3: Sinal prático obtido

O circuito de testes montado em bancada:

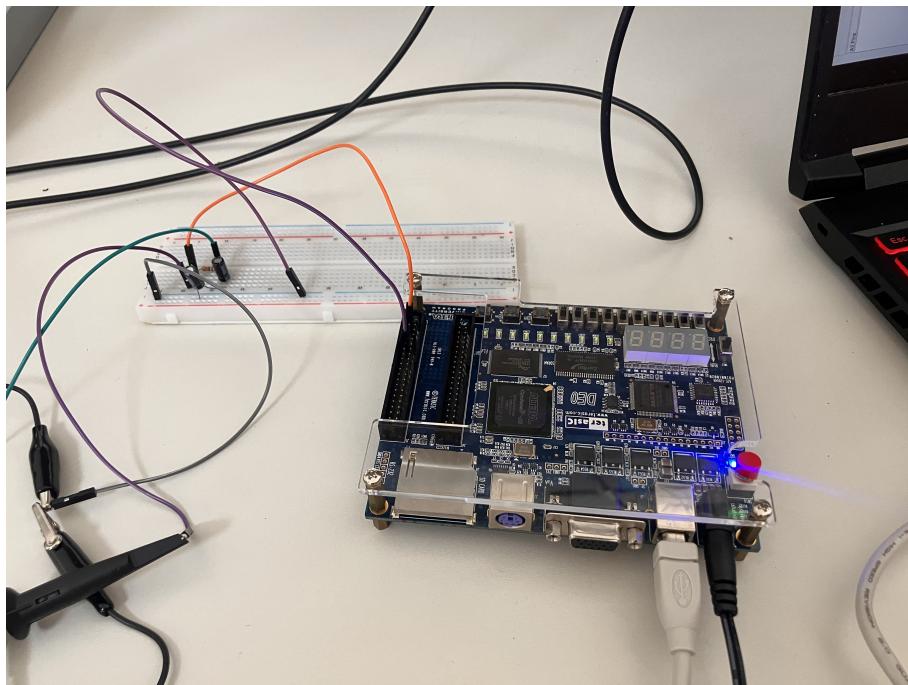


Figura 4: Circuito prático montado em bancada

## 2.2 Etapa 2

A segunda etapa consiste na implementação de um conversor analógico-digital utilizando o circuito integrado(CI) MCP3002, cuja função é digitalizar o sinal 1 proveniente da etapa

anterior. Para isso, o sinal foi aplicado à entrada do CI, configurado para operar no canal 1, em modo *single-ended*. A partir da análise do *datasheet*, verificou-se que a configuração do dispositivo é realizada via comunicação SPI, sendo necessário enviar uma sequência específica de bits através do pino  $D_{in}$ , sincronizada com o sinal de *clock* aplicado ao pino  $CLK$ . Essa sequência, composta por um bit de início, os bits de configuração (modo *single-ended*, seleção do canal e formato *MSB-first*), permite que o CI execute a amostragem e a conversão de forma adequada. Para isso, utilizou-se o próprio *clock* da FPGA, respeitando os tempos mínimos de subida e descida descritos no documento técnico.

Além da configuração do canal, também foi enviada uma sequência de dados de teste ao ADC (*Analog-to-digital converter*), a fim de verificar a integridade da comunicação com a FPGA. Os bits resultantes da conversão foram lidos sequencialmente pelo pino  $D_{out}$ , registrados pela lógica da FPGA e, posteriormente, disponibilizados em um pino de I/O(*Input/Output*). Essa etapa foi essencial para validar a fidelidade da transmissão digital e garantir que os dados amostrados fossem consistentes com o sinal original, assegurando uma resolução efetiva de 8 bits por amostra a uma taxa de amostragem de  $f_s = 200$  Hz.

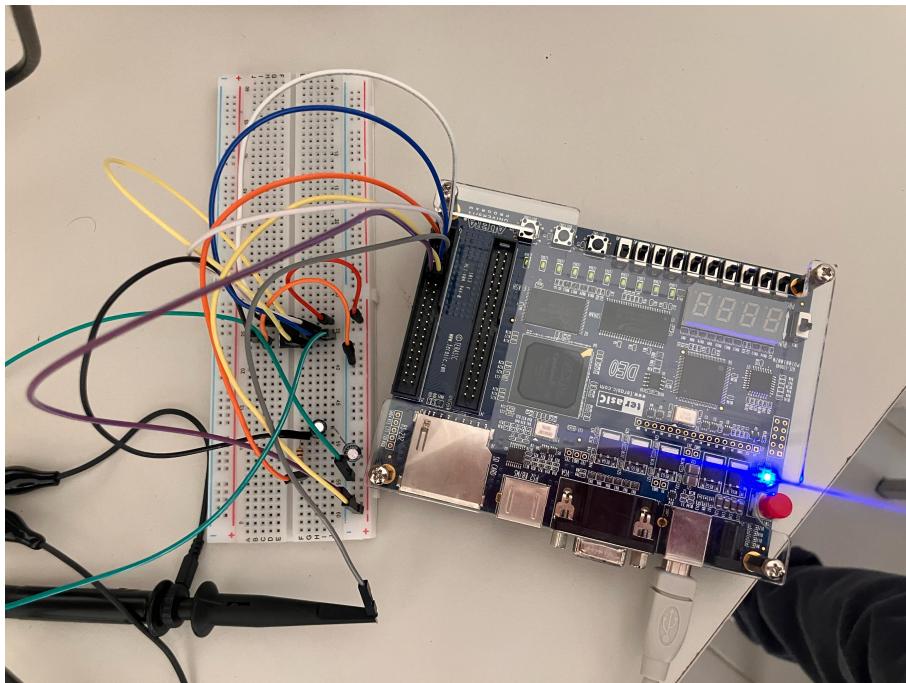


Figura 5: Circuito montado em bancada

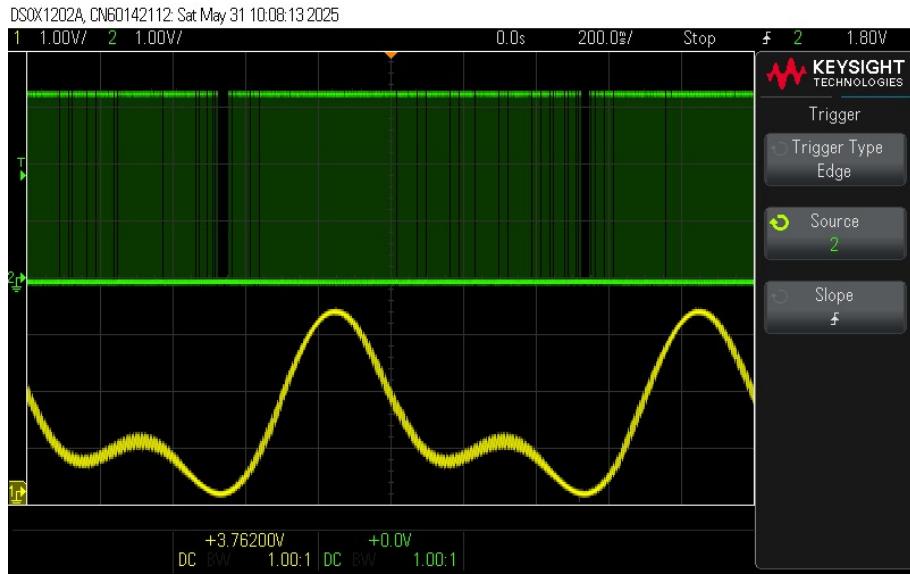


Figura 6: Sinal analógico antes da conversão [amarelo] e Sinal após a conversão do ADC [verde]

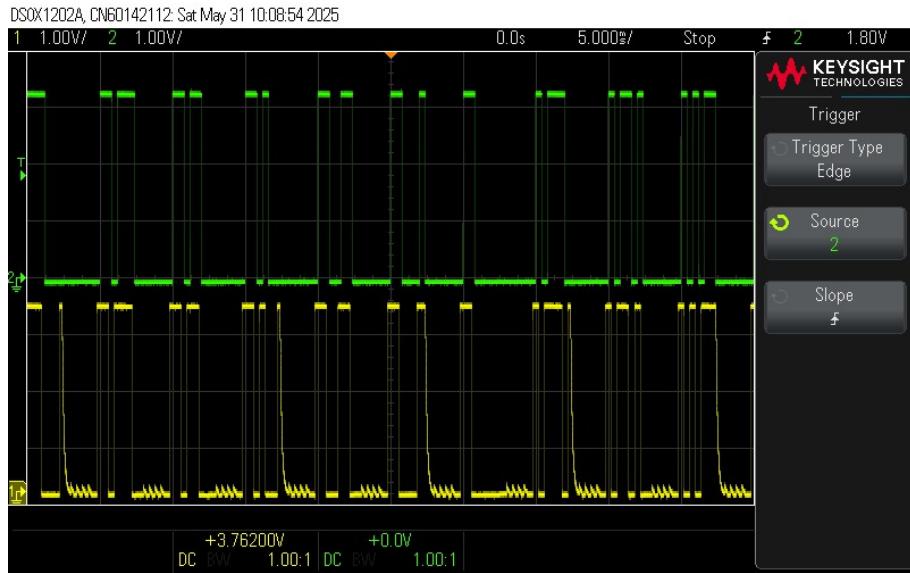


Figura 7: Sinal de Saída do ADC antes [sinal verde] e após o processamento da FPGA [sinal amarelo]

### 2.3 Etapa 3

Nesta etapa do projeto, o objetivo central foi gerar um sinal modulado em amplitude binária (BASK) utilizando-se da modulação PWM com auxílio de uma FPGA, e, posteriormente, visualizar seu espectro no osciloscópio. A frequência central escolhida para o

sinal modulado foi de 100 kHz.

Após a geração do sinal, o próximo passo foi a análise do espectro de frequência no osciloscópio, utilizando a função de FFT(*Fast Fourier Transform*) integrada. A imagem a seguir apresenta a forma de onda gerada (sinal amarelo) e a representação do bit digital (sinal verde), além da curva espectral correspondente:

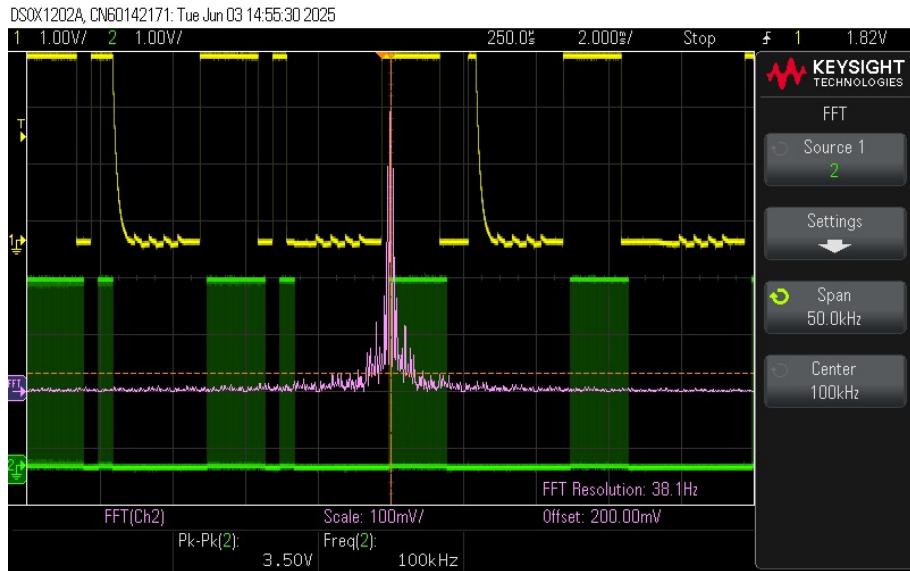


Figura 8: Sinal visualizado no Osciloscópio

Na análise da imagem, é possível observar um pequeno atraso entre a transição do sinal de dados (em verde) e a ativação do PWM (em amarelo). Esse atraso é esperado e ocorre devido ao tempo de propagação interno da FPGA, ao ciclo de clock utilizado para amostragem dos sinais e à latência introduzida pelos registradores e pela lógica sequencial. Trata-se de um comportamento normal em implementações digitais síncronas.

A forma do sinal PWM confirma que, durante a presença de bits '1', há uma sequência de pulsos com largura significativa (representando a portadora de 100 kHz), enquanto nos bits '0', os pulsos são ausentes ou muito estreitos, caracterizando a supressão da portadora conforme a modulação BASK.

A análise espectral (FFT) mostra claramente um pico centrado em 100 kHz, conforme o planejado, além de componentes harmônicas ao redor da frequência central. Essas harmônicas são decorrentes da natureza pulsada e digital do sinal PWM, e estão de acordo com a teoria da modulação por pulsos quadrados.

## 2.4 Etapa 4

Após a geração do sinal PWM da Etapa 3, foi realizada a filtragem desse sinal utilizando um filtro passa-faixa de 2<sup>a</sup> ordem. O objetivo foi suavizar o sinal PWM, atenuando suas componentes harmônicas e recuperando a envoltória analógica do sinal BASK.

O filtro utilizado foi um circuito LC passivo composto pelos seguintes componentes:

- Indutor:  $L = 1mH$
- Resistor:  $R = 10k\Omega$
- Capacitor:  $C = 2, 2nF$

A frequência de corte teórica do filtro foi calculada por:

$$f_c = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{(1 \times 10^{-3})(2, 2 \times 10^{-9})}} \approx 107kHz \quad (2)$$

Apesar da frequência de corte ter sido ligeiramente superior à frequência central original (100kHz), o sinal filtrado manteve-se coerente, preservando a informação da modulação BASK.

A figura abaixo mostra o sinal obtido com o filtro de 2<sup>a</sup> ordem, com sua forma suavizada:

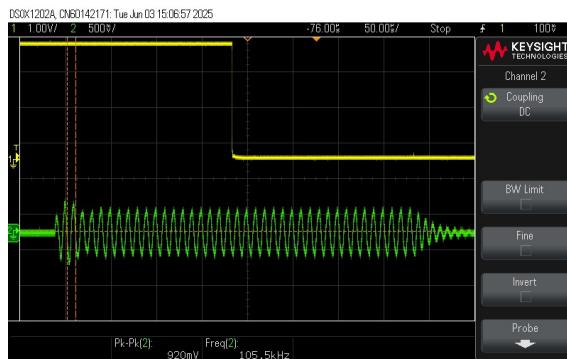


Figura 9: Sinal obtido com o filtro de 2<sup>a</sup> ordem

No traço em verde (canal 2), observa-se a forma de onda resultante da filtragem, com oscilações amortecidas e frequência de aproximadamente 105,5kHz — valor compatível com a frequência de corte teórica de 107kHz calculada em 2.

O circuito correspondente:

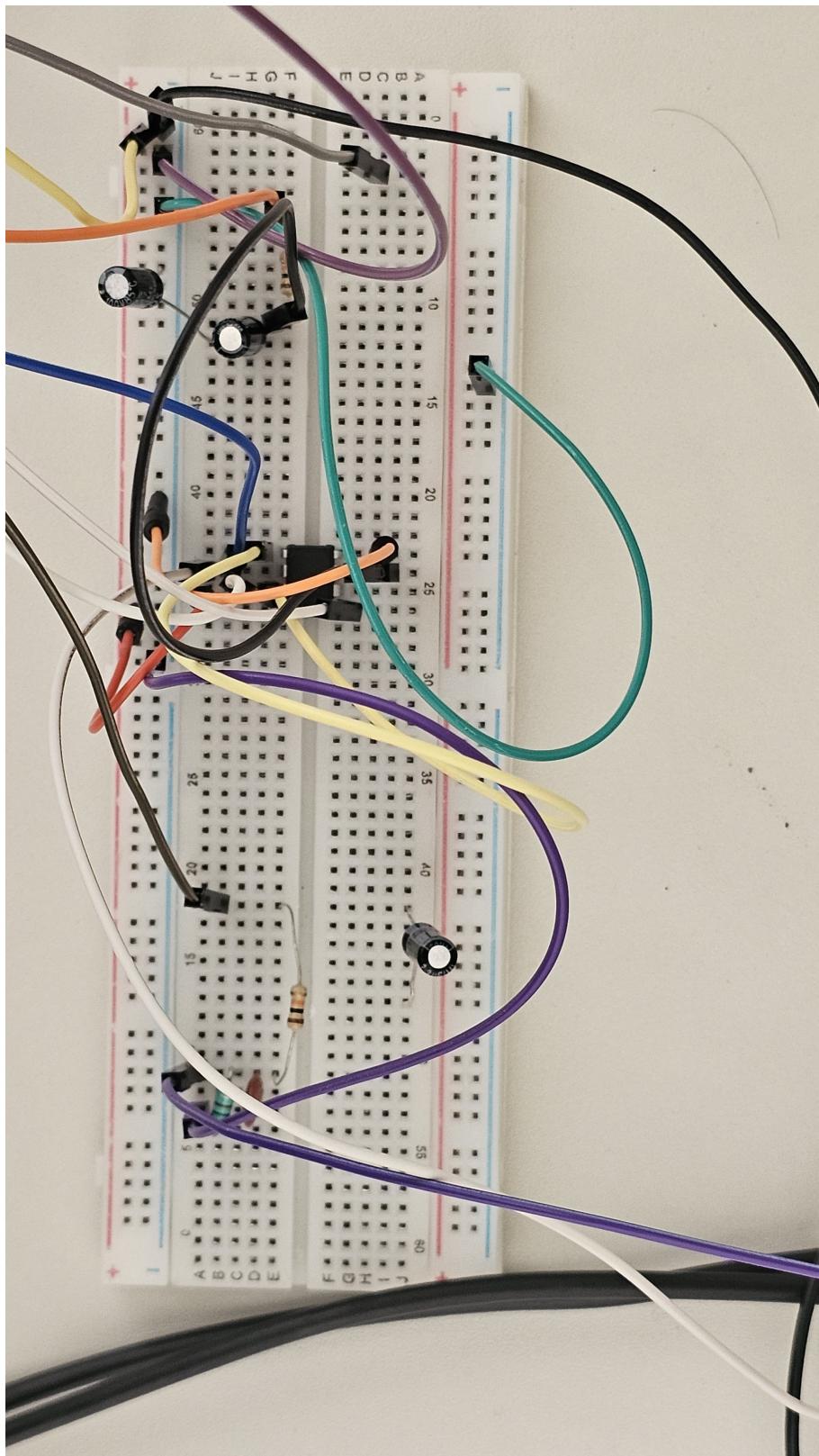


Figura 10: Circuito do filtro de 2<sup>a</sup> Ordem

## 2.5 Etapa 5

Nesta etapa, foi desenvolvido um circuito de demodulação com o objetivo de recuperar o sinal digital original a partir do sinal modulado em amplitude utilizando a técnica BASK. Como essa modulação se baseia na presença ou ausência de uma portadora para representar os bits '1' e '0', respectivamente, a utilização de um detector de envelope torna-se uma solução apropriada e eficiente para realizar a demodulação.

O circuito é composto por dois blocos principais: um estágio de amplificação em dois níveis e, na sequência, o detector de envelope propriamente dito. O estágio de amplificação utiliza transistores NPN do tipo 2N2222 em configuração cascata, com duas finalidades principais: operar em saturação, de modo a garantir que a saída do amplificador atinja níveis compatíveis com os níveis lógicos digitais, e manter o sinal em fase com a entrada, preservando a integridade temporal da informação transmitida.

A saída do amplificador é conectada ao detector de envelope, cujos componentes principais são:

- Díodo Schottky 1N5819, responsável pela retificação do sinal.
- Resistor de carga  $RL = 10 \text{ k}\Omega$ , representando a impedância de entrada do detector.
- Rede RC composta por  $R_d = 100 \text{ k}\Omega$  e  $C_d = 1 \text{ nF}$ , responsável pela filtragem da portadora.

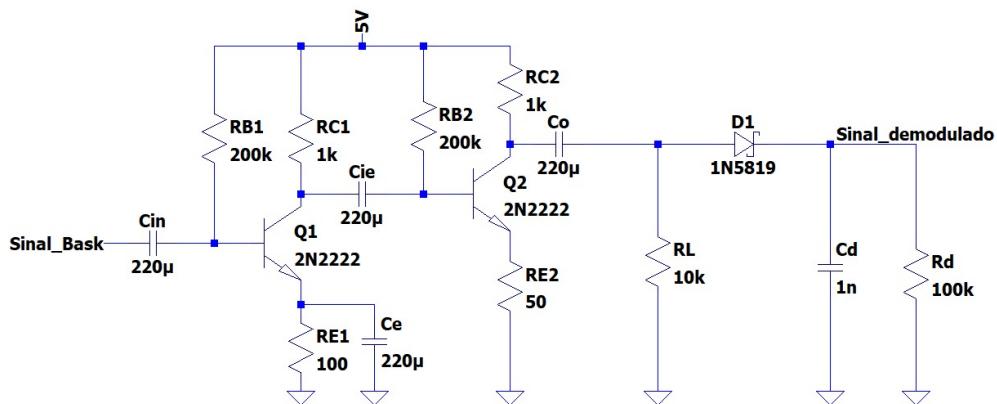


Figura 11: Esquemático do circuito projetado.

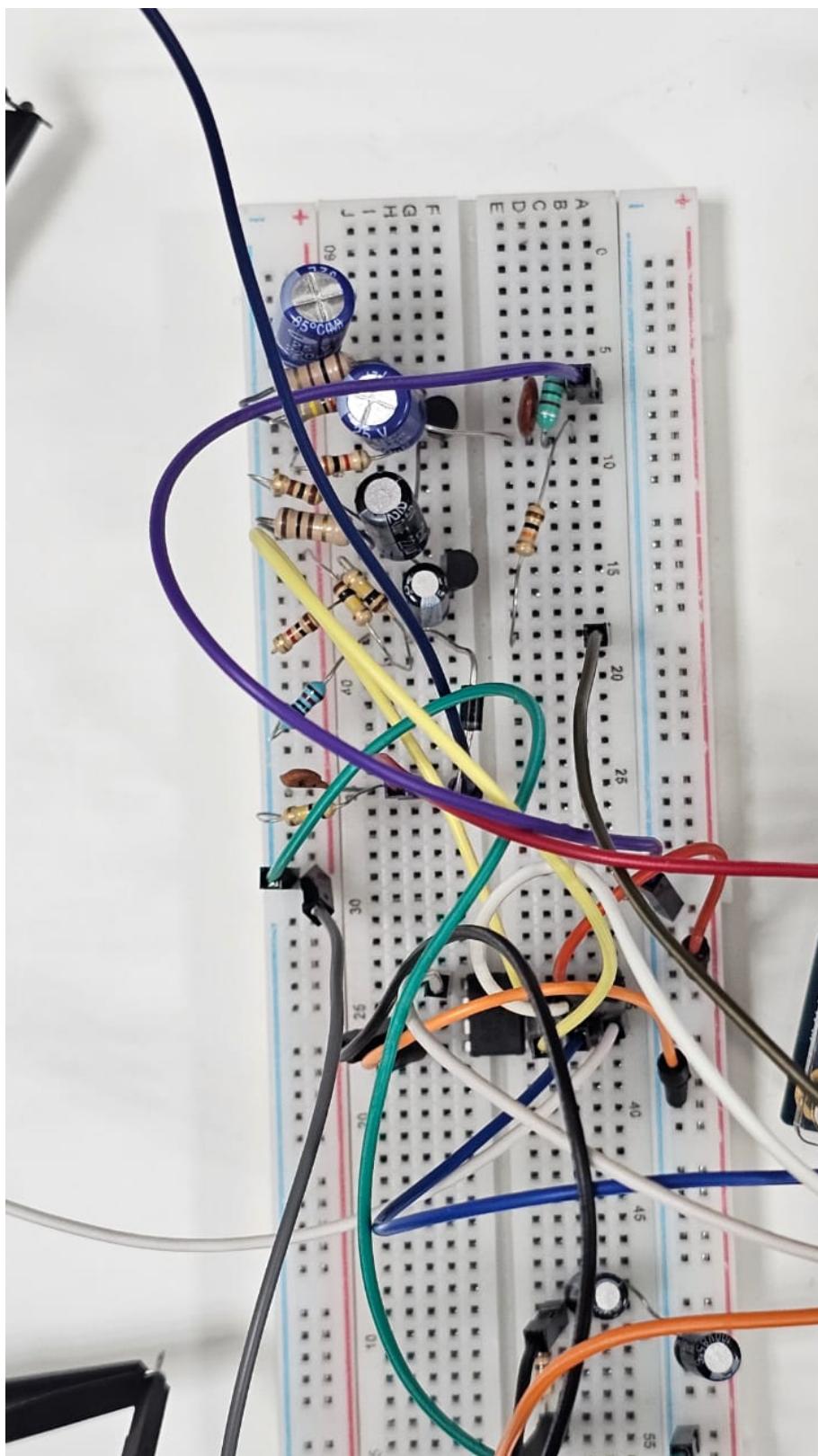


Figura 12:

Circuito prático com amplificador em dois estágios seguido do detector de envelope.

Os valores da rede RC foram dimensionados de acordo com a seguinte diretiva, que garante a atenuação da portadora e a preservação da envoltória do sinal:

$$\frac{1}{f_{\text{mod}}} \ll RC \ll \frac{1}{f_{\text{msg}}} \quad (3)$$

Com os parâmetros:

- $f_{\text{mod}} = 100 \text{ kHz}$  — frequência da portadora.
- $f_{\text{msg}} = 2 \text{ Hz}$  — maior frequência do sinal de mensagem.
- $RC = 100 \mu\text{s}$ , atendendo à condição imposta.

A validação do circuito foi realizada experimentalmente por meio da observação das formas de onda no osciloscópio. O sinal BASK amplificado apresentou pulsos nítidos durante a presença da portadora, enquanto o sinal demodulado mostrou variações suaves de tensão, compatíveis com os níveis lógicos digitais. A saída do detector apresentou comportamento coerente com a envoltória do sinal, confirmando o funcionamento eficaz da demodulação.



Figura 13:

Forma de onda observada no osciloscópio. Canal 2 (azul): sinal BASK; Canal 1 (amarelo): sinal demodulado na saída do detector de envelope.

## 2.6 Etapa 6

Nesta etapa, foi realizado o processo de reconstrução do sinal analógico original a partir de sua representação digital transmitida, com ênfase na correta sincronização entre o ADC e o sistema de demodulação.

A modulação foi feita utilizando PWM, onde cada amostra do sinal analógico é representada por uma largura de pulso proporcional ao seu valor digital. Como as amostras possuem 8 bits de resolução e são adquiridas a uma frequência de 200 Hz, temos uma taxa de transmissão de 1600 Hz (8 bits  $\times$  200 amostras/segundo). Esta frequência representa o ritmo de envio dos bits necessários para a reconstrução do sinal.

Segundo análises, o problema inicialmente enfrentado estava relacionado à falta de sincronismo entre o ADC e o sistema que interpreta os bits para gerar o PWM. Com a sincronização corrigida, tornou-se possível identificar corretamente os bits correspondentes a cada amostra e gerar os pulsos de largura adequada. Em seguida, esses pulsos foram aplicados a um filtro passa-baixa, equivalente ao utilizado na etapa 1, para suavizar o sinal e remover componentes de alta frequência.

A figura 14 mostra o resultado desse processo: o sinal amarelo representa o sinal original, enquanto o sinal azul representa o sinal reconstruído após a filtragem. Observa-se que as formas de onda são praticamente idênticas, indicando que a reconstrução foi bem-sucedida. As frequências medidas (próximas de 1 Hz para ambos os canais) também confirmam a consistência temporal entre os sinais.



Figura 14: Comparação entre o Sinal Original e o Sinal Reconstruído

Este resultado demonstra que a aplicação correta da lógica de sincronismo, somada ao

uso do PWM e filtragem analógica, é suficiente para recuperar com fidelidade um sinal analógico a partir de uma cadeia de aquisição e transmissão digital.

## 2.7 Etapa 7

Nesta etapa do projeto, foi desenvolvida a modulação digital do tipo 4-ASK, que permite representar dois bits por símbolo utilizando quatro diferentes níveis. Como a plataforma de implementação é um FPGA, que opera apenas com sinais digitais (níveis alto e baixo), a variação de amplitude foi representada de maneira alternativa por meio de sinais PWM.

Cada combinação binária de dois bits (00, 01, 10, 11) é convertida em um sinal PWM com duty cycle fixo. O seletor (sel) é obtido a partir da entrada serial de dados por meio do módulo Acq hold, e é utilizado para acionar o MUX 4-ASK, que escolhe entre quatro sinais PWM distintos.

Os duty cycles utilizados — aproximadamente 4,3%, 9,4%, 16,4% e 23% — foram escolhidos de forma que cada um represente um símbolo diferente da modulação 4-ASK. Esses valores estão definidos no código por meio dos parâmetros .DC(22), .DC(47), .DC(82) e .DC(115) nos respectivos geradores de portadora. Isso pode ser observado nas imagens de osciloscópio nas figuras 15, 16 e 17, onde é possível identificar quatro larguras de pulso distintas, com tempos de permanência em nível alto crescentes, conforme o símbolo binário representado.

Ainda que as imagens mostrem apenas o sinal PWM puro (sem aplicação de filtro), sabe-se que, teoricamente, após passar por um filtro passa-baixa, cada duty cycle resultaria em uma amplitude média proporcional — comportamento que simula a modulação em amplitude típica do ASK. Essa abordagem é prática e viável em sistemas digitais, pois permite representar sinais analógicos de maneira discreta e controlada.

Além da implementação em hardware, também foram realizadas simulações em ambiente computacional, com o objetivo de validar teoricamente a associação entre os duty cycles escolhidos e os níveis esperados da modulação 4-ASK. Para isso, foi utilizado o *software* Octave, no qual foi desenvolvido um código que simula o comportamento do sistema implementado. A simulação considerou uma taxa de amostragem de 100 MHz e uma frequência de portadora de 100 kHz, compatíveis com o sistema real. Foram definidos vetores de tempo que abrangem 62,5 ciclos da portadora por símbolo, e, para cada símbolo binário, foram gerados dois sinais: um PWM com duty cycle fixo e amplitude de 3,3V (representando a saída digital da FPGA) e uma senoide de 100 kHz com amplitude proporcional ao duty cycle (representando o sinal reconstruído após filtragem).

A sequência de transmissão simulada foi composta pelos símbolos '00', '11', '01', '10', '10', '00' e '01', os quais foram mapeados para os respectivos sinais PWM e senoidais e concatenados em sequência. Os resultados foram então plotados em dois gráficos, permitindo visualizar tanto o comportamento do PWM quanto o sinal senoidal correspondente à modulação 4-ASK. A simulação reproduziu de forma fiel o funcionamento teórico do sistema, evidenciando a coerência entre o modelo digital por PWM e os níveis analógicos equivalentes, como pode ser visto na figura 19. A semelhança da estrutura do código com as etapas anteriores (que trataram da modulação BASK) reforça a consistência da abordagem adotada e demonstra uma transição bem-sucedida para o esquema multinível da modulação 4-ASK.



Figura 15: Sinais PWM para Modulação 4-ASK e Espectro do Canal Reconstruído



Figura 16: Espectro de Frequência do Sinal PWM Modulado

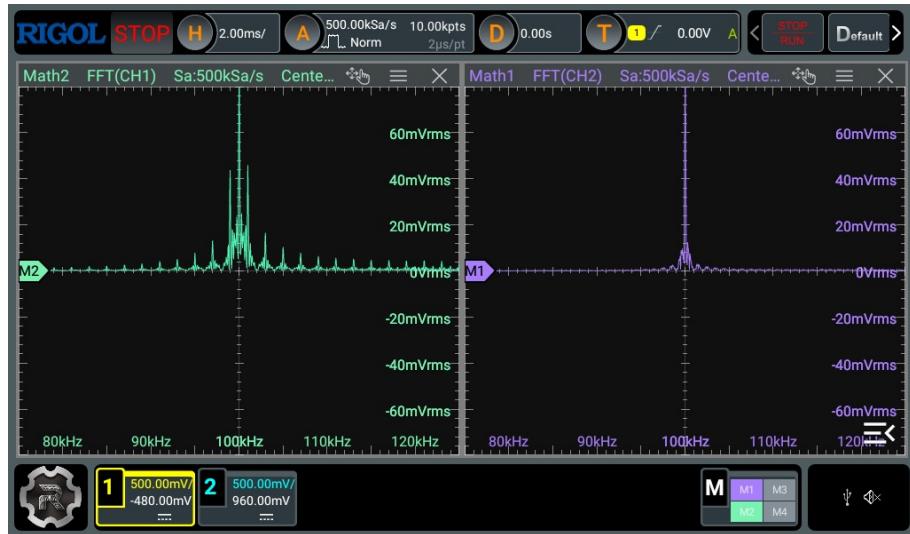


Figura 17: Comparação Espectral dos Canais PWM Modulados

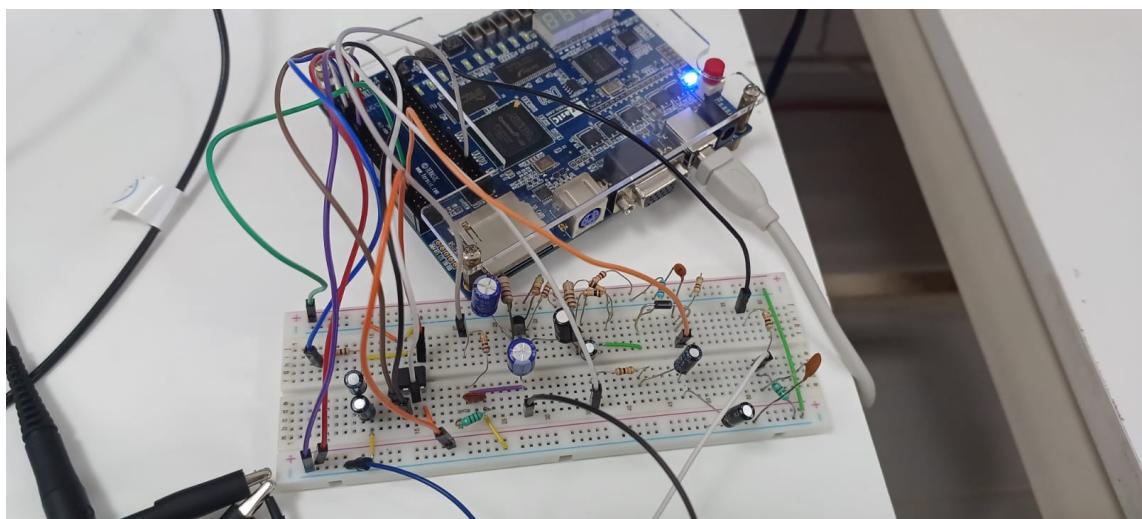


Figura 18: Circuito Final

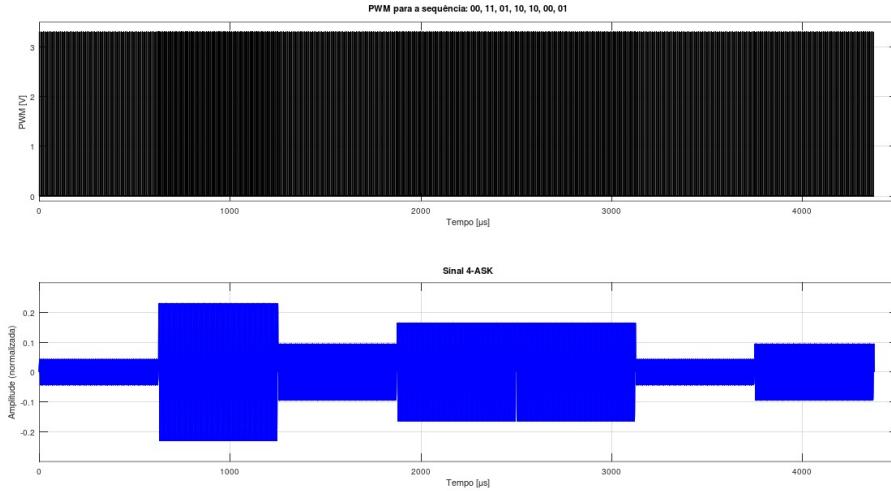


Figura 19: Sinal obtido através de simulação

Assim, a Etapa 7 demonstra uma forma eficiente de implementar 4-ASK em FPGA, utilizando apenas recursos digitais, com evidência experimental das quatro formas distintas de PWM correspondentes aos símbolos da modulação.

### 3 Resultados e Conclusão

O projeto apresentado neste relatório teve como objetivo implementar um sistema completo de modulação e demodulação digital utilizando uma FPGA como núcleo do processamento. As etapas foram conduzidas de forma sequencial, cada uma construindo a base para a seguinte, com validações práticas por meio de medições em bancada e análise em osciloscópio.

Na etapa 1, o foco foi a geração do sinal analógico via modulação por largura de pulso (PWM), utilizando a técnica de DDS (Direct Digital Synthesis) para representar o sinal mensagem. A filtragem analógica posterior foi eficaz em reconstruir a forma de onda original, com excelente correspondência visual entre o sinal teórico e o sinal real obtido, comprovando a viabilidade da abordagem.

Na etapa 2, foi implementado o processo de amostragem por meio de um ADC externo (MCP3002) controlado pela FPGA. A comunicação SPI foi corretamente configurada, e os dados digitalizados foram lidos com fidelidade pela FPGA. A análise visual mostrou que o sinal digital gerado apresentava coerência com o sinal analógico original, respeitando a resolução de 8 bits e a frequência de amostragem de 200 Hz.

A etapa 3 tratou da geração de um sinal BASK, com frequência de portadora centrada

em 100 kHz. O uso da modulação PWM permitiu representar a presença ou ausência da portadora de forma eficiente, sendo observadas quatro principais características no sinal: fidelidade do bit de controle, geração precisa da portadora, compatibilidade espectral com o valor esperado e ausência significativa de ruído ou jitter.

Na etapa 4, a filtragem do sinal PWM com um filtro LC de segunda ordem permitiu extrair a envoltória do sinal modulado. Apesar da frequência de corte estar ligeiramente acima da portadora, o filtro desempenhou adequadamente sua função de atenuar as harmônicas e preservar a informação principal da modulação.

A etapa 5 concluiu o ciclo da modulação BASK com a implementação de um demodulador por detector de envelope. O circuito incluiu um estágio amplificador e uma rede RC ajustada de forma a atender à relação entre as frequências da portadora e da mensagem. Os sinais medidos confirmaram que a demodulação foi realizada com sucesso, com resposta fiel ao sinal original, comprovando o alinhamento entre teoria e prática.

Na etapa 6, foi implementado o processo de reconstrução do sinal analógico a partir dos dados digitais amostrados. A sincronização entre ADC e gerador PWM foi corrigida, e os dados digitais foram convertidos em pulsos com larguras proporcionais ao valor de cada amostra. O sinal reconstruído, após passar por um filtro passa-baixa, apresentou excelente correspondência visual com o sinal original, comprovando a efetividade do processo de reconstrução.

Por fim, a etapa 7 tratou da implementação da modulação 4-ASK em ambiente digital. Como a FPGA não pode gerar amplitudes analógicas diretamente, a estratégia adotada foi representar os quatro níveis por meio de diferentes duty cycles PWM. Foram utilizados duty cycles de aproximadamente 4,3%, 9,4%, 16,4% e 23%, cada um associado a um par de bits binários. As imagens do osciloscópio confirmaram a presença de quatro padrões distintos de largura de pulso.

Adicionalmente, foi realizada uma simulação computacional utilizando o *software* Octave, com o objetivo de validar teoricamente o comportamento da modulação 4-ASK implementada via PWM. A simulação considerou parâmetros coerentes com o sistema real, como taxa de amostragem de 100 MHz, frequência de portadora de 100 kHz e duração de 62,5 ciclos por símbolo. Para cada símbolo binário, foram gerados tanto o sinal PWM correspondente quanto uma senoide com amplitude proporcional ao duty cycle, representando a saída esperada após filtragem analógica. A sequência de símbolos simulada foi concatenada e analisada graficamente, demonstrando visualmente a correspondência entre os padrões PWM e os níveis de amplitude da modulação ASK. Além disso, a estrutura espectral dos sinais se mostrou compatível com o comportamento esperado de uma modulação digital em amplitude. Essa simulação reforçou a validade do sistema projetado,

servindo como ferramenta complementar de análise e verificação funcional.

Como conclusão geral, os resultados obtidos em todas as etapas demonstram o sucesso do sistema proposto, tanto em sua concepção quanto em sua implementação. As formas de onda observadas experimentalmente foram consistentes com as previstas teoricamente, e os sinais digitais e analógicos mantiveram coerência ao longo de toda a cadeia de processamento. As técnicas de modulação PWM, filtragem e detecção demonstraram-se eficientes e viáveis para aplicação em sistemas de comunicação digital com uso de FPGAs.

Este projeto representa uma base sólida para futuras implementações mais complexas, como modulações multível de ordem superior, sistemas de transmissão em tempo real e integração com interfaces digitais de comunicação.