

Consigna:

Se deberá diseñar un sistema integrador (SI) capaz de realizar una operación de multiplicación de números de 2 dígitos, el cual tiene como interfaz con el usuario un emulador de terminal en una pc.

Dicho sistema estará compuesto de un hardware y software. El módulo hardware (MHW) incluye el procesador RV32I y la UART desarrollados en clase y demás componentes diseñados por el grupo de alumnos, a fin de establecer la comunicación entre la pc y el SI. El módulo software (MSW) incluye el código de manejo de e/s y la rutina de multiplicación.

Funcionamiento:

- El usuario realiza la operación: introduciendo en el emulador, el primer operando de 2 dígitos (del 00 al 99), el signo de multiplicación "*", el segundo operando con igual formato, y el ENTER. En la pantalla del emulador aparecerá por ejemplo: "xx*yy"
- El SI realizará la operación: a renglón seguido aparecerá en el emulador: "=zz", dejando el cursor del emulador en la línea siguiente esperando una nueva operación.

Elementos a presentar por grupo (max 3 integrantes) para la defensa:

1. El SI impactado en la FPGA provisto por la cátedra con las conexiones a un puerto USB de PC (la que tendrá instalado un emulador de terminal tipo TeraTerm o similar).
2. El informe grupal del SI que contendrá: Consigna; Descripción del SI propuesto: Descripción de MHW propuesto, Descripción del MSW propuesto, Decisiones de diseño y justificación, Diagramas; Conclusiones. (max 6 páginas)
3. Archivo en formato ZIP conteniendo: Códigos fuente (verilog, BIN, ASM, HEX); Diagramas de conexión, estado y flujo; Informe; Archivo con links a Videos individuales de defensa (max 15 min).
4. A tal fin la cátedra creará un link de subida con fecha límite 07/11/23 a las 23:55.