

# 实验七—50条指令补充说明

- 1. 处理器应支持MIPS-C3指令集。
  - MIPS-C3={ LB, LBU, LH, LHU, LW, SB, SH, SW, ADD, ADDU, SUB, SUBU, MULT, MULTU, DIV, DIVU, SLL, SRL, SRA, SLLV, SRLV, SRAV, AND, OR, XOR, NOR, ADDI, ADDIU, ANDI, ORI, XORI, LUI, SLT, SLTI, SLTIU, SLTU, BEQ, BNE, BLEZ, BGTZ, BLTZ, BGEZ, J, JAL, JALR, JR, MFHI, MFLO, MTHI, MTLO }。
  - 目前为止不需要考虑运算类指令的溢出处理。
- 2. 处理器为流水线设计。
- 3. 建议采用分布式控制器架构，具体来说建议采用3-控制器架构。即将原先的Hazard Unit进一步拆分为暂停控制器和转发控制器。
  - 主控制器：功能同单周期设计，指令译码，功能部件控制，MUX（不包括转发MUX）控制等。
  - 暂停控制器：根据相关检测，处理插入空指令，即暂停IF/ID的指令。
  - 转发控制器：根据相关检测，根据相关检测，进行转发的控制。
- 4. 对于b类和j类指令，流水线设计**必须支持延迟槽**，因此设计时需要注意使用PC+8。
- 5. ALU接口应符合实验三中规定的技术规范。
- 6. CMP模块。CMP用于实现b类指令的比较操作。CMP位于流水线的译码/读寄存器级（ID级）。下面给出CMP接口设计的规范。

信号名	方向	描述
A[31:0]	Input	第一个运算数
B[31:0]	Input	第二个运算数
Op[X:0]	Input	比较类型，编码及位宽（X）可自行定义
Br	Output	分支指令的比较结果 0：条件不成立 1：条件成立

- 7. GPR（寄存器堆）接口设计规范。

信号名	方向	描述
A1[4:0]	Input	读取的第1个寄存器编号
A2[4:0]	Input	读取的第2个寄存器编号
A3[4:0]	Input	写入的寄存器编号
RD1[31:0]	Output	A1对应的寄存器值
RD2[31:0]	Output	A2对应的寄存器值
WD[31:0]	Input	写入的数据
We	Input	写使能
Clk,Rst	Input	时钟，复位

- GPR需要实现先写后读功能，即**内部转发**，当写入寄存器编号与读出寄存器编号相同时，输出值就是待写入的寄存器值。
8. 乘除法部件。为了支持 mult, multu, div, divu, mfhi, mflo, mthi, mtlo 这些乘除法指令，需要设计独立的乘/除功能部件，该部件位于流水线的执行级（EX级），如图1所示。

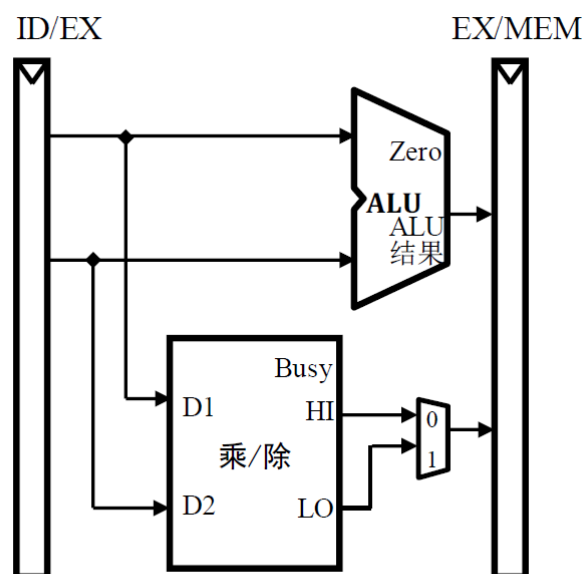


图 1 流水线 EX 阶段的乘/除部件

- 为降低实现难度，乘除法运算的实现可以使用Verilog的内置运算符，不需要从门级实现乘除法运算模块。
- 乘除法运算延迟。我们假定该模块执行乘法的时间为5个cycle（包含写入内部的HI和LO寄存器，执行除法的时间为10个cycle。你再乘除法部件内部**必须模拟**这个延迟，即通过Busy标志来反映这个延迟，如图2所示。

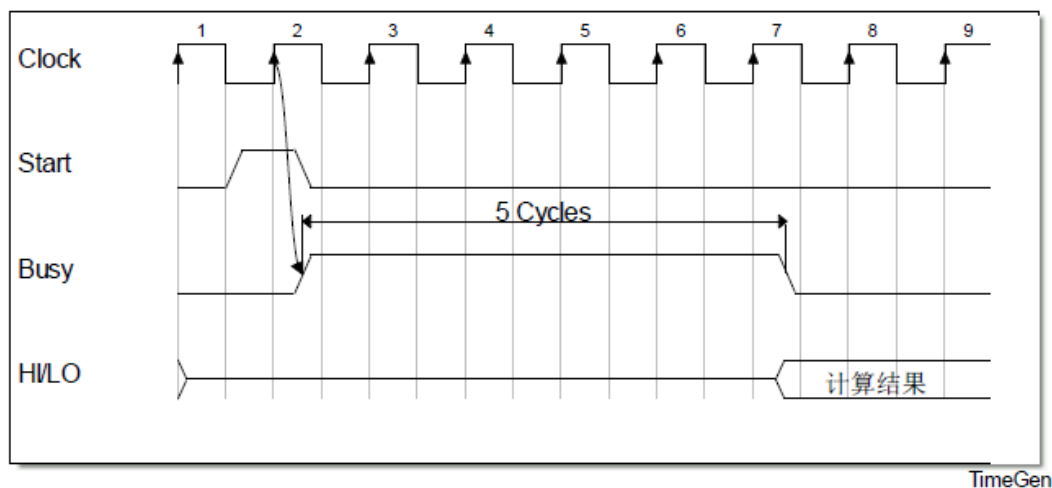


图 2 乘法执行延迟(5 cycles)

- 乘除法部件与ALU可以并行工作，这意味这你可以再 mult/multu/div/divu 指令后面放入若干无关指令，从而充分利用乘除法部件的执行延迟。
- 乘除法部件的接口设计规范。

信号名	方向	描述
D1[31:0]	Input	1.执行乘除法指令时的第1个操作数 2.执行 mthi/mtlo 指令时的写入数据
D2[31:0]	Input	执行乘除法指令时的第2个操作数
HiLo	Input	待写入的寄存器 0: LO寄存器 1: HI寄存器
Op[1:0]	Input	运算类型 00: 无符号乘法 01: 有符号乘法 10: 无符号除法 11: 有符号除法
Start	Input	运算启动。 <b>该信号只有效1个cycle</b> 1: 启动
We	Input	HI或LO寄存器的写使能
Busy	Output	乘除法模块的忙标志 0: 乘除单元未执行运算 1: 乘除单元正在执行运算
HI[31:0]	Output	HI寄存器的输出值
LO[[31:0]]	Output	LO寄存器的输出值
Clk,Rst	Input	时钟, 复位

- 自Start信号为1后的第一个时钟上升沿开始, 乘除部件开始执行运算, 同时Busy置为1。在运算结果保存到HI和LO后, Busy位清除为0。
  - 当Busy为1时, mfhi,mflo,mthi,mtlo,mult,multu,div,divu 均被阻塞, 即被阻塞在IF/ID。
  - 数据写入HI或LO, 均只需1个cycle。
9. 指令存储器 (IM) 和数据存储器 (DM) 容量都扩充为8KB (32bit\*2K)
10. 为支持 sb,sh 指令, DM模块的接口规范更新如下。

信号名	方向	描述
A[13:2]	Input	DM的地址
BE[3:0]	Input	4位字节使能, 分别对应4个字节。 BE[x]为1: 对应的WD中的第x字节数据有效 BE[x]为0: 对应的WD中的第x字节数据无效
WD[31:0]	Input	32位写入数据
RD[31:0]	Output	32位输出数据
We	Input	写使能
Clk	Input	时钟

- 提示，由于DM地址的低两位没有意义，所以可以用来传递额外的信息。由于BE的状态只有3种，所以使用DM地址的低两位进行编码，并在输入DM模块前使用BE扩展进行解码，如图3所示。

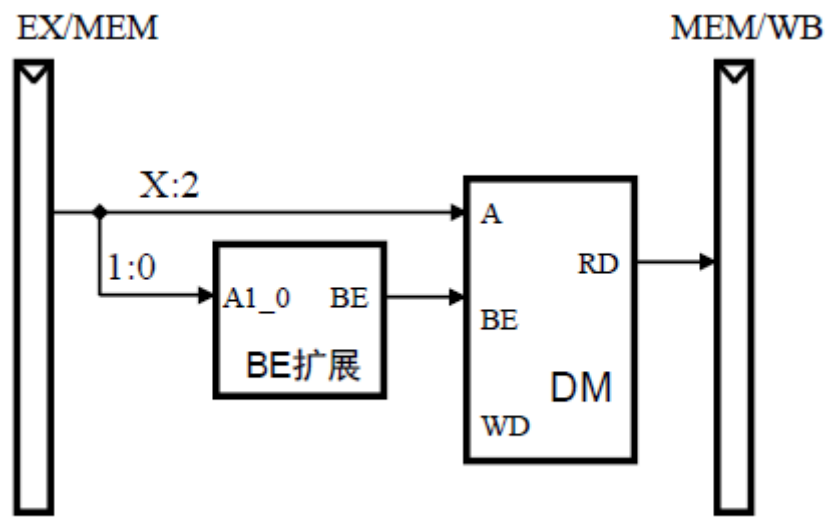


图 3 BE 扩展

11. 对于 lb, lbu, lh, lhu 指令，你必须增加一个数据扩展模块，这个模块把从DM读出的数据取出指定的字节/半字，并对其做符号扩展/零扩展。下面给出数据扩展模块的接口规范。

信号名	方向	描述
A[1:0]	Input	读取数据的最低2位地址
Din[31:0]	Input	输入的32位数据
Op[2:0]	Input	数据扩展控制码 000：无扩展 001：无符号字节数据扩展 101：有符号字节数据扩展 011：无符号半字数据扩展 111：有符号半字数据扩展
Dout[31:0]	Output	扩展后的32位数据

- 数据模块应在MEM/WB之后，而不应在DM之后，即都**处于WB级，而不是MEM级**。（为什么？因为在流水线中，MEM阶段是流水线的最长阶段，如果放置在MEM级，那么MEM级的延迟会进一步增加。而放置在WB阶段，由于寄存器堆的延迟低于DM的延迟，所以不会导致时钟频率的降低。）

12. 测试要求。尤其注意引入乘除法模块带来的额外测试需求。

- 功能测试：注意测试指令的数据边界，如对于mult指令，至少应测试 正\*正，正\*负，负\*正，负\*负，数\*0，0\*数 等情况。
- 相关性测试：注意测试控制系统依据Busy标志判断相关指令是否应被阻塞等情况。

13. 如无特殊说明，其它要求同10条指令版本。