Arquitetura e Organização de Computadores

**Processador P8B** 

Lucas Prado Ribeiro Lucas Ribeiro Alvino





# Conjunto de Instruções

## TIPO R

Este formato aborda instruções baseadas em operações aritméticas Como add e sub, que utilizam 2 registradores

| 4 Bits | 2 Bits | 2 Bits |
|--------|--------|--------|
| Opcode | Reg1   | Reg 2  |

# Tipo I

Este formato aborda instruções que utilizam o um valor gerado no próprio código (imediato). load e store por exemplo.

| 4 Bits | 2 Bits | 2 Bits   |
|--------|--------|----------|
| Opcode | Reg1   | Imediato |

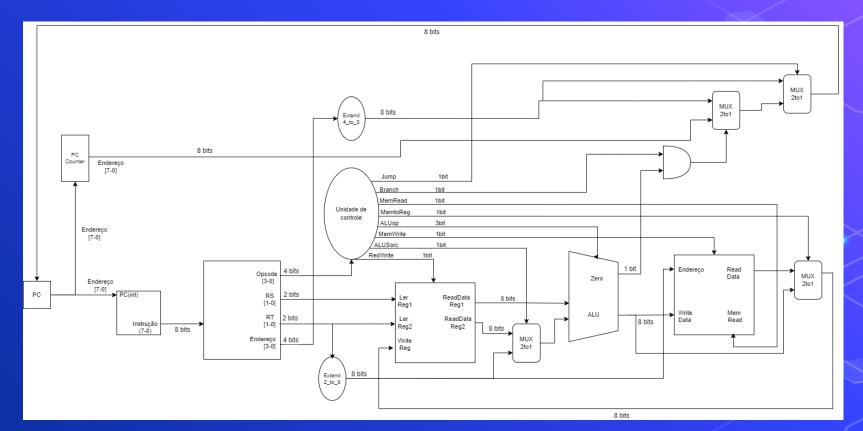
Tipo J

Este formato aborda instruções de salto condicional (beq e bne) e salto incondicinal (jump).

4 Bits
Opcode

4 Bits
Endereço

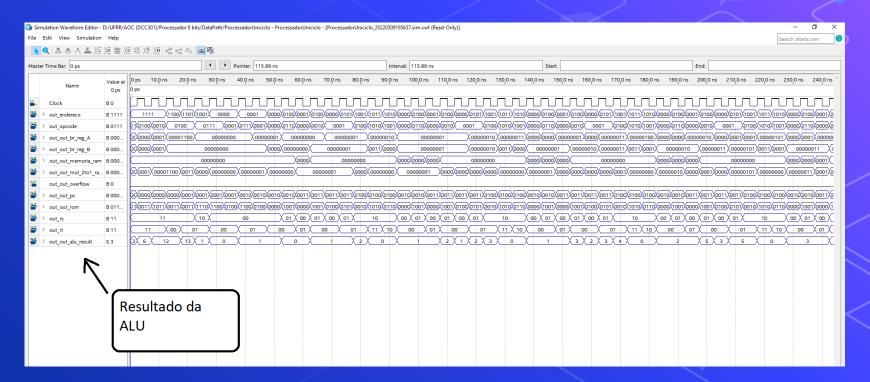
# Datapath



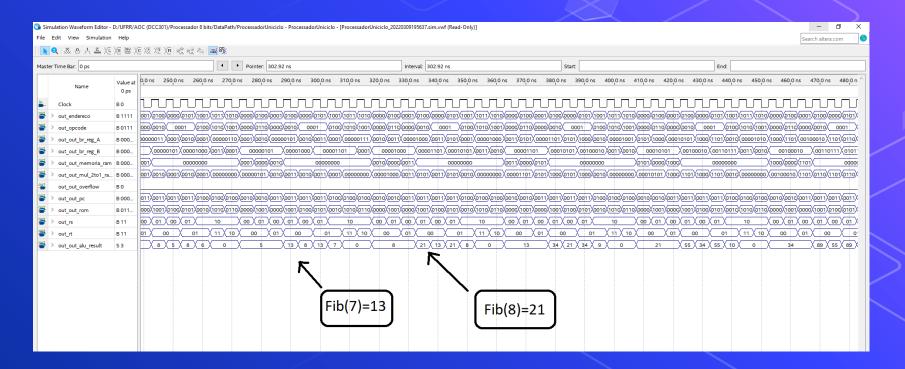
O programa descrito representa o cálculo da sequência de Fibonacci. Os 4 registradores foram utilizados nesse programa, sendo que S0 foi utilizado para acessar os valores da RAM, S1 como auxiliar da soma, S2 como contador e, finalmente, S3 para o número Fibonacci objetivado. Enquanto o programa avança, são armazenados na memória RAM o último número da sequência e seu anterior.

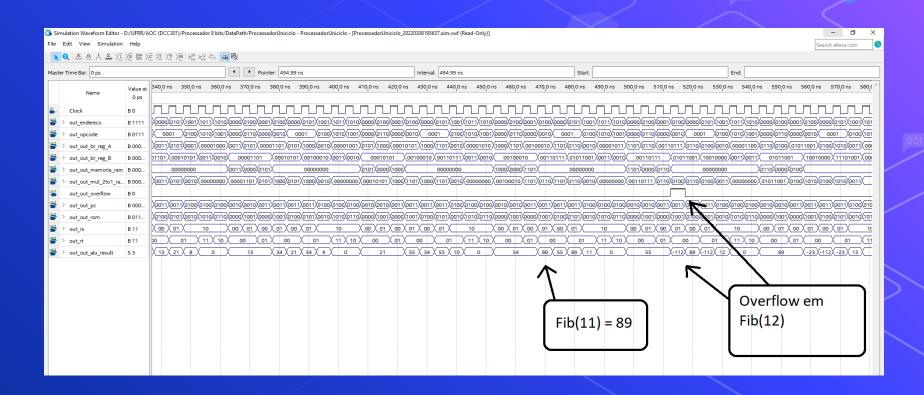
|           |           |                | Binário |          |      |  |
|-----------|-----------|----------------|---------|----------|------|--|
|           |           |                |         | Reg2     |      |  |
| Endereço  | Instrução | Alto Nível     | Opcod   | Imedia   | Reg1 |  |
| Linacicço | mstração  | Alto Hivei     | е       | to       | MCB1 |  |
|           |           |                | Ĭ       | Endereco |      |  |
| 0         | 01111111  | li S3, 3       | 0111    | 11 11    |      |  |
| 1         | 01001111  |                | 0100    | 11       | 11   |  |
|           |           | addi S3, 3     |         |          |      |  |
| 2         | 00101111  | add S3, S3     | 0010    | 11       | 11   |  |
| 3         | 01001100  | addi S3, 0     | 0100    | 11       | 00   |  |
| 4         | 01001101  | addi S3, 1     | 0100    | 11       | 01   |  |
| 5         | 01111001  | li S2, 1       | 0111    | 10       | 01   |  |
| 6         | 01110000  | li S0, 0       | 0111    | 00       | 00   |  |
| 7         | 00010000  | sw S0, ram(00) | 0001    | 00       | 00   |  |
| 8         | 01110001  | li S0, 1       | 0111    | 00       | 01   |  |
| 9         | 00010001  | sw S0, ram(01) | 0001    | 00       | 01   |  |
| 10        | 00000000  | lw S0, ram(00) | 0000    | 00       | 00   |  |
| 11        | 01100100  | move S1, S0    | 0110    | 01       | 00   |  |
| 12        | 00000001  | lw S0, ram(01) | 0000    | 00       | 01   |  |
| 13        | 00100100  | add S1, S0     | 0010    | 01       | 00   |  |
| 14        | 00010000  | sw S0, ram(00) | 0001    | 00       | 00   |  |
| 15        | 00010101  | sw s1, ram(01) | 0001    | 01       | 01   |  |
| 16        | 01001001  | addi s2, 1     | 0100    | 10       | 01   |  |
| 17        | 10101011  | cmp S2, S3     | 1010    | 10       | 11   |  |
| 18        | 10011010  | bne 1010       | 1001    | 10       | 10   |  |
| 19        | 01110000  | li S0, 0       | 0111    | 00       | 00   |  |
| 20        | 01110100  | li S1, 0       | 0111    | 01       | 00   |  |
| 21        | 01111000  | li S2, 0       | 0111    | 10       | 00   |  |
| 22        | 01111100  | li S3, 0       | 0111    | 11       | 00   |  |

#### **Waveforms**



### **Waveforms**





### Conclusão

Devido ao pequeno tamanho máximo de bits por instrução, as operações do processador são muito limitadas, sendo notáveis tais limitações:

Todavia, as instruções, se executadas dentro dos limites impostos pelo componente, devolvem os valores corretos