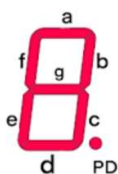


Laboratório 08

- Sintetize, na placa, um circuito que gere o produto de 2 números inteiros, sem sinal, de 2 bits ($prod = m \times q$). Configure o circuito com o projeto visto em aula (ANDs e somadores full-adder. As entradas devem ser SW3 a SW2 para a entrada **m**, SW1 a SW0 para a entrada **q**. A entrada **cin** do primeiro somador deve ser sempre 0, ou seja, definido dentro do código VHDL. As entradas e as saídas devem ser mostradas displays de 7 segmentos (HEX7 <- prod, HEX5 <- a, HEX3 <- b).
- Usar um somador completo como COMPONENT, usando o arquivo de PACKAGE para definição do PORT MAP do componente.
- Instanciar o 2 somadores e agregar os ANDs, e um terceiro arquivo.

DICAS

1. Refaça todo o processo para a definição do circuito, que fizemos em aula.
2. Para programar o DISPLAY de 7 SEGMENTOS, veja o exemplo baixo. Lembrar que o display que mostra o produto, deve mostrar de 0 a 9 ($3 \times 3 = 9$, que é maior número para prod)



with prod select

HEX7 <=

```
"0000001" when "0000",
"1001111" when "0001",
"0010010" when "0010",
"0000110" when "0011",
"1001100" when "0100",
"0100100" when "0101",
"0100000" when "0110",
"0001111" when "0111",
"0000000" when "1000",
"0001100" when "1001",
"1111111" when others;
```

Para entregar: arquivos: os 3 arquivos vhd, o print da simulação e o vídeo do funcionamento da placa.