

ATIVIDADE 10 – 1s25

Atividade 1

Projete, usando VHDL, decodificador 4:16, usando como componente um decodificador 2:4.

- Primeiro projete o decodificador 2:4, simule no MODELSIM e verifique se está correto. NÃO USAR AS ENTRADAS E SAÍDAS DA PLACA.
- Depois, gere um package com este decodificador 2:4 e use no projeto do decodificador 4:16, simule no MODELSIM e verifique se está correto. NÃO USAR AS ENTRADAS E SAÍDAS DA PLACA.
- Por último, gere um package com o projeto do decodificador 4:16 e utilize-o como componente em um arquivo onde você deverá apenas mapear as entradas do decodificador 4:16, nas entradas e saídas da placa. Usar SW para entradas e LEDR para saídas. Este arquivo terá, no fim, a entidade superior hierarquicamente.

Atividade 2

Projete, usando VHDL, MUX 8:1, usando como componente um MUX 2:1.

- Primeiro projete o MUX 2:1, simule no MODELSIM e verifique se está correto. NÃO USAR AS ENTRADAS E SAÍDAS DA PLACA.
- Depois, gere um package com este MUX 2:1 e use no projeto do MUX 8:1, simule no MODELSIM e verifique se está correto. NÃO USAR AS ENTRADAS E SAÍDAS DA PLACA.
- Gere um package com o projeto do MUX 8:1 e utilize-o como componente em um projeto onde você deverá apenas mapear as entradas do MUX 8:1, nas entradas e saídas da placa. Usar SW para entradas e LEDR para saídas. Este arquivo terá, no fim, a entidade superior hierarquicamente.

ENTREGA – PARA CADA ATIVIDADE (1 e 2)

- ARQUIVOS VHD: são 5 para cada atividade,
- Print das simulações no MODELSIM: são 2 para cada atividade
- Vídeo do funcionamento do projeto na placa: um para cada atividade