

	regW	RegD	Branch	memWritte	MemReg	MemReadByte	MemWriteByte	ShiftD	AluControl	AluSrcD
ADD	1	0	0	0	0	1111	1111	0	0000	00
SUB	1	0	0	0	0	1111	1111	0	0001	00
AND	1	0	0	0	0	1111	1111	0	0010	00
OR	1	0	0	0	0	1111	1111	0	0011	00
XOR	1	0	0	0	0	1111	1111	0	0100	00
NOR	1	0	0	0	0	1111	1111	0	0101	00
SLL	1	0	0	0	0	1111	1111	0	0110	00
SRL	1	0	0	0	0	1111	1111	0	0111	00
SRA	1	0	0	0	0	1111	1111	0	1000	00
SLT	1	1	0	0	0	1111	1111	0	1001	00
SRLV	1	0	0	0	0	1111	1111	0	0111	01
SRAV	1	0	0	0	0	1111	1111	0	1000	01
SLLV	1	0	0	0	0	1111	1111	0	0110	01
LW	1	0	0	0	1	1111	1111	0	0000	01
STR	0	0	0	1	0	1111	1111	0	0000	01
BEQ	0	0	1	0	0	1111	1111	0	0001	01
ADDI	1	0	0	0	0	1111	1111	0	0000	01
LB	1	0	0	0	1	0001	0001	0	0000	01
LBU	1	0	0	0	1	0001	0001	0	0000	01
LH	1	0	0	0	1	0011	0011	0	0000	01
LHU	1	0	0	0	1	0011	0011	0	0000	01
LWU	1	0	0	0	1	1111	1111	0	0000	01
SU	0	0	0	1	0	1111	1111	0	0000	01
SH	0	0	0	1	0	0011	0011	0	0000	01
ANDI	1	0	0	0	0	1111	1111	0	0010	01
ORI	1	0	0	0	0	1111	1111	0	0011	01
XORI	1	0	0	0	0	1111	1111	0	0100	01
LUI	1	0	0	0	1	1111	1111	16	0110	01
SLTI	1	0	0	0	0	1111	1111	0	1001	01
BNE	0	1	1	0	0	1111	1111	0	0001	01