

2:1 多路复用器 (mux2to1) Specification

geoffrey xu 
13149131068@163.com
xidian university
2026-01-22

目录

| | |
|---|---|
| 1. Overview | 1 |
| 1.1. Functional Summary | 1 |
| 1.2. Performance Metrics | 2 |
| 1.3. Dependencies | 2 |
| 2. Configuration Parameters | 2 |
| 3. Interface | 2 |
| 3.1. Signal List | 2 |
| 3.2. Timing Diagrams | 2 |
| 3.3. Protocol Definitions | 2 |
| 4. Register Map | 3 |
| 5. Micro-Architecture | 3 |
| 5.1. Module Decomposition Tree (Functional Hierarchy) | 3 |
| 5.2. Block Diagrams & Sub-module Partitioning | 3 |
| 5.3. Key FSM Descriptions | 3 |
| 5.4. Data Flow Paths | 4 |
| 5.5. Error Handling | 4 |
| 6. Clock & Reset | 4 |
| 7. Integration & Usage | 4 |
| 7.1. Instantiation Template | 4 |
| 7.2. Simulation Guide | 4 |

1. Overview

1.1. Functional Summary

- `mux2to1` 是一个纯组合逻辑的 2:1 多路复用器 (Multiplexer)。
- `sel` 用于在 `in1` 与 `in2` 之间选择一路输出到 `out`。

1.2. Performance Metrics

- Latency: 0 cycles（组合逻辑，仅存在门级传播延迟）。
- Throughput: 1 组输入/时钟（若在同步系统中每拍输入稳定一次，则每拍可产出一组有效输出）。
- Resource Estimation (PPA): 与 `INPUT_WIDTH` 线性相关（综合后一般为若干 LUT/门级 MUX；无寄存器、无存储资源）。

1.3. Dependencies

- 无（不依赖厂商原语/第三方 IP；仅使用基础 Verilog 语法）。

2. Configuration Parameters

| Parameter Name | Default Value | Valid Range | Description |
|--------------------------|---------------|-------------|------------------|
| <code>INPUT_WIDTH</code> | 8 | ≥ 1 | 输入/输出数据总线宽度（bit） |

3. Interface

3.1. Signal List

| Name | Width | Direction | Clock Domain | Description |
|------------------|--------------------------|-----------|--------------|-----------------------------------|
| <code>in1</code> | <code>INPUT_WIDTH</code> | Input | N/A | 数据输入 1 |
| <code>in2</code> | <code>INPUT_WIDTH</code> | Input | N/A | 数据输入 2 |
| <code>sel</code> | 1 | Input | N/A | 选择信号：决定 <code>out</code> 连接到哪一路输入 |
| <code>out</code> | <code>INPUT_WIDTH</code> | Output | N/A | 复用输出 |

3.2. Timing Diagrams

- 该模块为组合逻辑，不涉及握手/时序协议。
- 对于任意输入变化，`out` 在综合后的传播延迟之后稳定；在同步系统中建议在同一时钟域内满足组合路径时序约束（setup/hold）。

3.3. Protocol Definitions

- 无标准总线协议/握手协议。

- 选择关系 (Truth Table):

| sel | out |
|-----|-----------|
| 0 | out = in1 |
| 1 | out = in2 |

4. Register Map

- 无寄存器/CSR (Not Applicable)。

5. Micro-Architecture

5.1. Module Decomposition Tree (Functional Hierarchy)

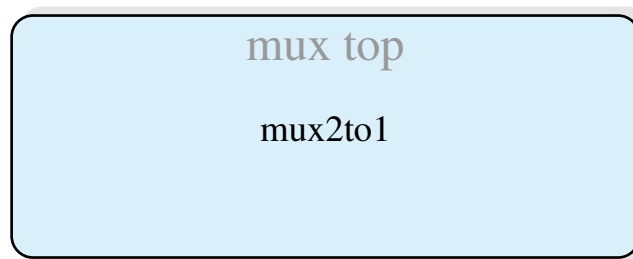


图 1 模块分解图 (Functional Hierarchy)

5.2. Block Diagrams & Sub-module Partitioning

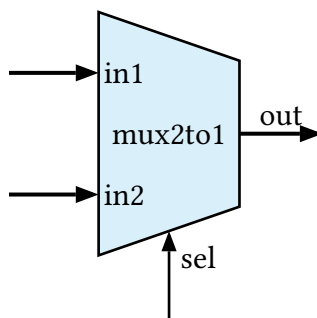


图 2 微架构图 (Micro-Architecture Block Diagram)

5.3. Key FSM Descriptions

- 无 (组合逻辑, 无状态机)。

5.4. Data Flow Paths

- 单级选择路径: `out` 由 `sel` 决定连接 `in1` 或 `in2`。

5.5. Error Handling

- 无 (该模块不定义错误检测/报告机制)。

6. Clock & Reset

- 无时钟/复位端口; 不涉及 CDC 与复位策略。

7. Integration & Usage

7.1. Instantiation Template

```
mux2to1 #(
    .INPUT_WIDTH (8)
) u_mux2to1 (
    .in1 (in1),
    .in2 (in2),
    .sel (sel),
    .out (out)
);
```

7.2. Simulation Guide

- Testbench: `user/sim/mux2to1_tb.v` (对 `in1/in2/sel` 做全范围遍历)。
- Icarus Verilog (示例):

```
mkdir -p prj/icarus
iverilog -g2012 -o prj/icarus/mux2to1_tb.vvp user/sim/mux2to1_tb.v user/
src/mux2to1.v
vvp prj/icarus/mux2to1_tb.vvp
```

- 波形输出: 默认写入 `prj/icarus/mux2to1.vcd`, 可用 GTKWave 打开。