## · Caso 1: Lw rs, LRS inmo-

- Modificaciones en la ruta de datos

\* Se ha anadido un doble puerto de escritura en el banco de registros

\* El Mux lord se ha extendido a 4:1 con R, Awaut y A.

- Acciones RTL

- Senales

FETCH:

IR - M(PC)

PC-PC+4

IRWnite Acwrite

DECODE:

A - BR(rs) Alunte.

EXECUTION:

AWOUL - A + EXT(inm) AUUCP = +

DWSrcA = 1 AWSrc R = Z

cutwnte

MEMORIA:

MOR - U(A) MUX IOTD = 2

MDRWibe

MEMREad

WRITE:

BR(1+) - MDR

Memiliate Bop Regworke BR(15) - AWast

Regunte-2.

RW2 Banco de RR registros buslu Salsna Regunite Regwrite2.

- Camino critico y tiempo de ciclo.

· F1 = PC ta + MUX 21 + DW4 + PC sup = 6ps

· F2 = PC+d + Mux4: 1 + Memtd + IRtsup = 25 pr

· D = IR td + MUX2: 1 + BREd + Dts = 5 ps

· E = IR+d + MUK4:1+ AW+ AWarty = 15

· M = Asup + Mux 4:1 + Memtsup + MORts = 25ps

· W1= MDR +a + MUX 2:1+ +s = 4

· W2 = DWart to + ts = 3

\* Taido = 25ps

## · Caso 2: jal rt, imm16

- Modificaciones en la nita de datos

\* Se ha modificado el mux AUSTCA a un mux 4:1

DWSYCA.

- Acciones RTL FETCH:

- Señales

IRWnte ALWOOP = +

IR - MCPC) Alwayt - PC+4

summe

AWSTOB

DECODE: EXECUTION:

PcWnte PC = DWat+ Ext(inm) \* 4

DWOP = +

DUSTED = 2

BR(+1) - Alwayt

DWSrcB = 5 & selmite

- Camino vitico

· PI = PCtd + Memtd + IRTSUP + MUX 21 = 23 ps

· 1=2 = PC+a + DULY + MUX 2:1 + DWates = 6 ps

· E = Dwartpa+ wik4:1+ Due + Pctsup= 15ps

· W = DWOUTESUP + MUZZII + Es = 4ps

A + ciclo = 23 ps

· Caso 3: ret 15

- Modificaciones en la riba de datos. + Se ha anadido un mux 2:1 antes del pc

- Acciones RTL. y senales

IRWINE FETCH: IR - M(PC)

DECODE: A - BR(15) Dunte

EXECUTE | PC - A Pc write, Pcsrc tiempos:

Ata + Mux2:1 + ts + tsupIR = 5ps

td + ts + A sup = Spr

Atd + Mux 2:1+ PCt sup = 4ps