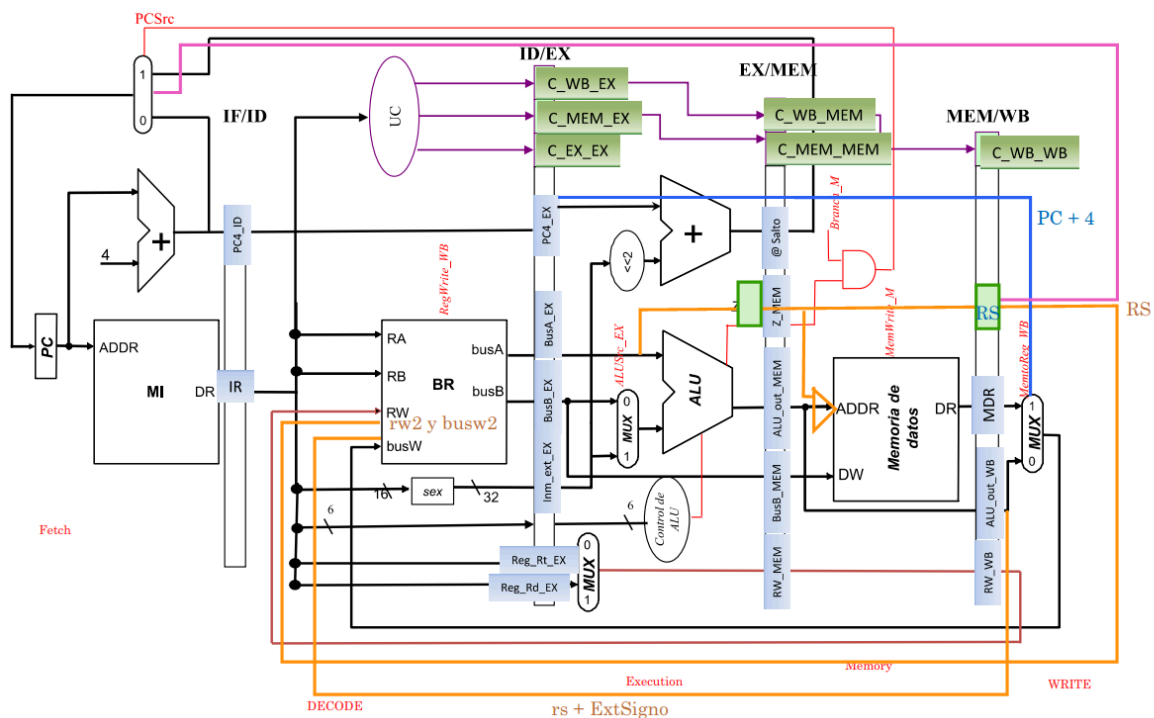


Cambios en la ruta de datos:

- Se añaden los registros de fase: BusA_MEM, BusA_WB, PC4_MEM, PC4_WB
- Se añade un multiplexor 2:1 antes de la memoria de datos con ALU_out_MEM (0) y BusA_MEM (1) con una señal de control MemSrc_MEM.
- Se amplía el multiplexor MemtoReg_WB a 4:1, añadiendo PC4_WB (2).
- Se modifica el banco de registros para que sea un banco con doble puerto de escritura, por lo que se añaden las entradas busW2 y RW2. Se conecta busW2 con ALU_out_WB y RW2 con BusA_WB.
- Se amplía el multiplexor PCSrc a 4:1, añadiendo BusA_WB (2).

Ruta de datos modificada:**Acciones RTL y señales por etapa:**

- fetch: $PC4_ID \leftarrow PC4_F$, $IR \leftarrow IR_F$, Señales IF/ID.
- Decode: Señales ID/EX.

LW:

- Execute: $Mux_Rt_Rd = 0$, $ALUSrc_EX = 1$, Señales EX/MEM.
- Memory: $MDR \leftarrow MEM(BR(rs)) = MEM(BusA_MEM)$; $MemSrc_MEM = 1$, MEM/WB.
- Write: $BR(RW_WR) \leftarrow MDR$, $BR(ALU_out_MEM) \leftarrow BusA_MEM$; $MemtoReg = 1$.

jal:

- Execute: Señales EX/MEM
- Memory: Señales MEM/WB
- Write: $BR(RW_WR) \leftarrow PC4_WB$; $MemtoReg = 2$

ret:

- Execute: Señales EX/MEM
- Memory: Señales MEM/WB
- Write: $PC \leftarrow PC4_WB$; $PCSrc = 2$