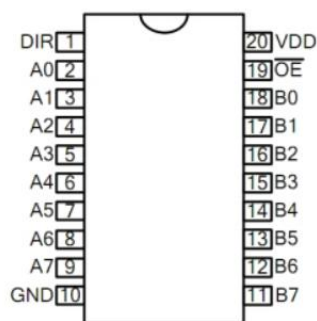


四、实验说明

为了防止 CPU 总线器件之间冲突,需要使用一些总线隔离器件,例如 74HC245、74HC373.

1. 74HC245 是三态总线收发器,本实验用它做输入,片选地址 0D0000H-0DFFFFH,用于读入开关信息.



第 1 脚 DIR, 为输入输出端口转换用, DIR="1"高电平时信号由"A"端输入"B"端输出, DIR="0"低电平时信号由"B"端输入"A"端输出.

第 2~9 脚"A"信号输入输出端, $A_i = B_i$, A1 与 B1 是一组,如果 DIR="1" G="0" 则 A1 输入 B1 输出, 其它类同. 如果 DIR="0" G="0" 则 B1 输入 A1 输出, 其它类同.

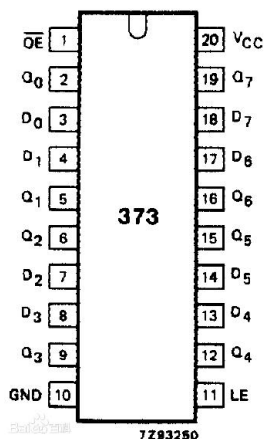
第 11~18 脚"B"信号输入输出端, 功能与"A"端一样.

第 19 脚 G, 使能端, 若该脚为"1" A/B 端的信号将不导通, 只有为"0"时 A/B 端才被启用, 该脚也就是起到开关的作用.

第 10 脚 GND, 电源地.

第 20 脚 VCC, 电源正极.

2. 74HC373 是数据锁存芯片, 暂存数据.



1 脚 OE, 为使能输出, 低电平有效.

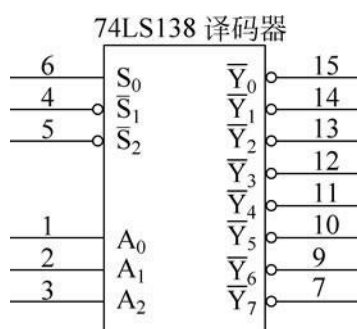
当 1 脚是高电平时, 不管输入 3、4、7、8、13、14、17、18 如何, 也不管 11 脚(锁存控制端 G)如何, 输出 2(Q0)、5(Q1)、6(Q2)、9(Q3)、12(Q4)、15(Q5)、16(Q6)、19(Q7)全部呈现高阻状态.

当1脚是低电平时,只要11脚(锁存控制端G)上出现一个下降沿,输出2(Q0)、5(Q1)、6(Q2)、9(Q3)、12(Q4)、15(Q5)、16(Q6)、19(Q7)立即呈现输入脚3、4、7、8、13、14、17、18的状态.

锁存端LE由高变低时,输出端8位信息被锁存,直到LE端再次有效.

当三态门使能信号OE为低电平时,三态门导通,允许Q0~Q7输出,OE为高电平时,输出悬空.

3. 74LS138 是三线八线译码器,用于译码.



A0~A2:地址输入端

STA(E1):选通端

/STB(/E2)、/STC(/E3):选通端(低电平有效)

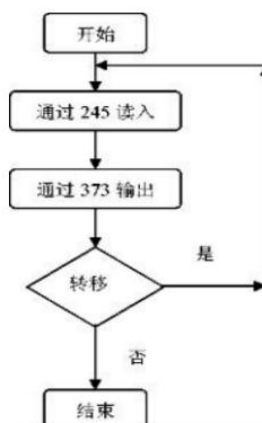
/Y0~/Y7:输出端(低电平有效)

VCC:电源正

GND:地

A0~A2 对应 Y0—Y7; A0, A1, A2 以二进制形式输入,然后转换成十进制,对应相应Y的序号输出低电平,其他均为高电平.

五、实验程序流程



六、实验步骤

示例程序

七、实验结果和体会

初步学习了 Proteus 的基本使用方法, 了解了 CPU 常用的端口连接方式. 在第一次使用 Proteus 时, 在元件的选择和使用上存在较大障碍, 线排列混乱不清, 主要是没能熟悉 Proteus 的基本操作方法. 课后查阅相关资料, 对 Proteus 的基本使用方法已经有初步了解, 可以做到熟练使用基本功能.

在实验方面, 再一次了解了 74HC373, 74HC245, 74LS138 的基本使用方法. 根据编写的程序可以完成实验图的连接配置.

目前的主要难度还是在于 Proteus 的使用尚不够熟练, 基本元件的功能引脚不够熟悉, 需要通过大量查阅才能够基本实现相关片的使用.

下一阶段主要集中在 Proteus 的熟练操作和相关元件的功能实现方面.