**计算机组成原理 实验报告**

姓名：魏钊 学号：PB18111699 实验日期：2020-6-7

**一、实验题目：**

实验五 流水线CPU

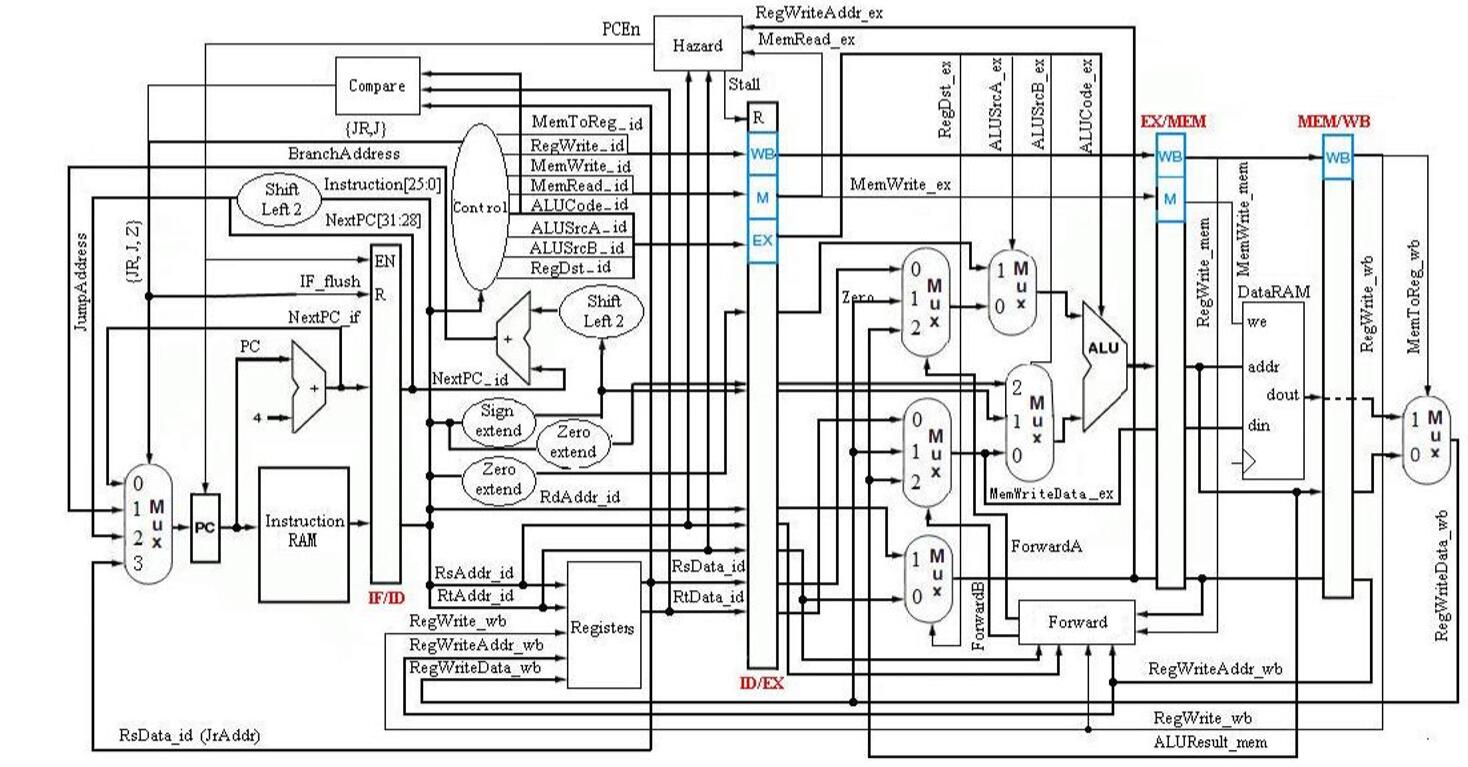
**二、实验目的：**

1. 理解流水线CPU的组成结构和工作原理；
2. 掌握数字系统的设计和调试方法；
3. 熟练掌握数据通路和控制器的设计和描述方法。

**三、实验平台：**

ISE / Vivado（暂不支持其他Verilog HDL开发环境的检查）

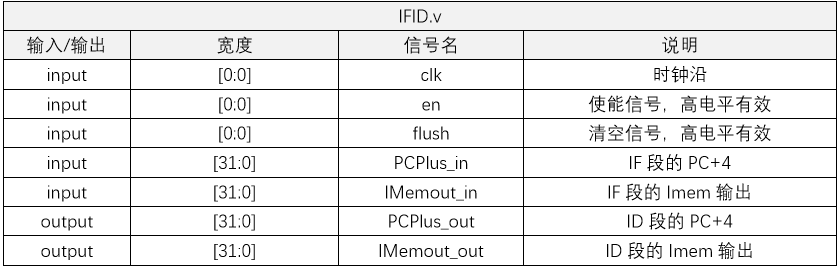
**四、实验过程：**

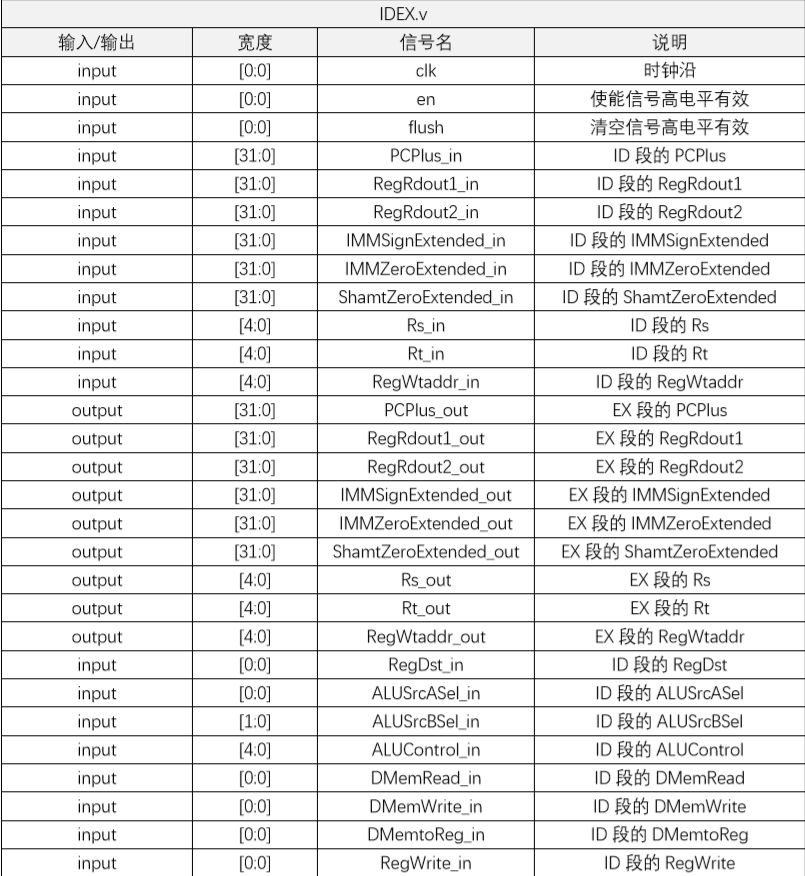


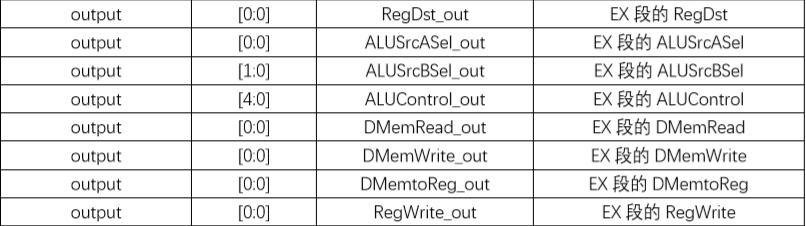
指令存储器：256 x 32位ROM，IP例化，分布式存储器

数据存储器：256 x 32位RAM，IP例化，分布式存储器

**相关信号说明:**

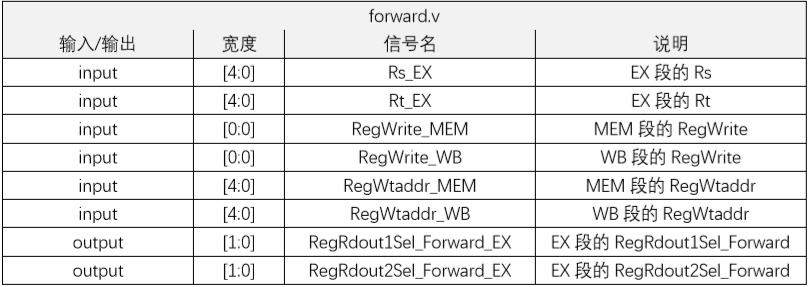






![C:\Users\Lucifer.dark\Documents\Tencent Files\709990727\Image\C2C\](`)CVGR8FJLLB2A0W29I~P.png](data:image/png;base64,)

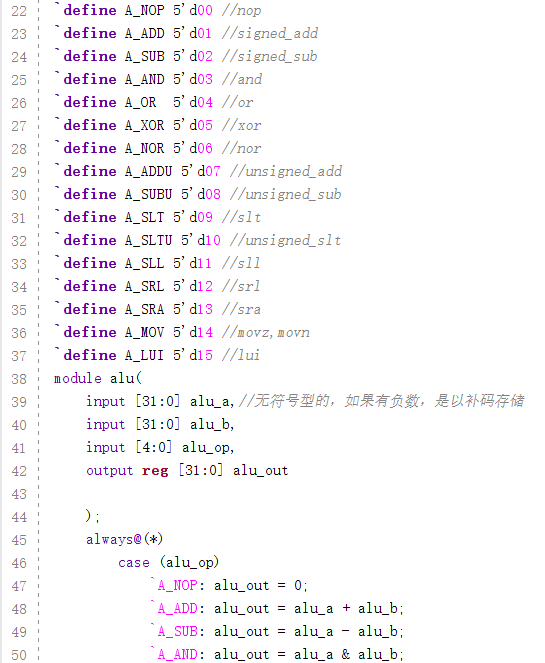


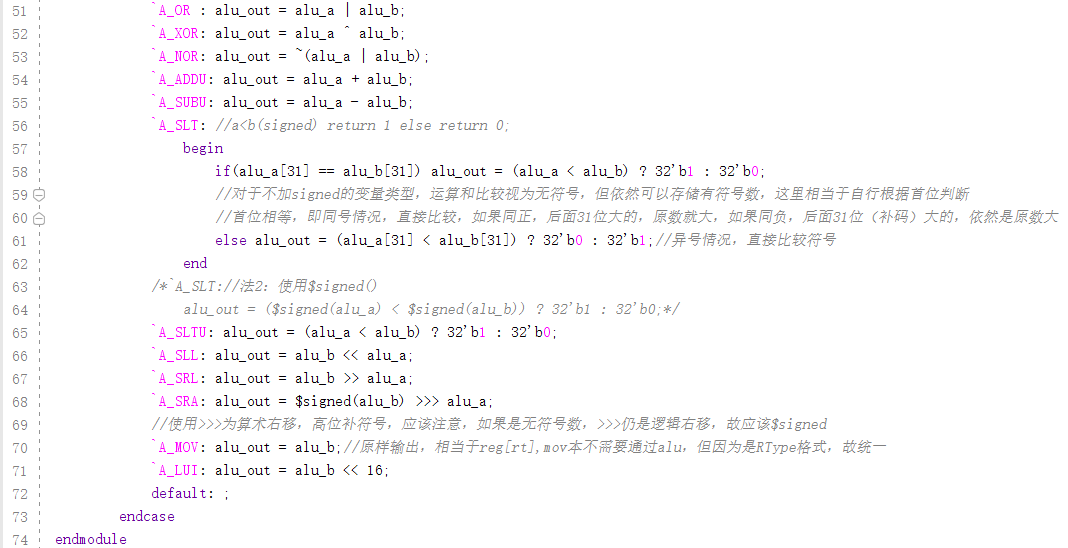




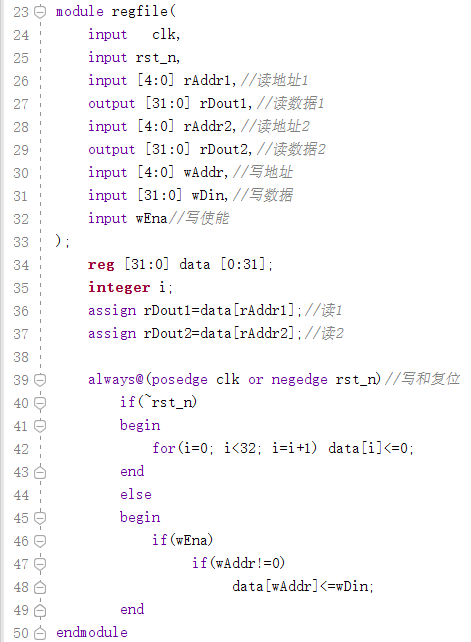


**ALU:**

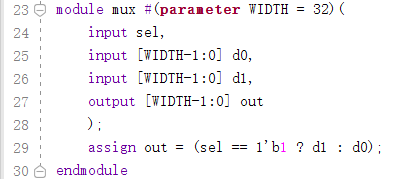


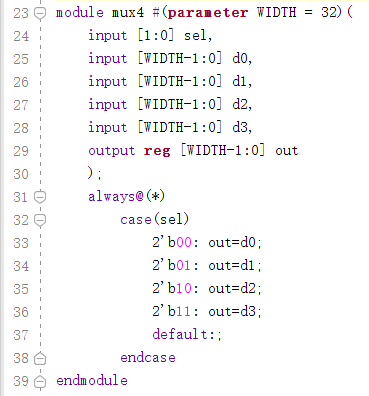


**Regfile:**

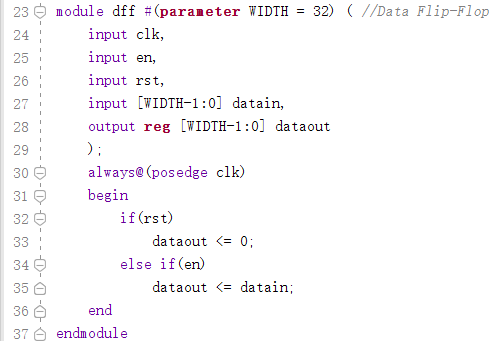


**2路和4路选择器:**

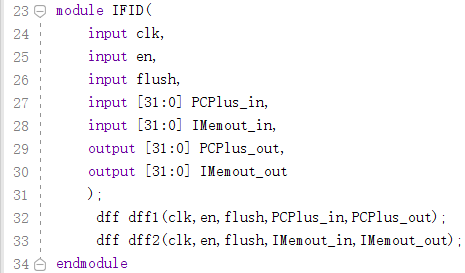




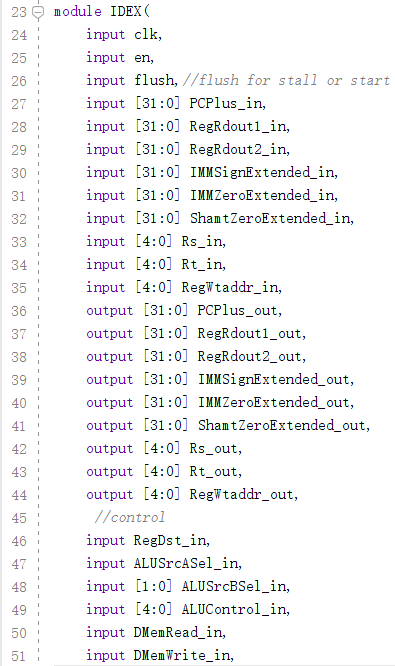
**D触发器:**

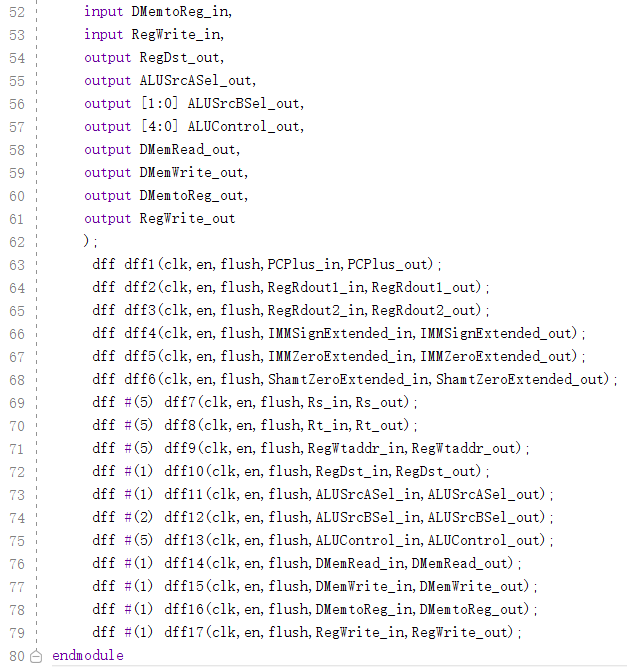


**IFID:**

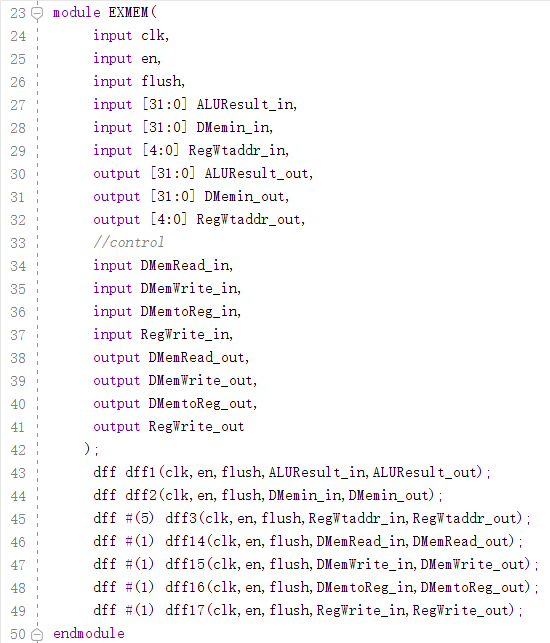


**IDEX:**

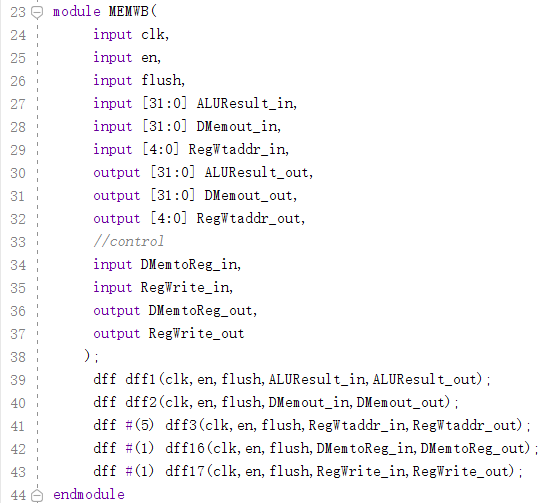




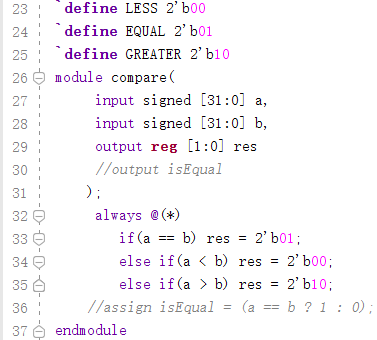
**EXMEM:**



**MEMWB:**



**compare:**



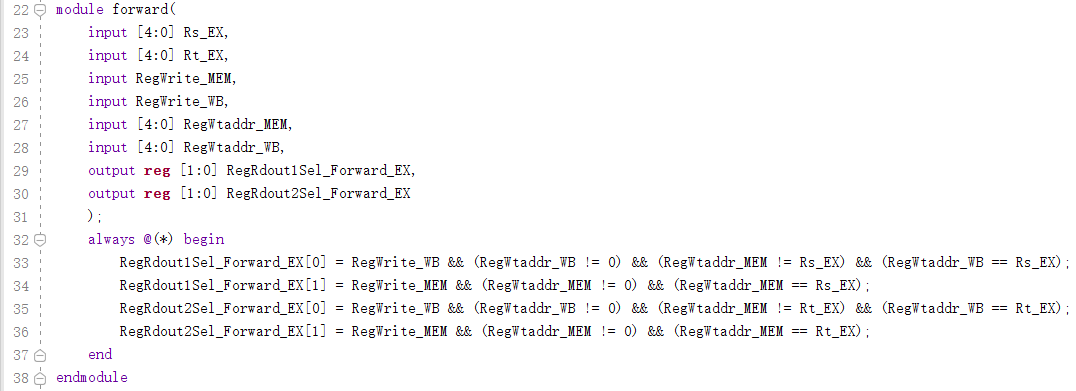
**SignExtended 模块——立即数符号扩展**

**过于简单，直接在 top 中实现了。**

**ZeroExtended 模块——立即数无符号扩展**

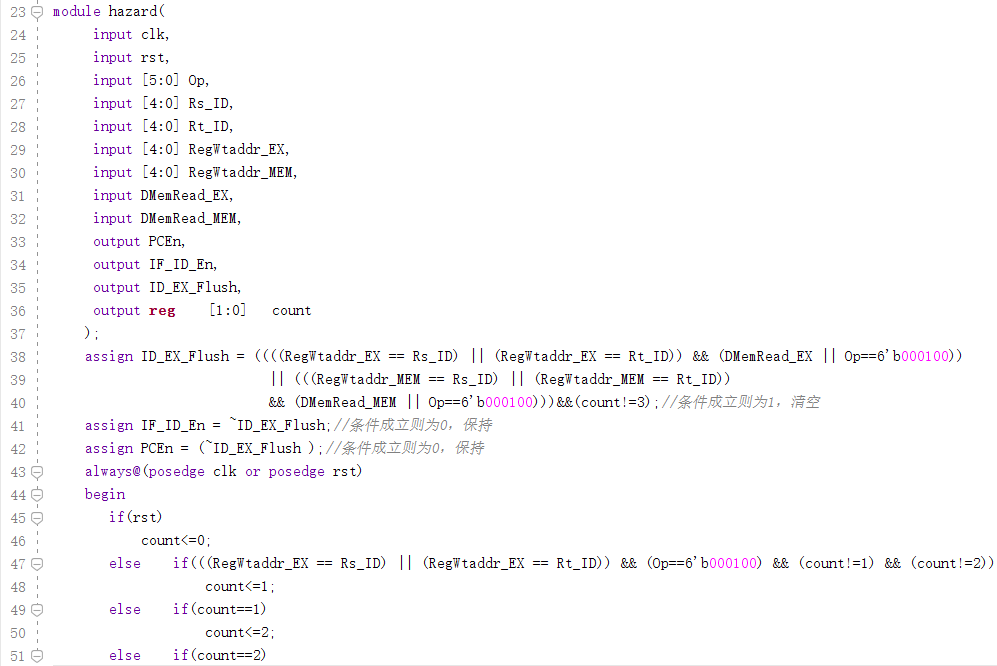
**过于简单，直接在 top 中实现了。**

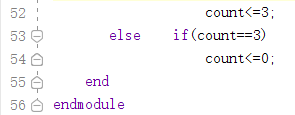
**forward:**



**特别注意到，目的寄存器是0寄存器的话就不进行转发。**

**hazard:**



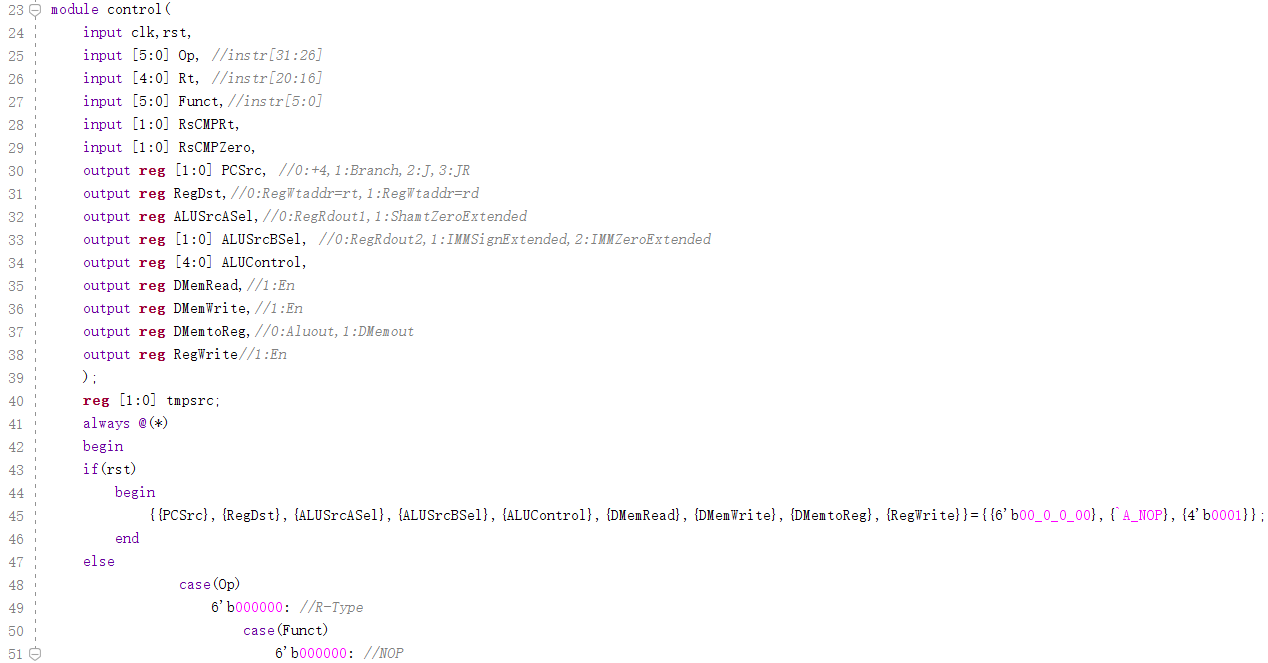


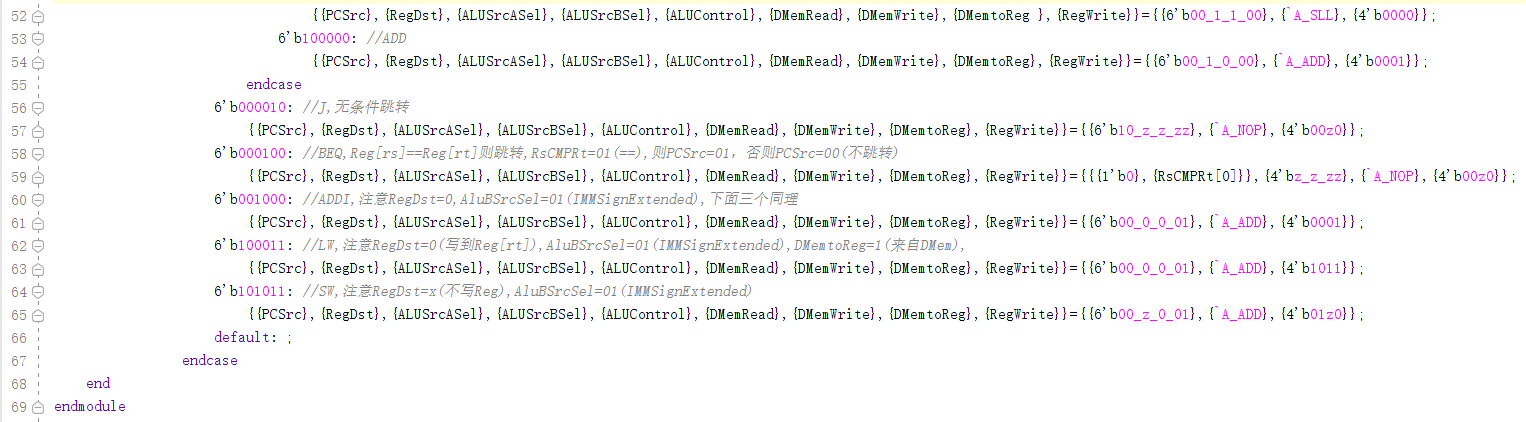
**这是冒险单元，用于：**

1. **上一条指令时LW指令且目的寄存器是当前指令ID级读的寄存器那么插入气泡。**
2. **特殊情况：如果当前指令是beq指令，且上条指令的目的寄存器（例如lw,add…）是当且beq指令读的寄存器则插入两个气泡。**

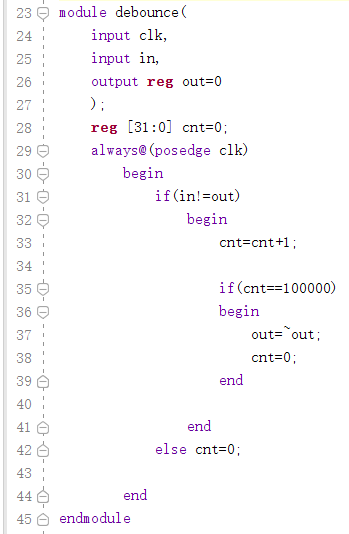
**注：特别注意的是：如果当且beq指令读的寄存器中至少有一个是零寄存器。因为气泡译码后，rs,rt,rd均为零寄存器，如果不进行计数的话会根据判断条件无限产生气泡，加入count进行计数（统计产生气泡的数目），防止产生无限气泡。**

**control:**





**开关去抖动:**

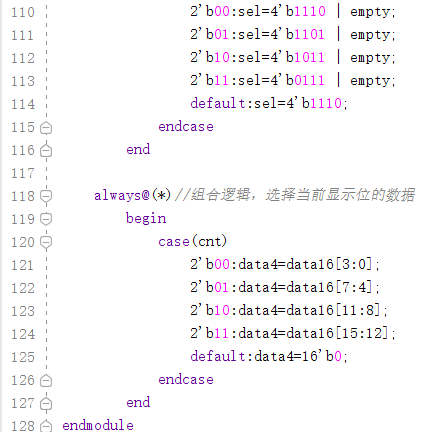


**数码管：**



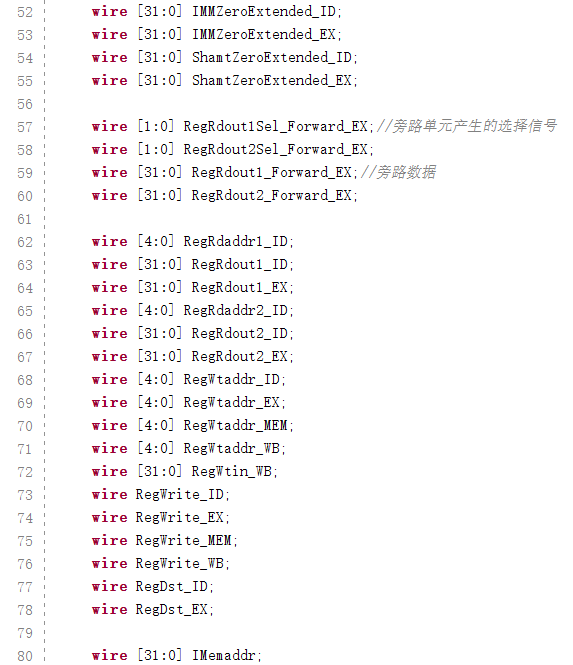






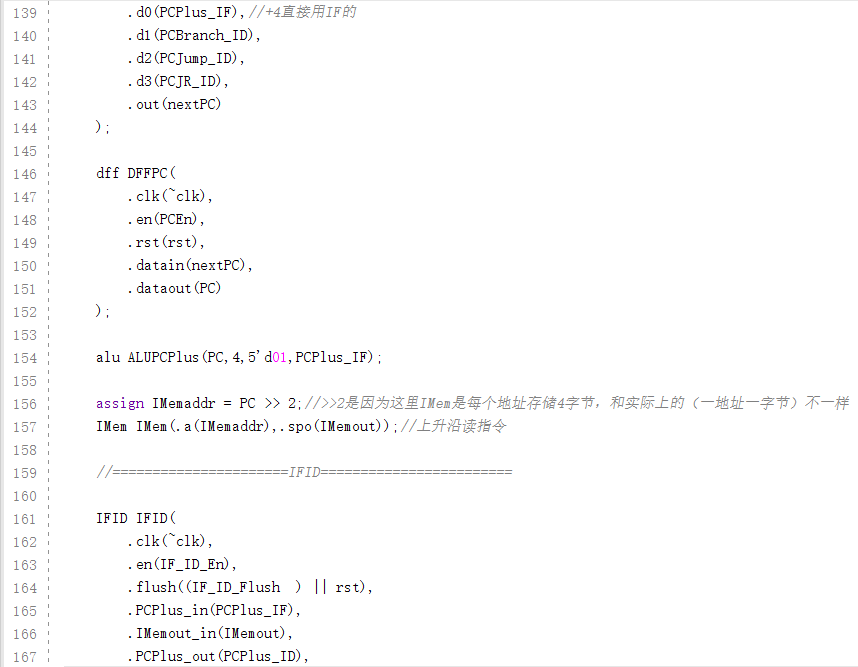
**TOP：**

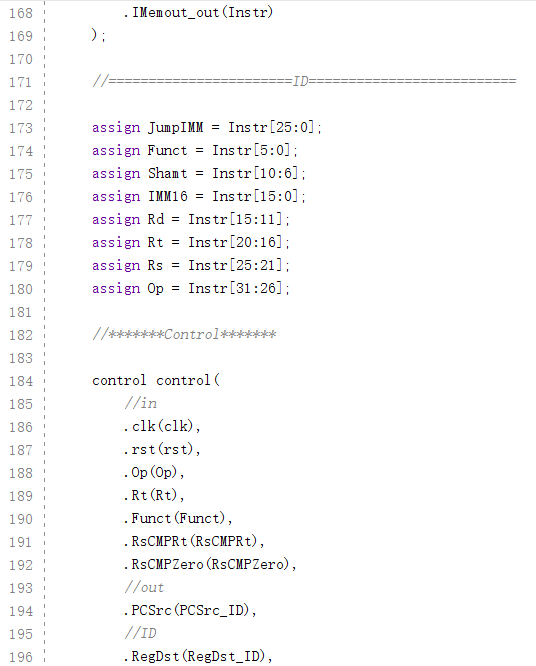


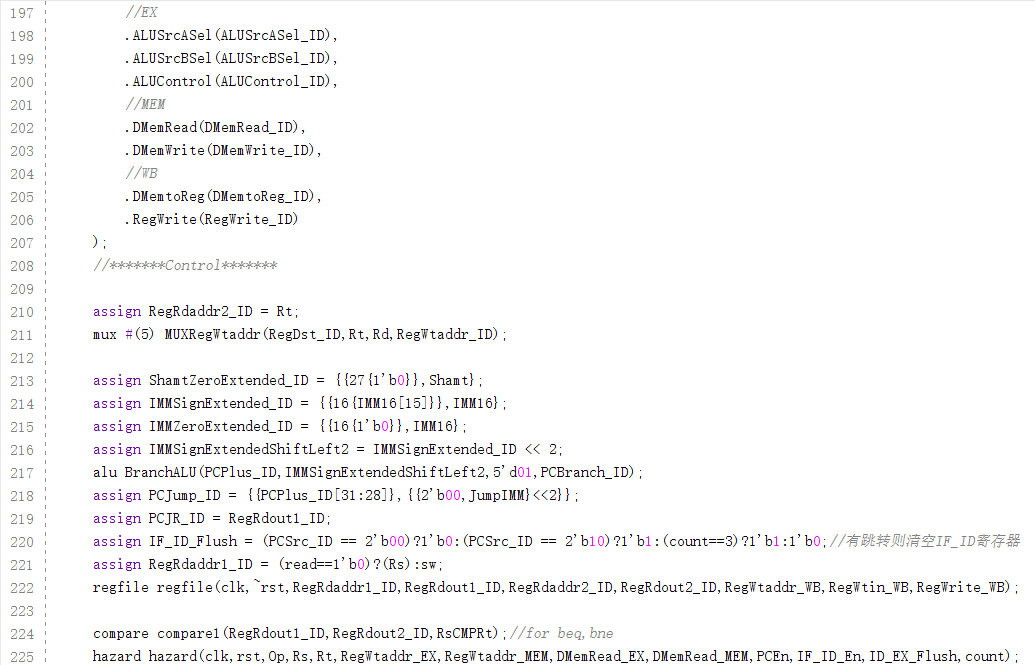


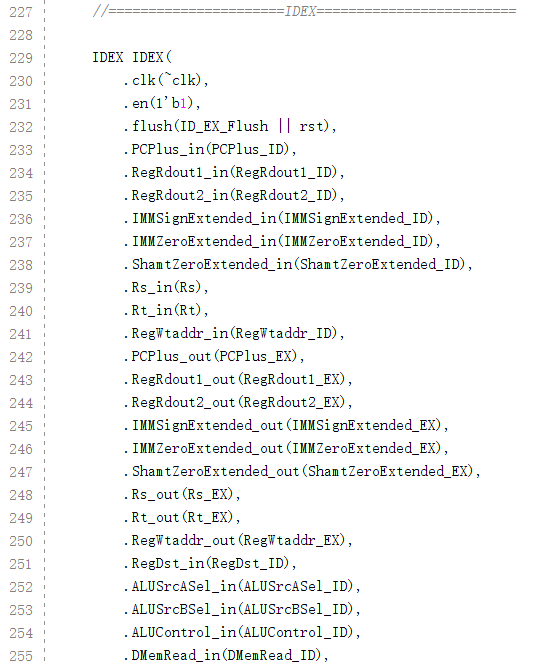


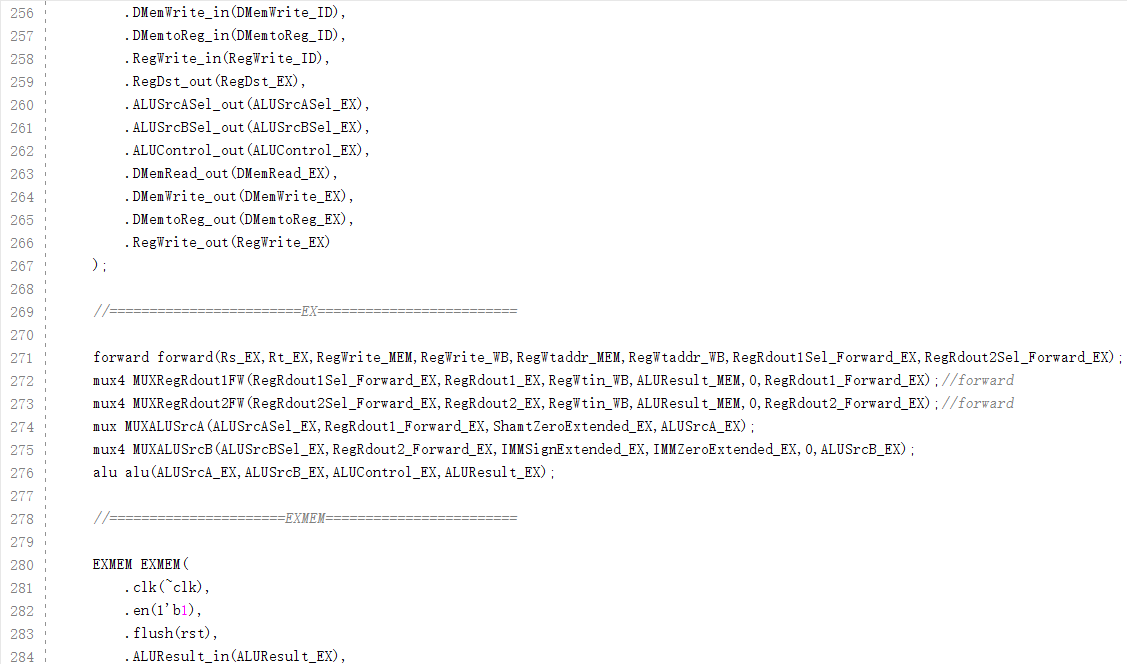


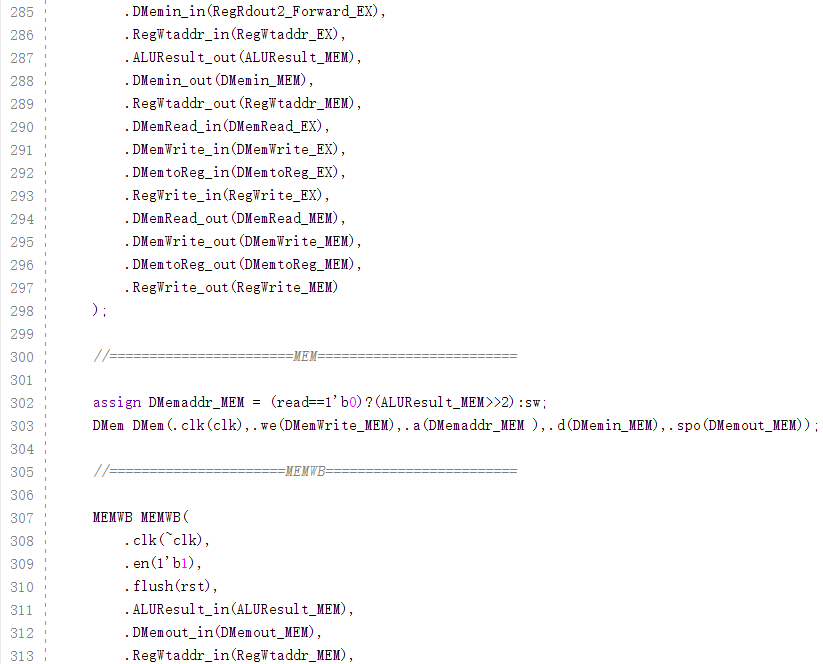


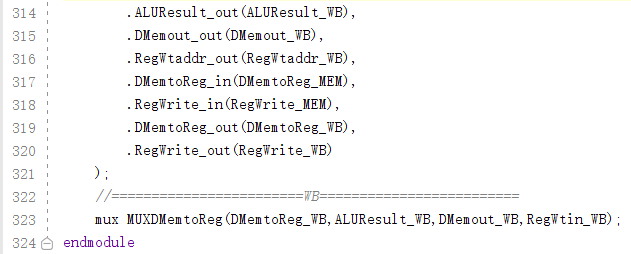








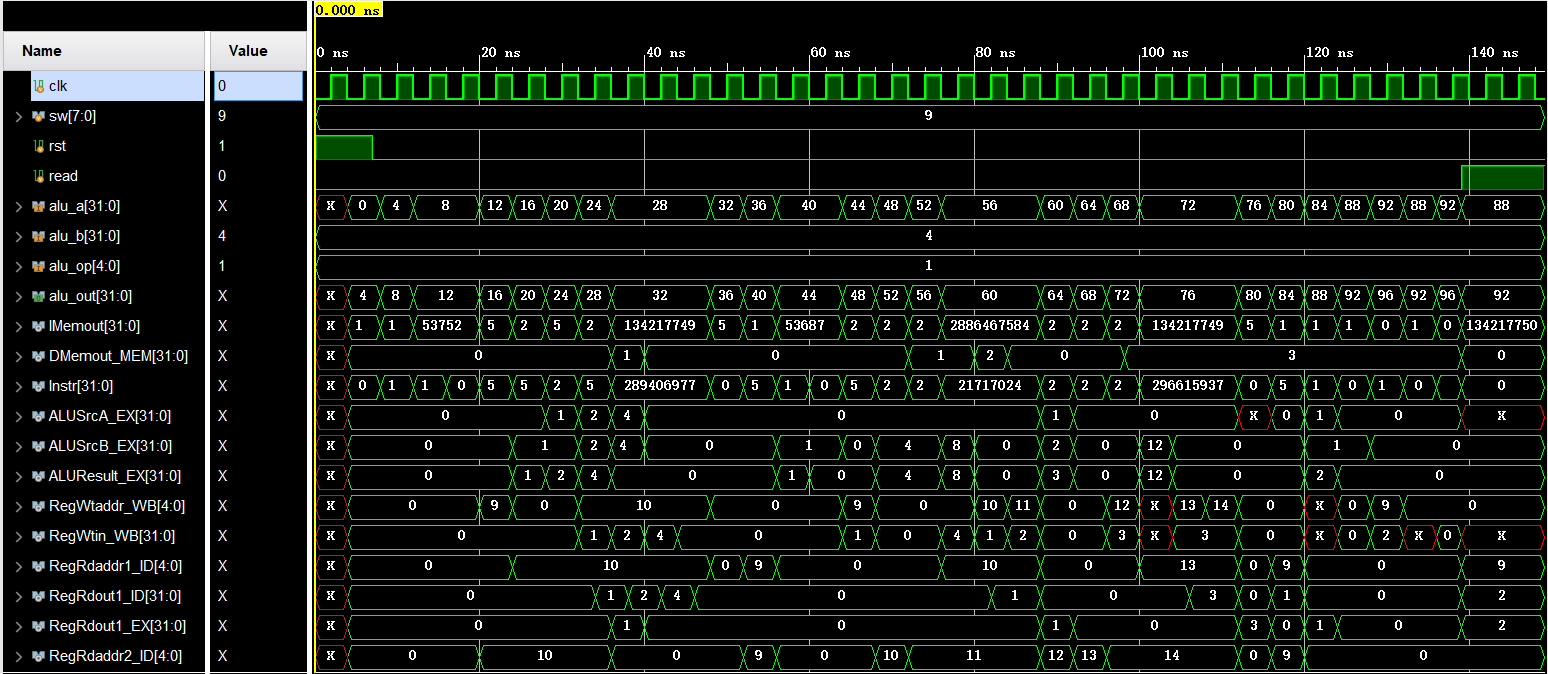




**五、实验结果：**

**Test2的测试结果：**

**（以十进制显示）**



**可以看到最终9号寄存器结果为2.**

**六、心得体会：**

通过本次实验理解了流水线CPU的组成结构和工作原理；掌握了数字系统的设计和调试方法；熟练掌握了数据通路和控制器的设计和描述方法。