Nguyễn Vũ Lục Lam

21200305

Báo cáo thực hành logic khả trình

Bài 1: Thiết kế mạch dịch led 8 bit điều khiển bằng 1 nút bấm và 2 nút gạt. Mỗi lần bấm nút thì led sẽ dịch đảo chiều. 2 nút gạt điều khiển tốc độ dịch

module SPEED(input CLOCK_50, input [1:0] SW, output reg SP_Led, output reg SP_Flag); //Khai báo module SPEED

reg [24:0] counter; // counter có 25 bit

always @(posedge CLOCK_50) //xung canh lên theo CLOCK_50

begin

counter <= counter + 1'b1; //Gán song song tạo ra tần số sau bằng 1 nữa tần số trước

SP_Led <= (SW == 2'b00) ? counter[24] : //SW = 00 thì SP_Led = counter[24] là 1s không thì xét tiếp

(SW == 2'b01) ? counter[23] : //SW = 01 thì SP_Led = counter[23] là 2s không thì xét tiếp

(SW == 2'b10) ? counter[22] : counter[21]; //SW = 10 thì SP Led = counter[22] không thì bằng counter[21]

SP_Flag <= counter[20]; //SP_Flag = counter[20]

end

endmodule //Kết thúc module SPEED

module bai1(CLK_50, SW, BUTTON, LEDR); //Khai báo module Bai1

input CLK_50; //input là CLK_50 và SW có 2 bit

input [1:0] SW;

input BUTTON; //input button 2 bit

```
output reg [7:0] LEDR = 8'b10000000; //xét trạng thái ban đầu của Led là đèn bên trái ngoài cùng sáng
```

wire SP_Led, SP_Flag; //Khai báo dây nối gồm SP_Led và SP_Flag reg Right = 1'b1; //Khai báo cờ trạng thái đầu tiên là 1 nếu là 1 thì dịch trái 0 dịch phải

SPEED U0 (.CLOCK_50(CLK_50), .SW(SW), .SP_Led(SP_Led), .SP_Flag(SP_Flag)); //Khối SPEED là U0 được nối các day như trong ngoặc

always @(posedge SP_Led) //xung cạnh lên theo tần số là SP_Led

if (Right == 1'b1) //cờ trạng thái là 1 xét ban đầu là cho nó dịch phải luôn

LEDR <= {LEDR[0], LEDR[7:1]}; //dich led sang phải

else if (Right == 1'b0) //cò trạng thái là 0 dịch trái

LEDR <= {LEDR[6:0], LEDR[7]}; //dich led sang trái

always @(posedge SP Flag) //xung canh lên theo SP Flag

//cái này có tác dụng là tạo delay cho cờ trạng thái Right trể tránh việc bấm nút quá nhanh nút bấm và Led chưa đảo

if (BUTTON == 1'b0) //Button được nhấn thì đảo cái Cờ trạng thái Right lại Right <= Right + 1'b1; //Right bằng đảo của Right

endmodule //kết thúc module Bai1

Bài 2: Thiết kế mạch dịch led 10 bit điều khiển bằng 3 nút gạt. Trong đó 1 nút gạt xuống 0 thì dịch từ trái sang phải. 2 nút gạt còn lại điều khiển tốc độ dịch của led

//khối SPEED giải thích như trên

module SPEED(input CLOCK_50, input [1:0] SW, output reg SP_Led, output reg SP Flag); //Khai báo module SPEED

reg [24:0] counter; // counter có 25 bit

```
always @(posedge CLOCK 50) //xung canh lên theo CLOCK 50
begin
      counter <= counter + 1'b1; //Gán song song tạo ra tần số sau bằng 1 nữa tần
số trước
      SP Led \le (SW == 2'b00)? counter[24] : //SW = 00 thì SP Led =
counter[24] là 1s không thì xét tiếp
                        (SW == 2'b01)? counter[23] : //SW = 01 thì SP Led =
counter[23] là 2s không thì xét tiếp
                        (SW == 2'b10)? counter[22] : counter[21]; //SW = 10 thì
SP Led = counter[22] không thì bằng counter[21]
      SP Flag <= counter[20]; //SP Flag = counter[20]
end
endmodule //Kêt thúc module SPEED
module bai2(CLK 50, SW, LEDR); //Khai báo module Bai2
input CLK 50; //input là CLK 50 và SW có 2 bit
input [2:0] SW;
output reg [9:0] LEDR = 10'b1000000000; //xét trạng thái ban đầu của Led là đèn
bên trái ngoài cùng sáng
wire SP Led, SP Flag; //Khai báo dây nối gômg SP Led và SP Flag
reg Right = 1'b0; //Khai báo cờ trang thái đầu tiên là 1 nếu là 1 thì dịch trái 0 dịch
phải
SPEED U0 (.CLOCK 50(CLK 50), .SW(SW), .SP Led(SP Led),
.SP Flag(SP Flag)); //Khối SPEED là U0 được nối các day như trong ngoặc
always @(posedge SP Led) //xung canh lên theo tần số là SP Led
```

if (Right == 1'b1) //cờ trạng thái là 1 xét ban đầu là cho nó dịch phải luôn

LEDR <= {LEDR[0], LEDR[9:1]}; //dich led sang phải

else if (Right == 1'b0) //cò trạng thái là 0

LEDR <= {LEDR[8:0], LEDR[9]}; //dich led sang trái

always @(posedge SP Flag) //xung canh lên theo SP Flag

//cái này có tác dụng là tạo delay cho cờ trạng thái Right trễ tránh việc bấm nút quá nhanh nút bấm và Led chưa đảo

Right <= (SW[2] == 1'b0) ? 1'b0 : 1'b1; //SW[2] = 0 thì Right = 0 dịch trái còn không bằng thì Right = 1 dịch phải

endmodule //kết thúc module Bai2

Video:

Link bị lỗi liên kết nên anh copy vào chrome là ra ạ.

Bài 1:

 $\frac{https://drive.google.com/file/d/1UXQGwPooddiEUscJQbsmLmbb0SKiM8sA/view?usp=sharing}{}$

Bài 2:

 $\frac{https://drive.google.com/file/d/1UXQGwPooddiEUscJQbsmLmbb0SKiM8sA/view?usp=sharing}{}$