

Nguyễn Vũ Lục Lam

21200305

Báo cáo thực hành thiết kế logic khả trình tuần 6

Câu 1 Thiết kế mạch dịch led 10 bit từ phải sang trái (1 led sáng chạy từ phải sang trái). Ngõ ra là 10 led đỏ.

```
module Bai1(input CLOCK_50, output reg [9:0] LEDR);  
  
//Khai báo module Bai1  
  
reg [24:0] counter; // counter có 25 bit  
  
always @(posedge CLOCK_50) //xung cạnh lên theo CLOCK_50  
    counter <= counter + 1'b1; //Gán song song tạo ra tần số sau bằng 1 nửa tần số trước  
  
always @(posedge counter[23]) //xung cạnh lên theo tần số counter[23]  
    if(LEDR == 10'b0) LEDR = 10'b00000000001; //LEDR == 0 xét dữ liệu ban đầu là đèn cuối bên phải sáng  
    else LEDR = {LEDR[8:0], LEDR[9]}; //Khi xét xong LEDR luôn bằng 1 và dùng phép dịch đèn sáng từ phải qua trái  
  
endmodule //Kết thúc module
```

Câu 2 Thiết kế mạch dịch led 10 bit chạy từ ngoài vào giữa (2 led sáng ở 2 đầu và dịch vào giữa).

```
module Bai2(input CLOCK_50, output reg [9:0] LEDR); //Khai báo module Bai2  
  
reg [24:0] counter; // counter có 25 bit  
  
always @(posedge CLOCK_50) //xung cạnh lên theo CLOCK_50  
    counter <= counter + 1'b1; //Gán song song tạo ra tần số sau bằng 1 nửa tần số trước
```

```

always @(posedge counter[23]) //xung cạnh lên theo tần số counter[23]
    if(LED_R == 10'b0)
        LED_R <= 10'b1000000001; //LED_R = 0 xét trạng thái ban đầu là 2
        đèn ngoài cùng sáng
    else
        LED_R <= {LED_R[5],LED_R[9:6],LED_R[3:0],LED_R[4]}; // phép dịch
        đèn từ ngoài vào trong
endmodule //Kết thúc module

```

Câu 3 Thiết kế mạch dịch led 10 bit từ trái sang phải và đổi ngược lại. 2 nút gạt điều khiển tốc độ dịch.

```

module SPEED(input CLOCK_50, input [1:0] SW, output reg SP_Led, output reg
SP_Flag); //Khai báo module SPEED
reg [24:0] counter; // counter có 25 bit
always @(posedge CLOCK_50) //xung cạnh lên theo CLOCK_50
    begin
        counter <= counter + 1'b1; //Gán song song tạo ra tần số sau bằng 1
        nửa tần số trước
        SP_Led <= (SW == 2'b00) ? counter[24] : //SW = 00 thì SP_Led =
        counter[24] là 1s không thì xét tiếp
            (SW == 2'b01) ? counter[23] : //SW = 01 thì SP_Led =
            counter[23] là 2s không thì xét tiếp
            (SW == 2'b10) ? counter[22] : counter[21]; //SW = 10 thì
            SP_Led = counter[22] không thì bằng counter[21]
        SP_Flag <= counter[20]; //SP_Flag = counter[20]
    end
endmodule //Kết thúc module SPEED

```

```

module Bai3(CLK_50, SW, LEDR); //Khai báo module Bai3
    input CLK_50; //input là CLK_50 và SW có 2 bit
    input [1:0] SW;
    output reg [9:0] LEDR = 10'b1000000000; //xét trạng thái ban đầu của Led
    là đèn bên trái ngoài cùng sáng
    wire SP_Led, SP_Flag; //Khai báo dây nối gôm SP_Led và SP_Flag
    reg Right = 1'b1; //Khai báo cờ trạng thái đầu tiên là 1 nếu là 1 thì dịch trái 0
    dịch phải

    SPEED U0 (.CLOCK_50(CLK_50), .SW(SW), .SP_Led(SP_Led),
    .SP_Flag(SP_Flag)); //Khởi SPEED là U0 được nối các dây như trong ngoặc

    always @(posedge SP_Led) //xung cạnh lên theo tần số là SP_Led
        if (Right == 1'b1) //cờ trạng thái là 1 xét ban đầu là cho nó dịch phải
        luôn
            LEDR <= {LEDR[0], LEDR[9:1]}; //dịch led sang phải
        else if (Right == 1'b0) //cờ trạng thái là 0
            LEDR <= {LEDR[8:0], LEDR[9]}; //dịch led sang trái

    always @(posedge SP_Flag) //xung cạnh lên theo SP_Flag
    //cái này có tác dụng là tạo delay cho cờ trạng thái Right trễ tránh việc bấm nút quá
    nhanh nút bấm và Led chưa đảo
        if (LEDR == 10'b1000000000) //nếu sáng đèn ngoài cùng bên trái
            Right <= 1'b1; //Right = 1
        else if (LEDR == 10'b0000000001) //nếu ngoài cùng bên trái
            Right <= 1'b0; //Right = 0

```

Endmodule //kết thúc module Bai3

Link 1 nhấp vào không hiện ra được video thầy copy gián vào google ra được ạ

Video bài 1:

https://drive.google.com/file/d/1DV8jMzrMCaeL3R5kMS7k_RZ71QzMfViM/view?usp=drive_link

Video bài 2:

https://drive.google.com/file/d/1yeD2JWxkPKBDO40yi3VvIJdDtx7FT_E/view?usp=drive_link

Video bài 3:

https://drive.google.com/file/d/1n_XZ9ODzhj6Ply5Opjc_nr5wA_HvgDg/view?usp=drive_link