

프로젝트 기획안

Sky130 기반 Minimal EDA Flow 구축 및 커스터마이징: RTL to GDS까지 자동화된 경량 파이프라인 구현

팀원 : 송현중

프로젝트 개요

Sky130 공정 기반의 디자인을 Verilog RTL부터 GDSII까지 변환하는 전체 디지털 구현 플로우를 구축하고, 각 단계(Yosys, Floorplanning, Placement, Routing 등)에 필요한 스크립트와 설정을 분석하며 일부 톨의 동작 방식을 커스터마이징한다. 특히 자동화된 파이프라인을 구축하고, 중간 결과를 시각화/검증함으로써 실무에서 어떻게 도구들이 연동되는지를 보여주는 것을 목표로 한다.

일정 및 계획

날짜	주요 목표	작업 내용
04월 22일	프로젝트 구조 잡기	Git repo 초기화, 기본 폴더 구조 세팅, 간단한 README 작성
04월 23일	Sky130 환경 정리	PDK 구조 분석, 사용될 standard cell 확인, 기본 PDK 관련 문서 정리
04월 24일	Yosys 기반 Synthesis 구성	RTL에 대해 Yosys 스크립트 작성 및 gate-level netlist 생성
04월 25일	Synthesis 결과 분석	gate-level netlist 시각화 (netlistsvg 등), 기능 시뮬레이션으로 논리적 검증
04월 26일	플로우 자동화 시작	Makefile 작성 시작: Synthesis 자동화 흐름 구성
04월 29일	Floorplanning	OpenROAD에서 기본 floorplan 스크립트 작성 및 실행 실험
04월 30일	Placement	Placement 단계 TCL 작성, cell density 등 옵션 실험
05월 01일	CTS & Routing	CTS → Global/Detail Routing까지 전체 플로우 구성 실험
05월 07일	전체 PnR 통합	Floorplan ~ Routing까지 연결된 OpenROAD TCL 완성 + 결과 GDS 추출
05월 08일	DRC/LVS 도입	KLayout으로 DRC 체크, netgen으로 LVS 체크 구성
05월 09일	전체 자동화 흐름 완성	Makefile로 RTL→GDS 자동화 실행 실험 + 로그 저장
05월 12일	Yosys 내부 분석	Yosys pass 구조 탐색, 기존 pass 로그 출력 추가 실험
05월 13일	Custom pass 작성	간단한 custom pass 구현 (예: 특정 연산자의 사용 수 출력)
05월 14일	OpenROAD 설정 실험	Utilization, Timing constraint 변화에 따른 결과 비교 실험
05월 15일	자동 분석 도구 개발	각 단계별 로그 자동 파싱 & 요약 스크립트 작성 (ex: 실패 포인트 찾기)
05월 16일	리그레션 테스트	다양한 입력 RTL 디자인으로 파이프라인 검증
05월 19일	문서화 시작	docs/architecture.md : 전체 톨 체인 설명 및 주요 스크립트 분석
05월 20일	결과 정리	results/ 하위에 GDS, Netlist, 로그 정리 및 README에 대표 이미지 첨부
05월 21일	발표 자료 제작	발표용 PDF 슬라이드 작성 (이런 실습을 했고 이런 걸 배웠다.)
05월 22일	GitHub 업로드 마무리	Repo 정리 및 배포 준비: 커밋 메시지 정리, 디렉토리 구조 설명
05월 23일	최종 점검 & 기록	전체 과정 회고 및 포트폴리오용 요약 텍스트 작성