Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Отчёт по лабораторной работе №4

по дисциплине «Структурная и функциональная организация вычислительных машин»

на тему «Считывание, декодирование и выполнение команд. Способ адресации операндов в командах»

Вариант № 14

Выполнил Проверил:

студент группы 250501: Стракович А.И.

Снитко Д.А.

Минск 2024

**1 ЗАДАНИЕ**

1. Разработать архитектуру системы команд (АСК) для команд выданных по варианту.

2. Ввести шину адреса (ША), шину данных (ШД) и шину управления (ШУ).

3. Разделить память на память данных (блок RAM) и память команд (блок ROM). На адресные входы завести ША. Ввод и вывод данных осуществлять через ШД.

4. Ввести блок регистров общего назначения (РОН) и управляющую логику для него. Кол-во регистров 4-8 (на выбор).

5. Написать микропрограмму (4-6 вызовов команд) в которой указать конкретные адреса памяти или регистров (пример будет).

6. Записать микропрограмму в память команд (ROM) (в файл \*.hex или \*.mif).

7. Записать необходимые данные для микропрограммы в память

данных (RAM) (в файл \*.hex или \*.mif)

8. Разработать устройство управления (УУ) которое будет считывать, декодировать и выдавать управляющие сигналы для выполнения полученной команды.

9. Ввести специальные регистры, разрядность которых определяется разрядностью ШД. Физически разместить их в блоке управления.

10. Промоделировать работу схемы.

На рисунке 1.1 представлена структурные схема разрабатываемой системы.

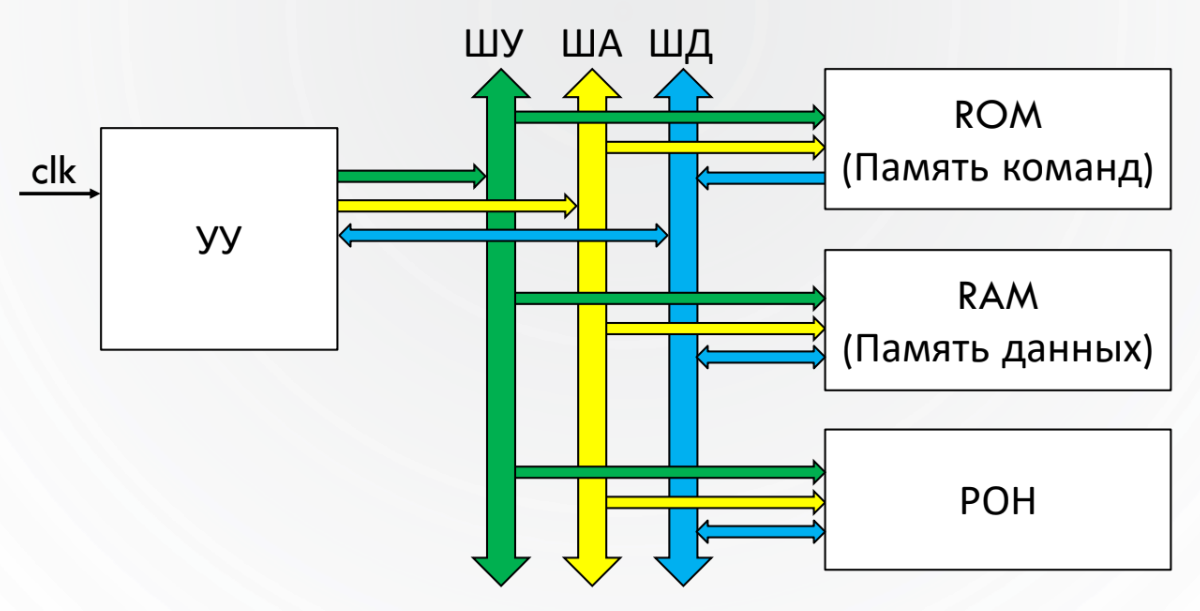


Рисунок 1.1 – Полностью ассоциативное отображение

**2 АРХИТЕКТУРА СИСТЕМЫ КОМАНД**

Для выполнения данной работы была реализована следующая архитектура команд (приведена в таблице 3.1).

Таблица 3.1 – Архитектура команд

|  |  |  |  |
| --- | --- | --- | --- |
|  | Ячейка 1 | Ячейка 2 | Ячейка 3 |
|  | КОП | Адрес | Регистр |
| mov | xxxxxxx01 | \*\*\*\*\*\*\*\*\* | xxxxxxx\*\* |
| js | xxxxxxx10 | \*\*\*\*\*\*\*\*\* | — |

Символами “x” обозначены зарезервированные биты, символами “\*” – биты, значение которых может изменяться.

**3 РАЗРАБОТАННЫЕ СХЕМЫ**

**3.1** **Блок** **управления (CU)**

****

Рисунок 3.1 – Блок управления (CU)

**3.2 Структурная схема**



Рисунок 3.2 – Структурная схема

**3.3** **Блок** **регистров общего назначения**

****

Рисунок 3.3 – Блок регистров общего назначения

**4 МОДЕЛИРОВАНИЕ**

Код микропрограммы в символьном и двоичном виде представлен в таблице 4.1.

Таблица 4.1 – Код микропрограммы в символьном и двоичном виде

|  |  |
| --- | --- |
| Символьные | Двоичные |
| mov 7, 2 | 000000001|000000111|000000010 |
| mov 20, 1 | 000000001|000010100|000000001 |
| js 10 | 000000010|000001010 |
| mov 25, 0 | 000000001|000011001|000000000 |
| mov 11, 3 | 000000001|000001011|000000011 |
| js 8 | 000000010|000001000 |

На рисунке 4.1 приведены данные из RAM до и после моделирования.

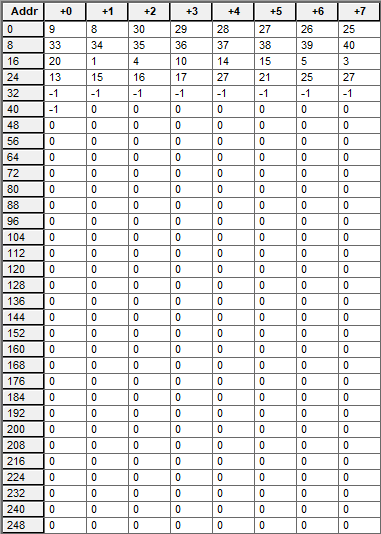
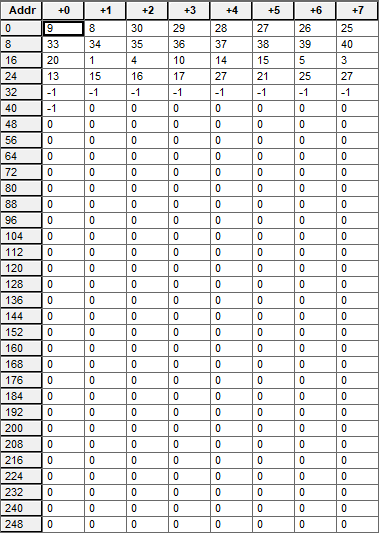
 

Рисунок 4.1 – Данные из RAM до и после моделирования

Моделирование схемы представлено на рисунке 4.2

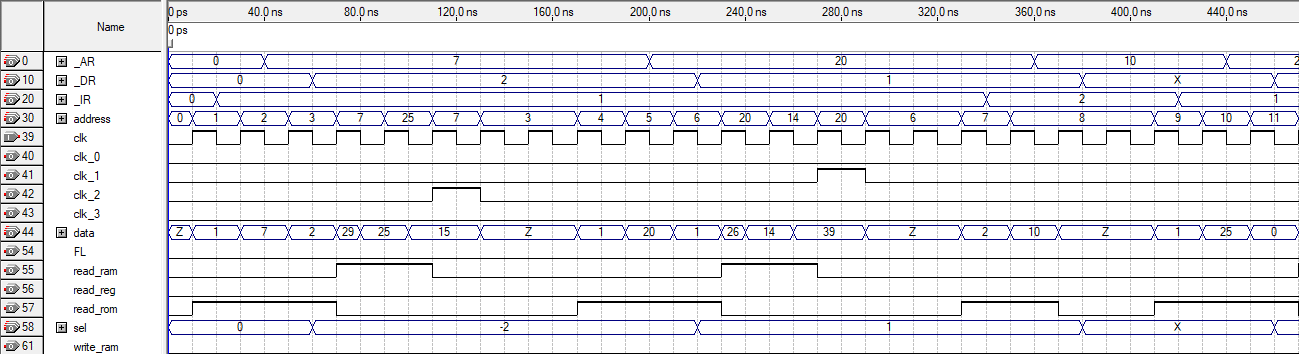
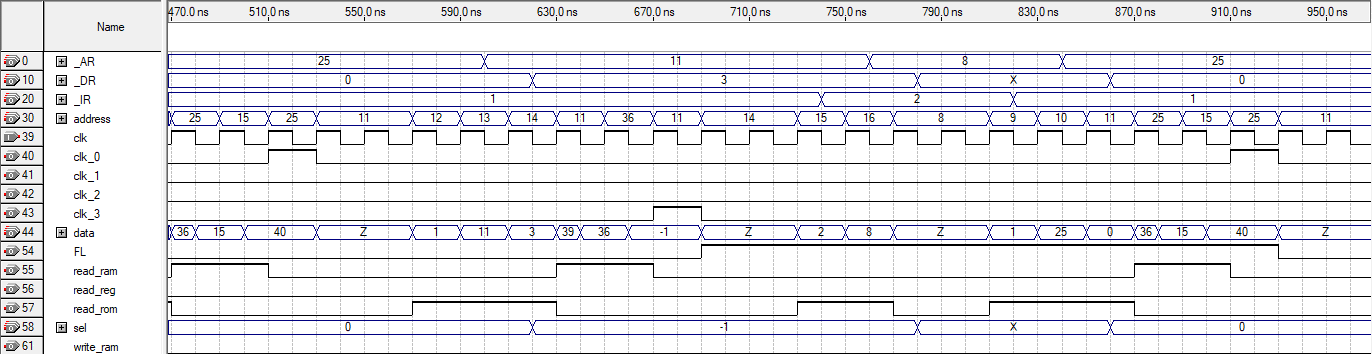
 

Рисунок 4.2 – Моделирование схемы