

Шифратор



Рис. 1.1 - двоичный шифратор (активная единица)

Выполняет преобразование позиционного кода в двоичный

Двоичный шифратор преобразует унитарный код (только один активный сигнал) в двоичный код

| x_3 | x_2 | x_1 | x_0 | y_1 | y_0 |
|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 |

| x_3 | x_2 | x_1 | x_0 | y_1 | y_0 |
|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | x | 0 | 1 |
| 0 | 1 | x | x | 1 | 0 |
| 1 | x | x | x | 1 | 1 |

Приоритетный двоичный шифратор выделяет старший(младший) активный сигнал, остальные игнорирует

Рис. 1.2 - сравнение таблицы истинности двоичного и приоритетного двоичного шифратора

Построение шифратора на ЛЭ

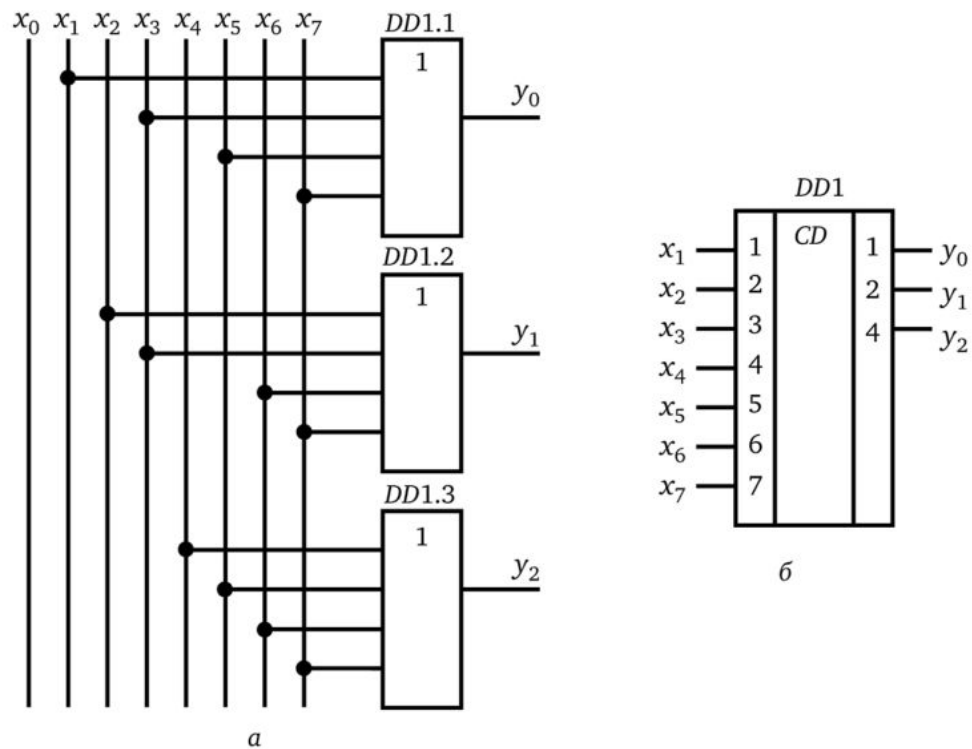


Рис. 1.3 а - схема на ЛЭ, б - УГО

Каскадирование шифраторов

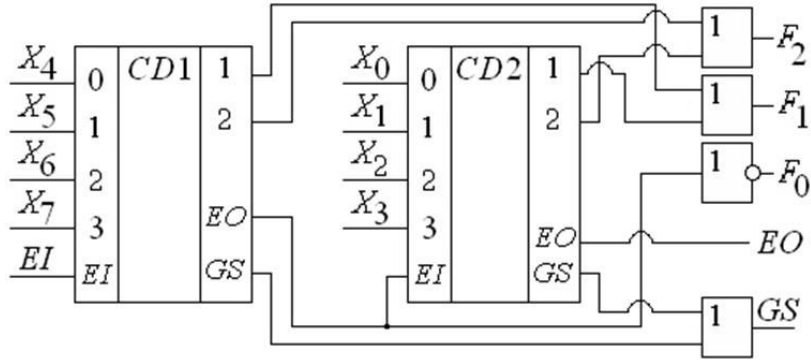


Рис. 1.4 - Каскадирование приоритетных шифраторов

| Служебные | | | Информационные | | | | | |
|-----------|--------|------|----------------|-------|-------|-------|--------|-------|
| вход | Выходы | | Входы | | | | Выходы | |
| EI | GS | EO | X_3 | X_2 | X_1 | X_0 | F_1 | F_0 |
| 0 | 0 | 0 | – | – | – | – | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | X | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | X | X | 1 | 0 |
| 1 | 1 | 0 | 1 | X | X | X | 1 | 1 |

Рис. 1.5 - Таблица истинности CD1 и CD2

EI - разрешение работы шифратора
 G - признак наличия активного сигнала на входах
 EO - признак отсутствия сигналов на входах

Каскадирование шифраторов

| Служебные | | | № CD | Информационные | | | | | | | | | | | |
|-----------|--------|----|-------------|----------------|----|----|----|----|----|----|----|----|--------|----|----|
| вход | выходы | | | Входы | | | | | | | | | Выходы | | |
| | EI | GS | | EO | X7 | X6 | X5 | X4 | X3 | X2 | X1 | X0 | F2 | F1 | F0 |
| 0 | 0 | 0 | – | – | – | – | – | – | – | – | – | 0 | 0 | 0 | |
| 1 | 0 | 1 | 1 и 2 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| 1 | 1 | 0 | 2 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | |
| 1 | 1 | 0 | 2 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | X | 0 | 0 | 1 | |
| 1 | 1 | 0 | 2 | 0 | 0 | 0 | 0 | 0 | 1 | X | X | 0 | 1 | 0 | |
| 1 | 1 | 0 | 2 | 0 | 0 | 0 | 0 | 1 | X | X | X | 0 | 1 | 1 | |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | X | X | X | X | 1 | 0 | 0 | |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | X | X | X | X | X | 1 | 0 | 1 | |
| 1 | 1 | 0 | 1 | 0 | 1 | X | X | X | X | X | X | 1 | 1 | 0 | |
| 1 | 1 | 0 | 1 | 1 | X | X | X | X | X | X | X | 1 | 1 | 1 | |

Указатель старшей единицы (8 – 3) состоит из старшего шифратора CD1 (4 – 2), младшего шифратора CD2 (4 – 2) и комбинационных элементов (рис.3).

В исходном состоянии, когда нет входных информационных сигналов $X_0...X_7$, а разрешение работы CD1 имеется ($EI = 1$), сигнал $EO = 1$ на выходе CD1 разрешает работу CD2.

Указатель старшей единицы находится в режиме ожидания и может считывать входную информацию ($GS=0$; $EO=1$), код на его выходах: $F_2F_1F_0=000$.

Если подать информационный сигнал $X_0...X_3$ на младший шифратор CD2, то он преобразуется в код младших разрядов F_1F_0 . Старший разряд $F_2 = 0$ равен инверсии значения кода на выходе $EO=1$ шифратора CD1, который в преобразовании не участвует из-за отсутствия входных информационных сигналов. Служебные выходы шифратора CD2: $GS=1$, $EO=0$.

Указатель старшей единицы находится в режиме преобразования входной информации ($GS=1$; $EO=0$), код на его выходах: $F_2F_1F_0=0XX$ (где X значение 0 или 1).

После подачи любого из сигналов $X_4...X_7$ в старший шифратор CD1, его выходы соответствуют режиму преобразования ($GS=1$, $EO=0$), код на информационных выходах: $F_1F_0=XX$. Старший разряд $F_2 = 1$ соответствует инверсии состояния выхода EO , т.к. $EO=0$, то работа младшего шифратора CD2 данным сигналом блокируется. Изменение кодов F_1F_0 при случайном нажатии клавиш $X_0...X_3$ исключается. Для шифратора CD2: $GS=0$, $EO=0$; $F_1F_0=00$.

Указатель старшей единицы находится в режиме преобразования входной информации ($GS=1$; $EO=0$), код на выходах: $F_2F_1F_0=1XX$ (где X значение 0 или 1).

Если $EI = 0$, то указатель старшей единицы в режиме запрета работы ($GS=0$; $EO=0$), код на его выходах: $F_2F_1F_0=000$.

Рис. 1.6 - Таблица истинности полученного шифратора 8-3

Дешифратор

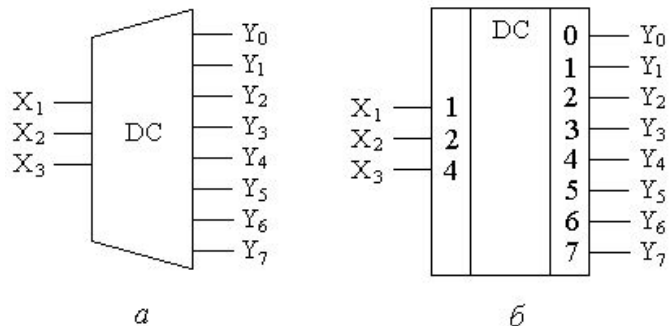


Рис. 2.1 - двоичный дешифратор

| входы | | | выходы | | | | | | | |
|-------|-------|-------|--------|-------|-------|-------|-------|-------|-------|-------|
| x_1 | x_2 | x_3 | y_0 | y_1 | y_2 | y_3 | y_4 | y_5 | y_6 | y_7 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

Рис. 2.2 - таблица истинности дешифратора

**Выполняет преобразование двоичного кода в унитарный
(переводит в активное состояние только один выход с
номером, указанным входным кодом)**

Построение дешифратора на ЛЭ

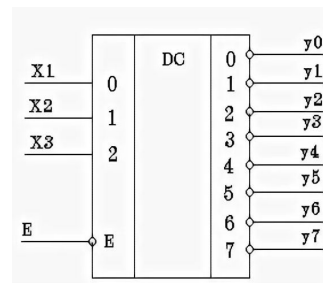
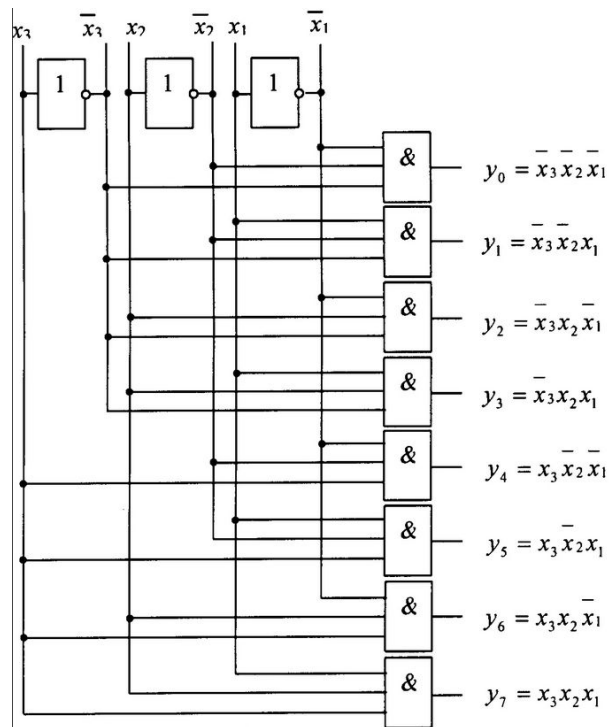


Рис. 2.3 - схема дешифратора на ЛЭ

Увеличение разрядности дешифраторов

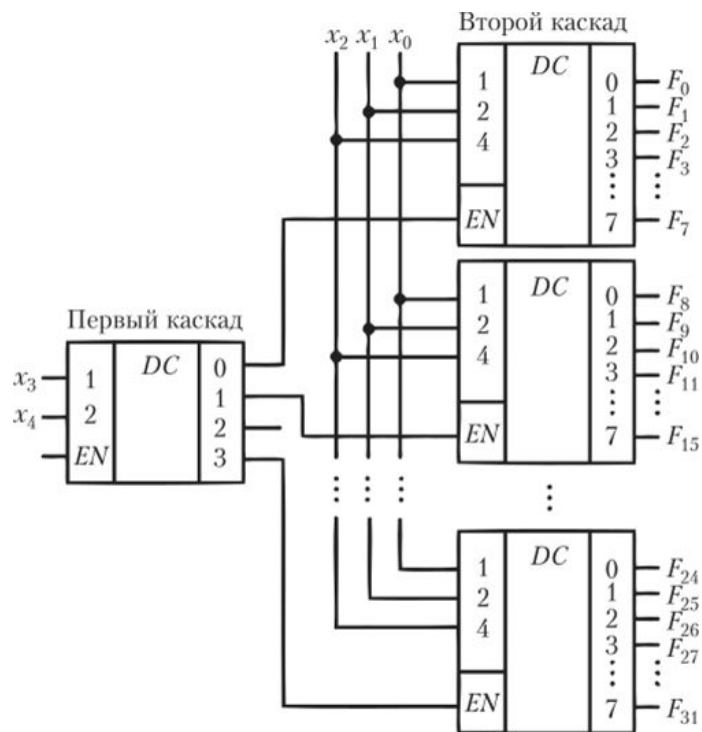


Рис. 2.4 - каскадное соединение

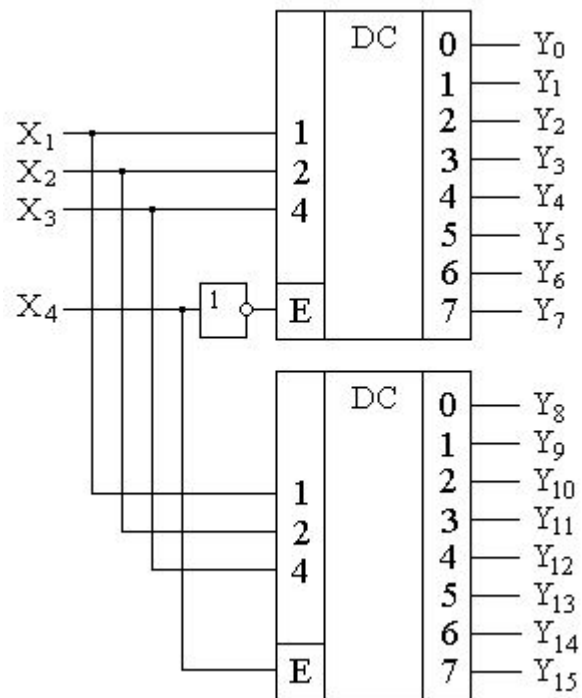
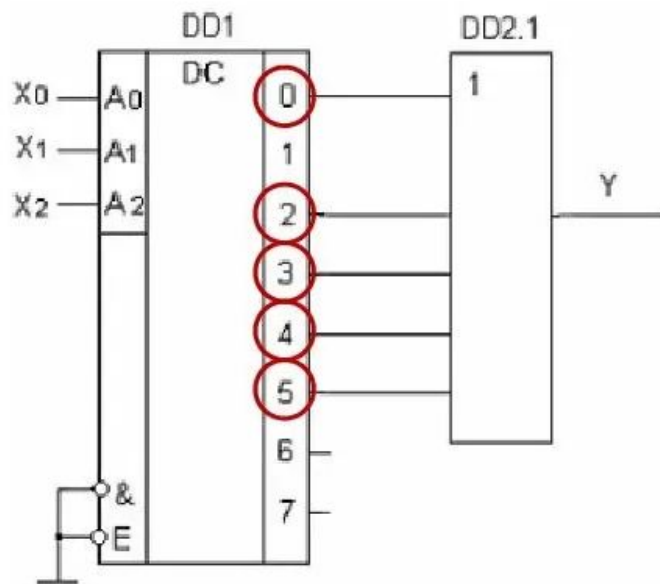


Рис. 2.5 - увеличение разрядности в два раза

Реализация логических функций с помощью дешифратора

$$y = x_2 x_1 \bar{x}_0 + x_2 \bar{x}_1 x_0 + \bar{x}_2 x_1 \bar{x}_0 + x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_2 \bar{x}_1 x_0$$

1 1 0 1 0 1 0 1 0 1 0 0 0 0 0



1. Построить таблицу истинности заданной функции
2. Выбрать дешифратор необходимой разрядности
3. На информационные входы подать аргументы функции
4. Объединить с дизъюнкцию выходы, соответствующие единичным наборам функции

Рис. 2.6 - реализация функции на дешифраторе достаточной разрядности

Реализация логических функций с помощью дешифратора

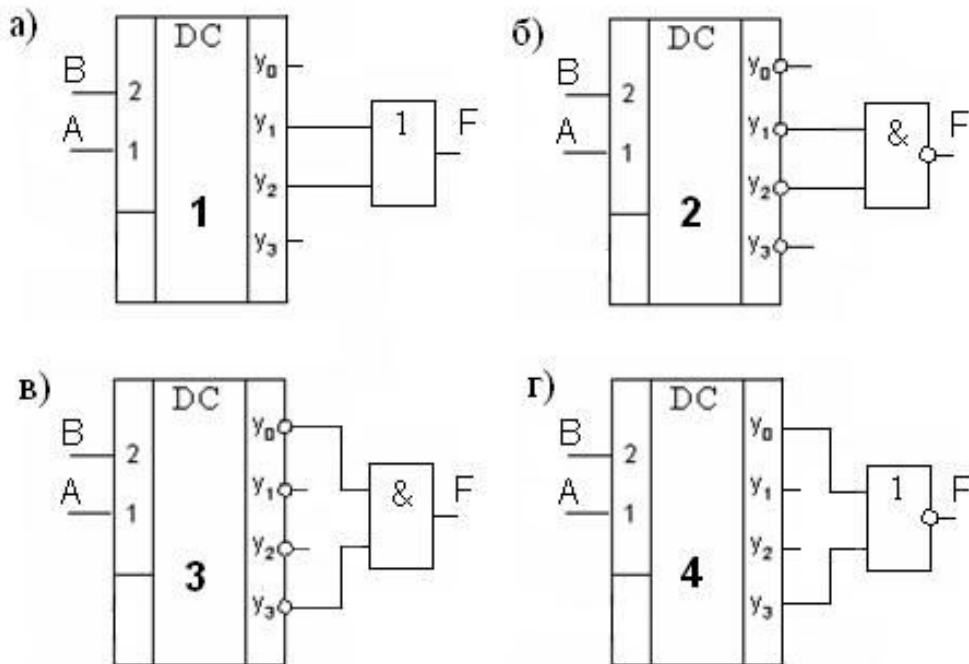


Рис. 2.7 - варианты реализации функции на дешифраторах

Мультиплексор



Рис. 3.1 - УГО мультиплексора 8-1

Таблица истинности для мультиплексора 4->1

| E | A1 ст | A2 мл | D0 | D1 | D2 | D3 | F (4->1) | |
|---|----------|----------|-----|-----|-----|-----|----------|----|
| 0 | 0 | 0 | 0/1 | X | X | X | 0/1 | D0 |
| | 0 | 1 | X | 0/1 | X | X | 0/1 | D1 |
| | 1 | 0 | X | X | 0/1 | X | 0/1 | D2 |
| | 1 | 1 | x | X | X | 0/1 | 0/1 | D3 |
| 1 | x | x | x | x | x | x | 0 | |

Рис. 3.2 - таблица истинности мультиплексора

В зависимости от комбинации адресных входов передает на выход сигнал только одного информационного входа

Построение мультиплексора на ЛЭ

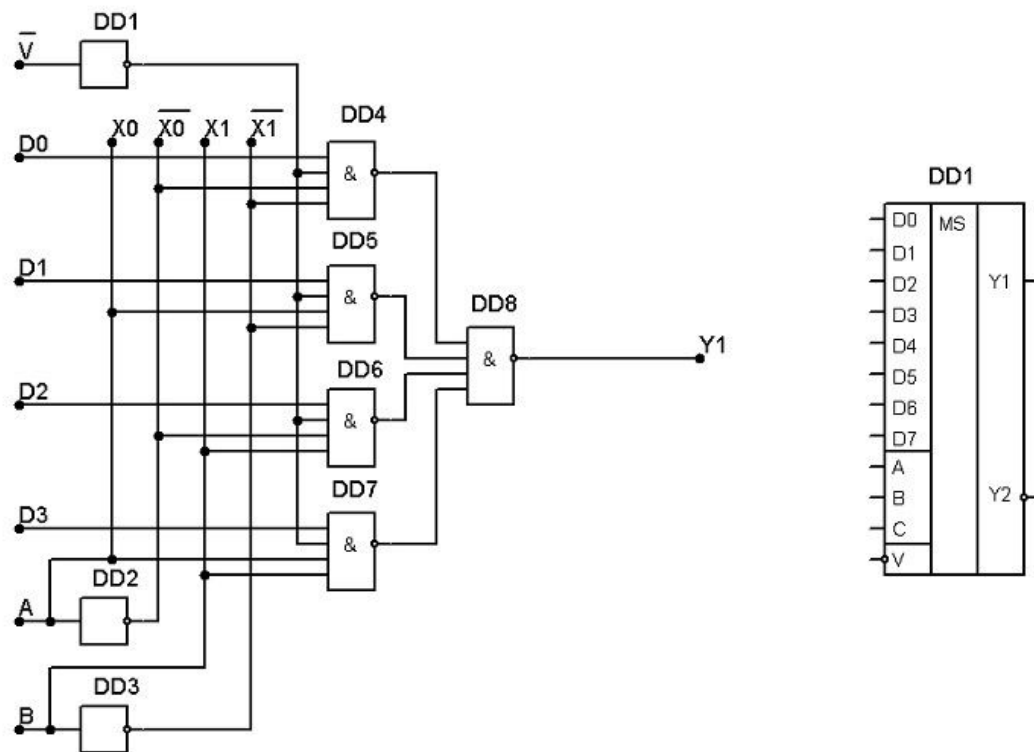


Рис. 2.3 - схема мультиплексора на ЛЭ

Построение мультиплексора на дешифраторе

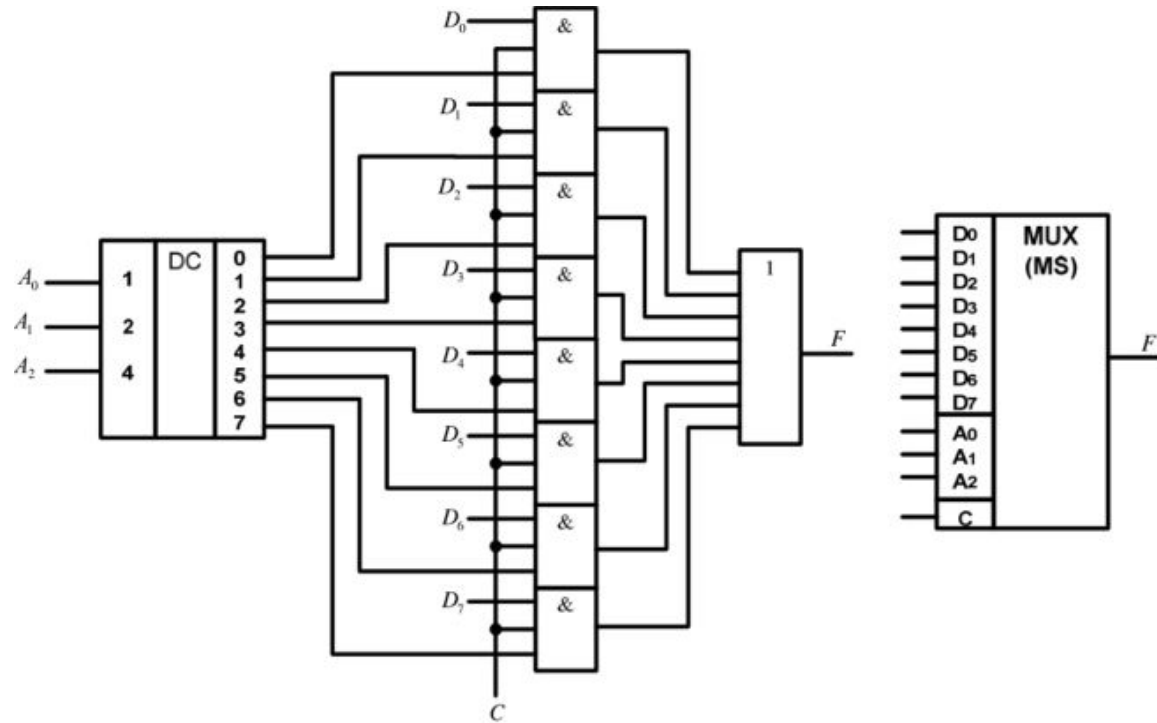


Рис. 3.4 - схема мультиплексора на дешифраторе

Увеличение разрядности мультиплексоров

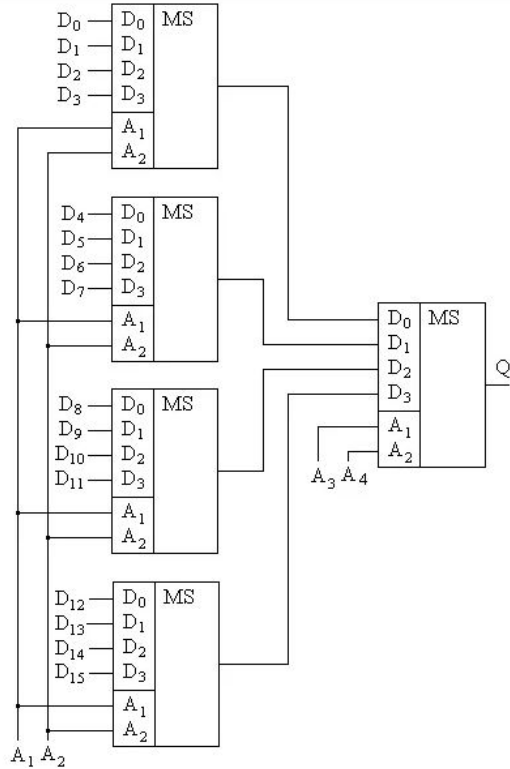


Рис. 3.5 - каскадное соединение

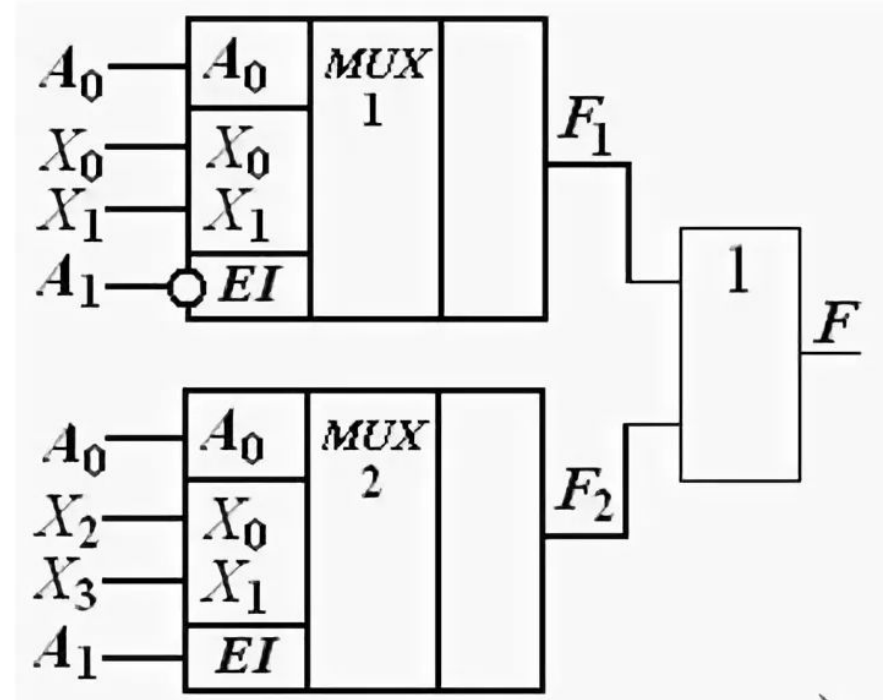


Рис. 3.6 - увеличение разрядности в два раза

Реализация логических функций с помощью мультиплексора

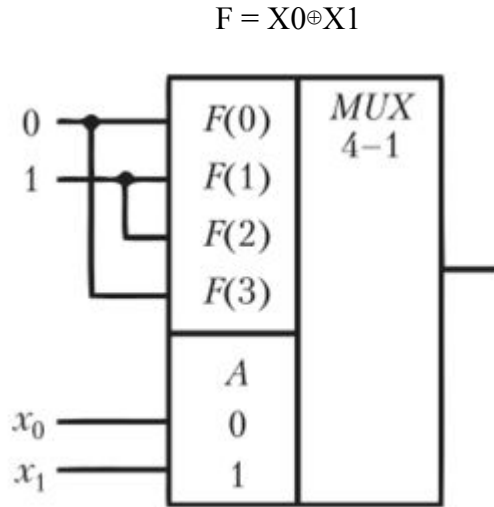
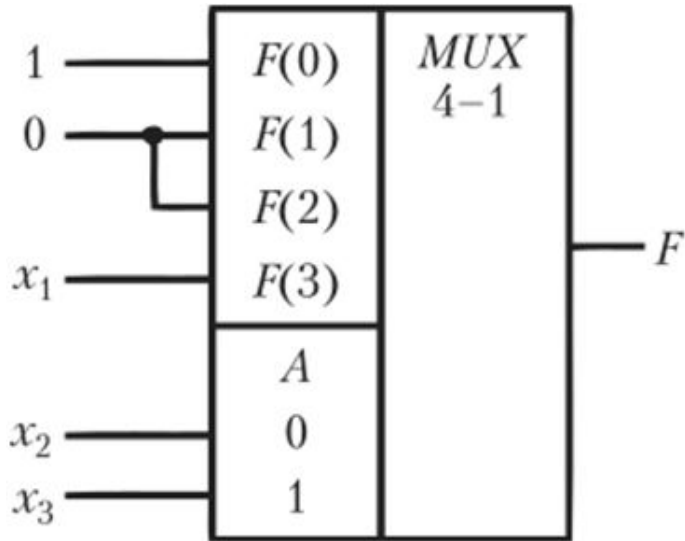


Рис. 3.7 - реализация функции на мультиплексоре соответствующей разрядности

1. Построить таблицу истинности заданной функции
2. Выбрать мультиплексор необходимой разрядности
3. На адресные входы подать аргументы функции
4. На информационные входы подать константные “0” и “1” в соответствии с таблицей истинности

Реализация логических функций с помощью мультиплексора

$$F = x_1 x_2 x_3 \vee \overline{x_2} \overline{x_3}.$$



| x_2 | x_3 | F |
|-------|-------|-----|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Рис. 3.8 - реализация функции на мультиплексоре меньшей разрядности

Одноразрядный двоичный полусумматор

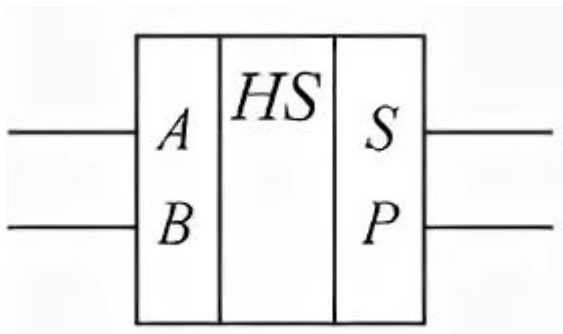


Рис. 5.1 - УГО

| Входы | | Выходы | |
|-------|---|--------|---|
| a | b | P | S |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Рис. 4.2 - таблица истинности

Сложение двух бит без учета переноса из предыдущего разряда

Реализация полусумматора на ЛЭ

Таблица истинности

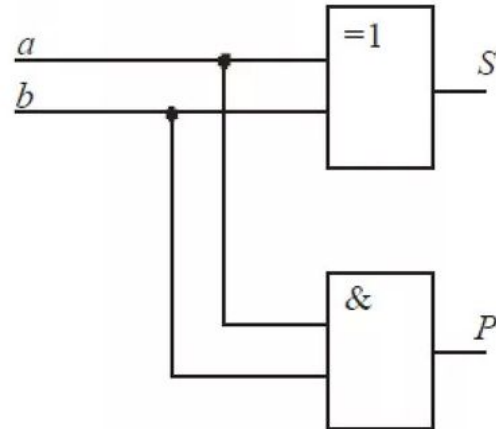
| Входы | | Выходы | |
|-------|---|--------|---|
| a | b | P | S |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Уравнения

$$S = \bar{a}b + a\bar{b} = a \oplus b;$$

$$P = ab.$$

Схема



Одноразрядный двоичный (полный) сумматор

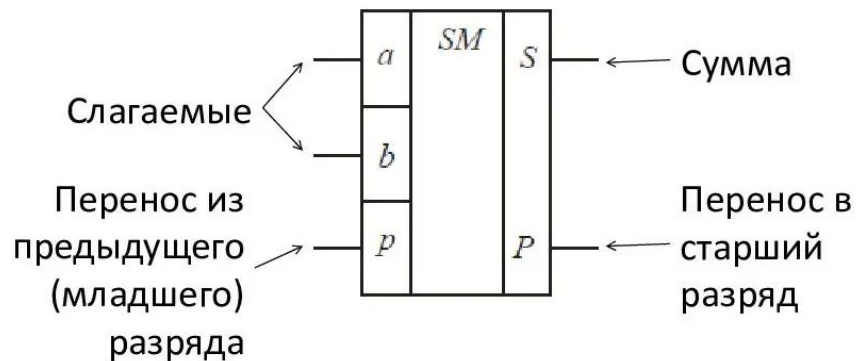


Рис. 5.1 - УГО

| a | b | p | S | P |
|-----|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Рис. 5.2 - таблица истинности

Сложение двух бит с учетом переноса из предыдущего разряда

Реализация сумматора на ЛЭ

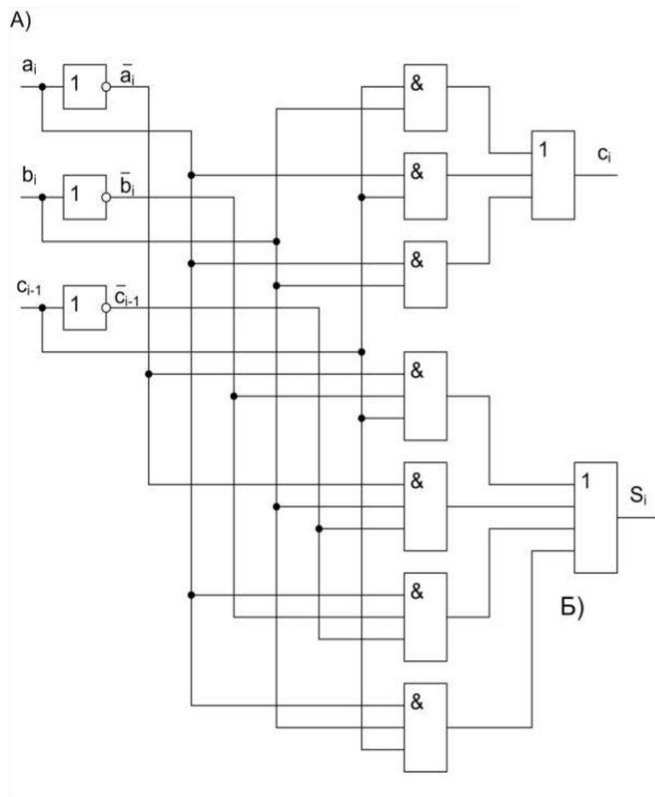
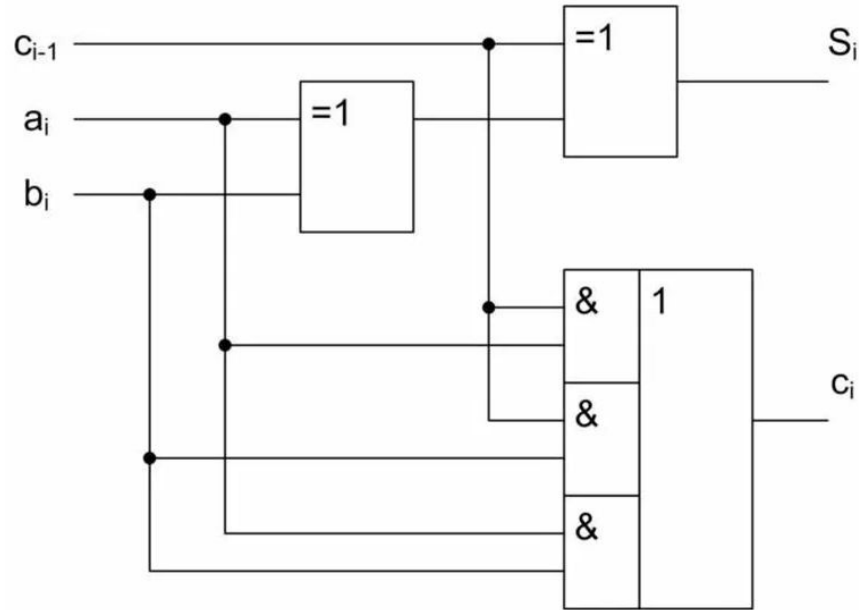


Рис. 5.3 - реализация в базисе И, ИЛИ, НЕ

Реализация сумматора на ЛЭ



$$S_i = c_{i-1} \oplus a_i \oplus b_i$$

Рис. 5.4 - реализация с использованием ИСКЛ. ИЛИ

Реализация сумматора на полусумматорах

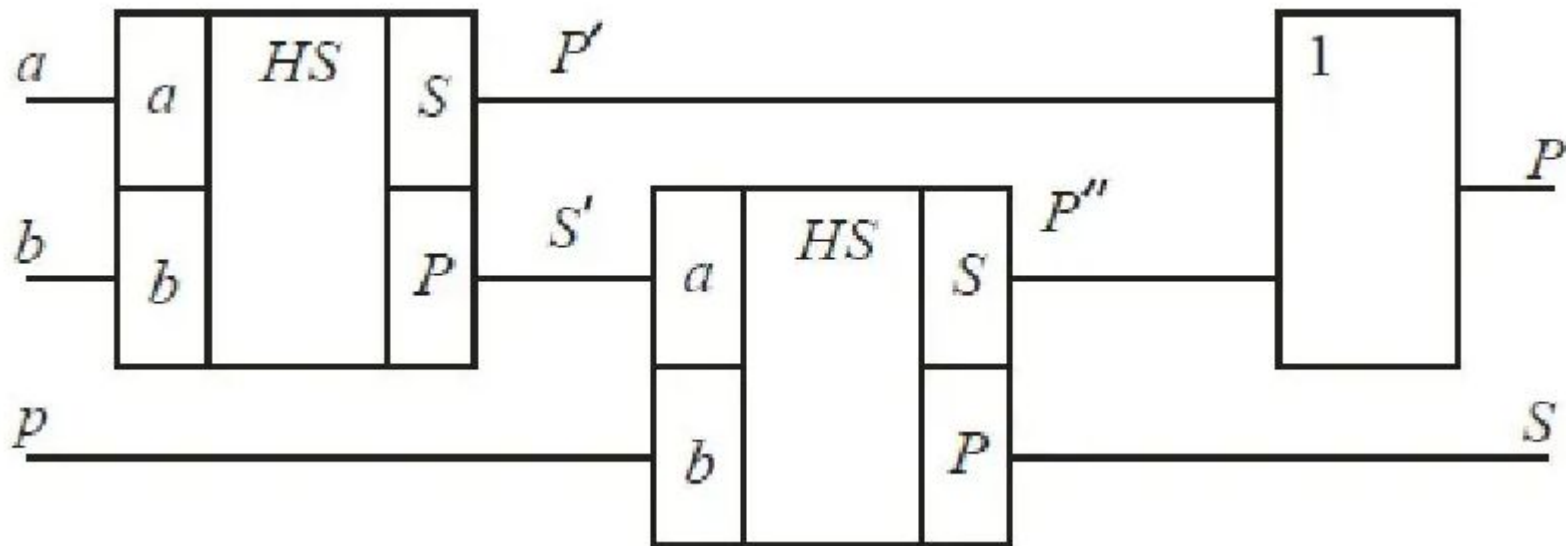
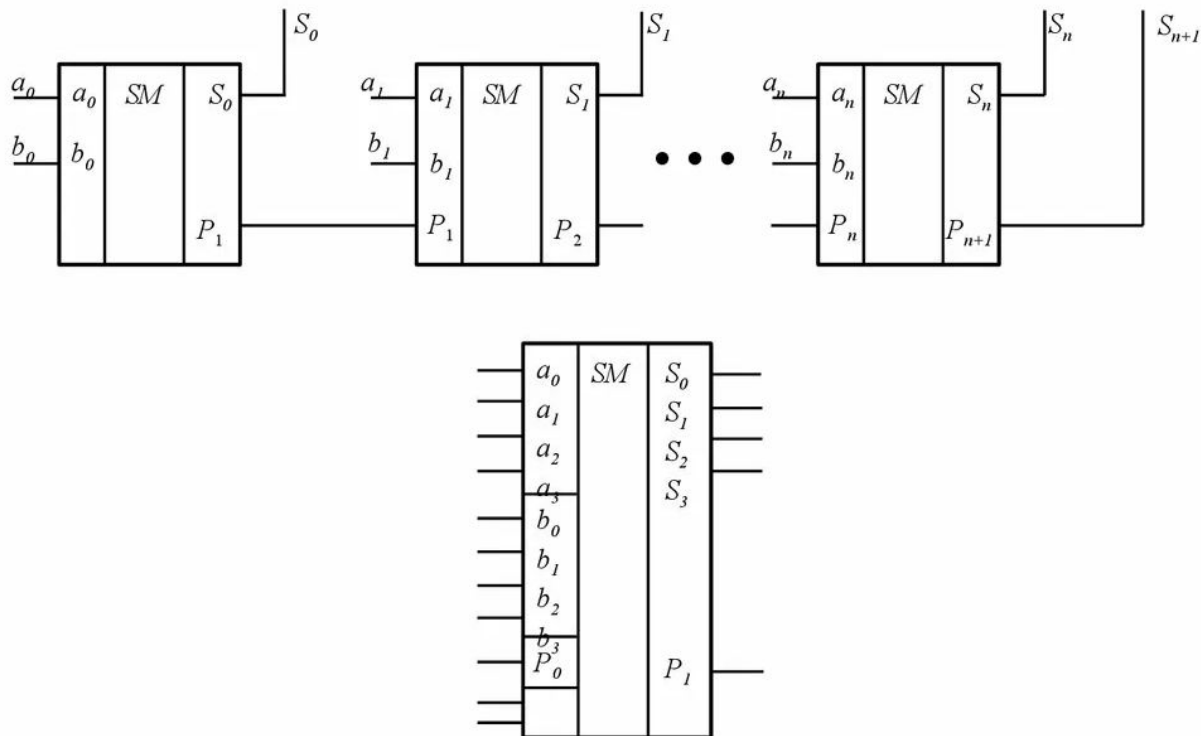


Рис. 5.5 - реализация на полусумматорах

Многоразрядный сумматор



Одноразрядный цифровой компаратор

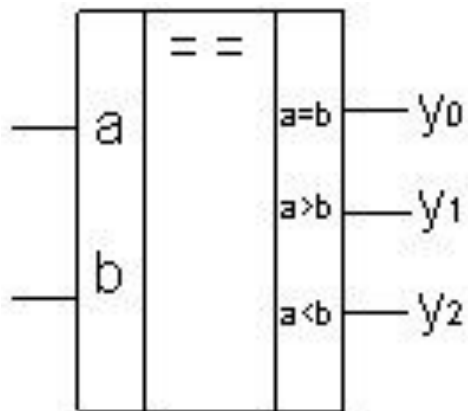


Рис. 6.1 - УГО

| a | b | $y0$ | $y1$ | $y2$ |
|-----|-----|------|------|------|
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |

Рис. 6.2 - таблица истинности

Сравнение двух бит

Реализация компаратора на ЛЭ

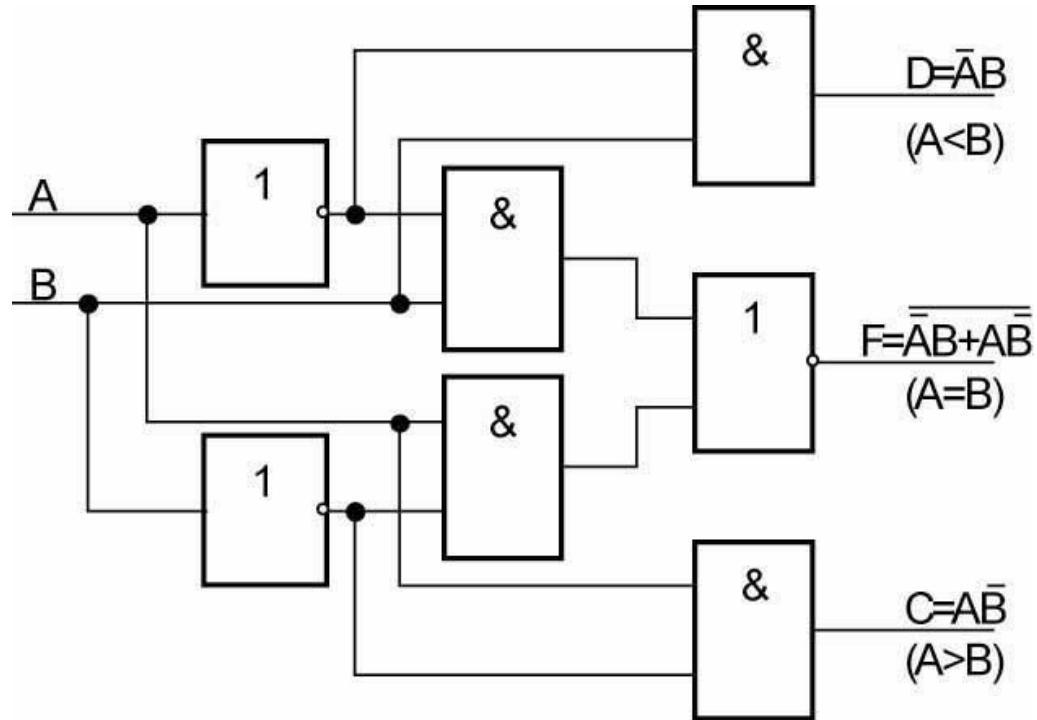
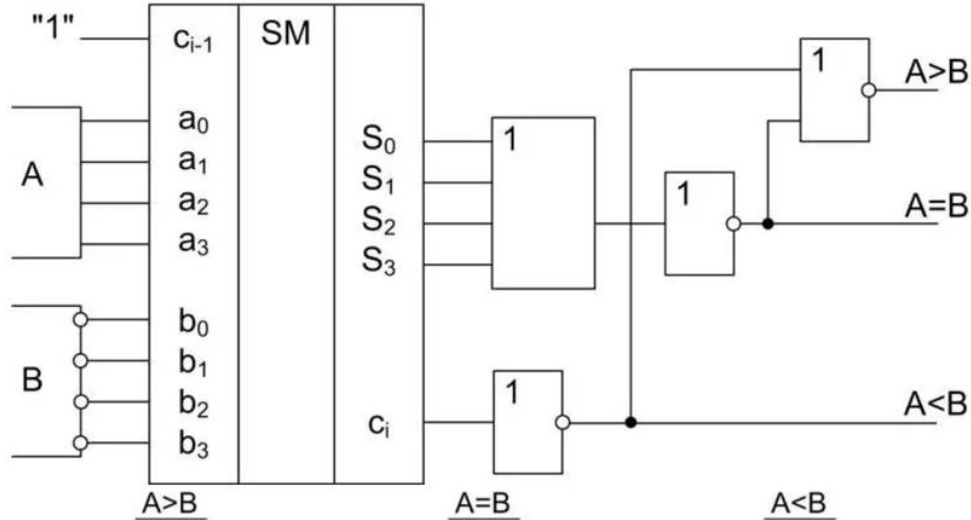


Рис. 6.3 - реализация на в базисе И, ИЛИ, НЕ

Компаратор на сумматоре



Необходимо сложить
первый аргумент с
побитовой инверсией
второго (обратный код)

$$\begin{array}{r}
 \text{A} \\
 - \text{B} \\
 + \frac{13}{12} \\
 + 1101 \\
 + 0011 \\
 + 1 \\
 \hline
 1.0001 \\
 \swarrow \quad \searrow \\
 c_i = 1 \quad S \neq 0
 \end{array}
 \quad
 \begin{array}{r}
 \text{A} \\
 - \text{B} \\
 + \frac{12}{12} \\
 + 1100 \\
 + 0011 \\
 + 1 \\
 \hline
 1.0000 \\
 \swarrow \quad \searrow \\
 S = 0
 \end{array}
 \quad
 \begin{array}{r}
 \text{A} \\
 - \text{B} \\
 + \frac{11}{12} \\
 + 1011 \\
 + 0011 \\
 + 1 \\
 \hline
 0.1111 \\
 \swarrow \quad \searrow \\
 c_i = 0 \quad S \neq 0
 \end{array}$$

Увеличение разрядности компаратора

