

Министерство образования республики Беларусь

Учреждение образования
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

ОТЧЕТ
По лабораторной работе №2
на тему
ИССЛЕДОВАНИЕ РАБОТЫ КОМБИНАЦИОННЫХ СХЕМ

Студенты гр. 250501

Герасимович В.С.
Снитко Д.А.

Преподаватель

Некревич Ю.И.

Минск 2024

1 ЦЕЛЬ РАБОТЫ

Целью работы является исследование работы шифраторов, дешифраторов, мультиплексора, сумматора и цифрового компаратора.

2 ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

2.1 Шифратор

Шифратором (Coder - CD) $M \times N$ называют комбинационное устройство с M входами и N выходами, преобразующее M -разрядный унитарный код в N -разрядный двоичный код.

Шифраторы классифицируют по ряду признаков.

По числу входов различают:

- 1) Полные шифраторы, число входов которых $M = 2^n$;
- 2) Неполные шифраторы, имеющих число входов $M < 2^n$.

По уровням входных и выходных сигналов выделяют

- 1) Шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;
- 2) Шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

По функциональной значимости входов шифраторы разделяют на две группы:

- 1) Шифраторы с равнозначными функциями входов, в которых все входы равноценны и при подаче на любой из них активного уровня сигнала на выходе формируется двоичный код. В таких шифраторах нельзя подавать несколько входных сигналов одновременно от разных источников, т. е. должна соблюдаться очередность подачи сигналов от разных источников.
- 2) Приоритетные шифраторы, в которых возможна одновременная подача на входы сигналов от разных источников, однако только один из них, имеющий больший приоритет, выполнит функцию формирования выходного кода. Как правило, наивысший приоритет назначается входу с самым высоким порядковым номером.

На рис. 2.1.1 приведено условное графическое обозначение приоритетного шифратора низкого уровня K555ИВ1.

Данная интегральная микросхема имеет следующий набор входных и выходных сигналов:

1. Восемь информационных входов X_0, X_1, \dots, X_7 ;
2. Три информационных выхода Y_0, Y_1, Y_2 ;
3. Вход E разрешения работы данной шифратора;
4. Выход E_0 разрешения работы других шифраторов при каскадировании;
5. Выходной сигнал группового переноса G .

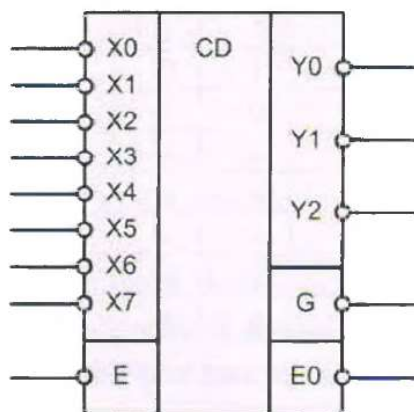


Рисунок 2.1.1 – Условное графическое обозначение шифратора К555ИВ1

Работа устройства иллюстрируется таблицей состояний, представленной на рисунке 2.1.2.

Входы									Выходы				
E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	0	×	×	×	×	×	×	×	0	0	0	0	1

Рисунок 2.1.2 – Таблица состояний для шифратора

Состояние выходных сигналов G и E0 шифратора описывается уравнениями, представленными на рисунке 2.1.3.

$$G = E \vee \overline{E} \cdot X_0 \cdot X_1 \cdot X_2 \cdot X_3 \cdot X_4 \cdot X_5 \cdot X_6 \cdot X_7,$$

$$E0 = \overline{\overline{E} \cdot X_0 \cdot X_1 \cdot X_2 \cdot X_3 \cdot X_4 \cdot X_5 \cdot X_6 \cdot X_7}.$$

Рисунок 2.1.3 – Уравнения состояний сигналов G и E0 для шифратора

Стандартное применение шифраторов состоит в сокращении количества сигналов. Например, в случае шифратора К555ИВ1 информация о восьми входных сигналах сворачивается в три выходных сигнала. Это очень удобно, например, при передаче данных по информационным каналам.

Шифраторы также могут быть использованы при организации клавиатуры для формирования кода нажатой клавиши. При этом каждому

входу шифратора соответствует отдельная клавиша. Если ни одна из них не нажата, об этом свидетельствует единичное значение сигнала G. При нажатии на какую-либо клавишу выход G переходит в единичное состояние, а на информационных выходах формируется код нажатой клавиши. При использовании приоритетного шифратора в случае одновременном нажатии нескольких клавиш формируется код клавиши с наибольшим приоритетом.

2.2 Дешифратор

Дешифратором (Decoder — DC) $M \times N$ называют комбинационное устройство с M входами и N выходами, преобразующее M -разрядный двоичный код в N -разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня - единственный 0.

Максимальное число выходов $N = 2^M$ соответствует всем возможным наборам сигналов на входе дешифратора или M -разрядным двоичным кодам. Дешифратор с максимальным числом $N = 2^M$ выходов называется полным, а с числом выходов $N < 2^M$ - неполным.

На рисунке 2.2.1 приведено условное обозначение дешифратора 2×4 типа К531ИД14.

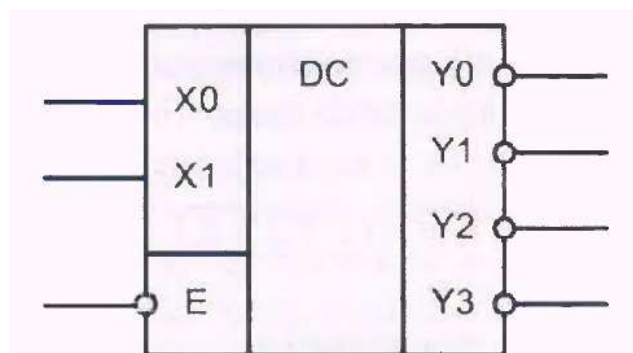


Рисунок 2.2.1 – Условное обозначение дешифратора 2×4

Выходные сигналы дешифратора описываются соотношениями, представленными на рисунке 2.2.2.

$$Y0 = \overline{X1} \wedge \overline{X0}, \quad Y1 = \overline{X1} \wedge X0, \quad Y2 = X1 \wedge \overline{X0}, \quad Y3 = X1 \wedge X0.$$

Рисунок 2.2.2 – Описание выходных сигналов дешифратора

Помимо информационных входов $X0$, $X1$ дешифратор имеет дополнительные входы управления E . Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом – уровень логического нуля.

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой конъюнкцию всех разрешающих сигналов управления.

Работа дешифратора описывается с помощью таблицы состояния, представленной на рисунке 2.2.3.

<i>Входы</i>			<i>Выходы</i>			
Е	X1	X0	Y3	Y2	Y1	Y0
1	x	x	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

Рисунок 2.2.3 – Таблица состояний для дешифратора

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров, например, дешифраторы позволяют адресоваться к определённому устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

2.3 Мультиплексор

Мультиплексором (Multiplexer - MUX) называют комбинационное устройство с M информационными, K адресными входами и одним выходом (Y), которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

Кроме информационных и адресных входов, мультиплексор содержит вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. Если на вход разрешения подан пассивный уровень, мультиплексор перейдет в пассивное состояние, при котором сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от соотношения числа информационных входов M и числа адресных входов K мультиплексоры делятся на полные и неполные. Если выполняется условие $M = 2^K$, то мультиплексор будет полным. Если это условие не выполняется, т.е. $M < 2^K$, то мультиплексор будет неполным.

Число информационных входов у мультиплексоров обычно 2, 4, 8 или 16. На рисунке 2.3.1 представлен мультиплексор 4x1 с инверсным входом

разрешения E и прямым выходом Y , представляющий собой половину микросхемы мультиплексора КР555КП2.

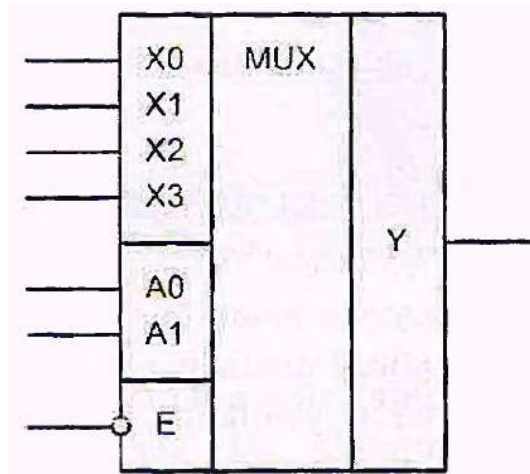


Рисунок 2.3.1 – Условное обозначение мультиплексора 4х1

Выражение для выходной функции такого мультиплексора можно записать в таком виде, как представлено на рисунке 2.3.2. Здесь $X0, X1, X2, X3$ – информационные входы мультиплексора; $A0, A1$ – адресные входы мультиплексора; E – вход разрешения.

$$Y = \bar{E} \wedge (X0 \wedge \bar{A0} \wedge \bar{A1} \vee X1 \wedge A0 \wedge \bar{A1} \vee X2 \wedge \bar{A0} \wedge A1 \vee X3 \wedge A0 \wedge A1)$$

Рисунок 2.3.2 – Описание выходного сигнала мультиплексора 4х1

Работа мультиплексора описывается таблицей состояний, представленной на рисунке 2.3.3.

E	$A1$	$A0$	$X3$	$X2$	$X1$	$X0$	Y
1	×	×	×	×	×	×	0
0	0	0	×	×	×	0	0
0	0	0	×	×	×	1	1
0	0	1	×	×	0	×	0
0	0	1	×	×	1	×	1
0	1	0	×	0	×	×	0
0	1	0	×	1	×	×	1
0	1	1	0	×	×	×	0
0	1	1	1	×	×	×	1

Рисунок 2.3.3 – Таблица состояний для мультиплексора

Микросхемы мультиплексоров можно объединять для увеличения количества каналов. Например, два 4-канальных мультиплексора объединяются в 8-канальный с помощью инвертора на входах разрешения и элемента 2И-НЕ для объединения выходных сигналов (рис. 2.3.4). Старший

разряд адреса будет при этом выбирать один из двух мультиплексоров по входу разрешения.

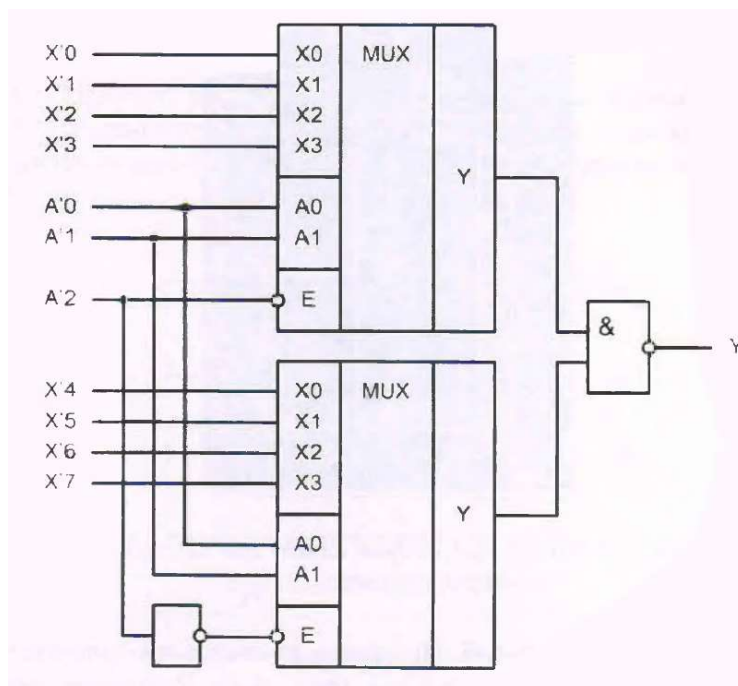


Рисунок 2.3.4 – Схема каскадирования мультиплексоров

Мультиплексоры нашли широкое применение в вычислительной технике в качестве коммутаторов цифровых сигналов. Они используются в компьютерах и микропроцессорных контроллерах для коммутации адресных входов динамических оперативных запоминающих устройств, в узлах объединения или разветвления шин и т.д.

На базе мультиплексоров можно построить различные комбинационные устройства с минимальным числом дополнительных элементов логики. Такой подход используется, например, в микросхемах с программируемой логикой.

2.4 Сумматор

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел. Приведем основные классификационные признаки сумматоров.

По виду выполняемой операции можно выделить две группы сумматоров:

1. Сумматоры, выполняющие сложение положительных чисел (без учета знака числа);
2. Сумматоры, выполняющие операцию сложения положительных и отрицательных чисел. Такие устройства называют сумматорами-вычитателями. Они могут работать в режиме алгебраического (с учетом знака) суммирования и вычитания чисел.

По используемой системе счисления сумматоры подразделяются на:

1. Двоичные сумматоры, выполняющие операции над двоичными числами;
2. Десятичные сумматоры, выполняющие операции над десятичными числами.

По последовательности выполнения операции во времени выделяют:

1. Параллельные сумматоры, в которых все разряды складываемых чисел подаются на входы сумматора одновременно. Такие сумматоры строятся на комбинационных устройствах и рассматриваются в дальнейшем;
2. Последовательные сумматоры, на входы которых разряды складываемых чисел подаются последовательно во времени (разряд за разрядом). В них используются элементы памяти.

Среди двоичных сумматоров различают одноразрядные и многоразрядные сумматоры. Одноразрядные сумматоры служат основой для построения многоразрядных. Многоразрядные сумматоры подразделяются на сумматоры с последовательным и параллельным переносом.

Полным одноразрядным сумматором, представленном на рисунке 2.4.1 называется комбинационное устройство с тремя входами и двумя выходами, выполняющее сложение трех одноразрядных чисел по правилам двоичной арифметики.

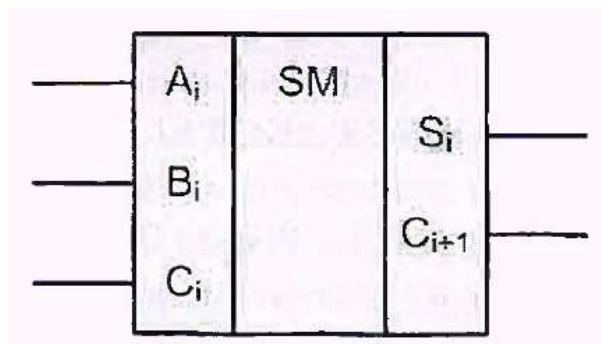


Рисунок 2.4.1 – Условное графическое обозначение одноразрядного полного сумматора

На входы сумматора поступают сигналы A_i , B_i i -го разряда и сигнал C_i переноса из предыдущего разряда, с выхода снимаются сигналы текущего разряда суммы S и переноса C_{i+1} в следующий разряд. Работа одноразрядного полного сумматора описывается таблицей состояний, представленной на рисунке 2.4.2.

Входы			Выходы	
C_{i-1}	B_i	A_i	C_{i+1}	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Рисунок 2.4.2 – Таблица состояний для одноразрядного полного сумматора

Полные одноразрядные сумматоры используются для построения многоразрядных сумматоров. На рисунке 2.4.3 приведена схема соединения двух одноразрядных полных сумматоров для получения двухразрядного полного сумматора. Выход переноса предыдущего одноразрядного сумматора соединяется в вход переноса предыдущего.

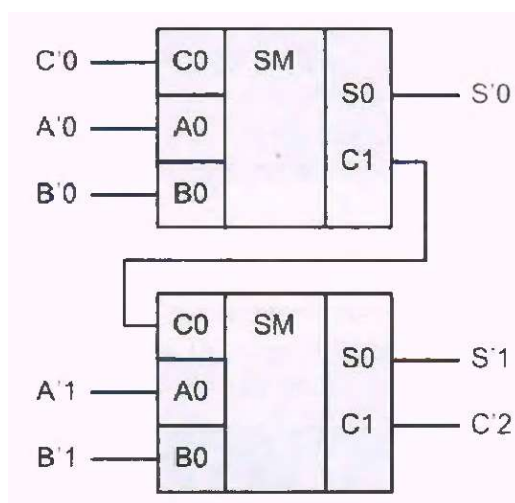


Рисунок 2.4.3 – Схема увеличения разрядности сумматора

Полученный сумматор называется сумматором с последовательным переносом. Сумматор с последовательным переносом имеет низкое быстродействие, так как сигналы суммы и переноса старшего разряда появятся только после того, как последовательно сформируются сигналы переноса всех предыдущих разрядов.

Для увеличения быстродействия многоразрядного сумматора применяется схема ускоренного переноса, которая в соответствии с состоянием сигналов на информационных входах и входного сигнала переноса формирует выходной сигнал переноса. Такой сумматор называется

сумматором параллельным переносом. На этом принципе построен четырехразрядный сумматор К155ИМ3, представленный на рисунке 2.4.4.

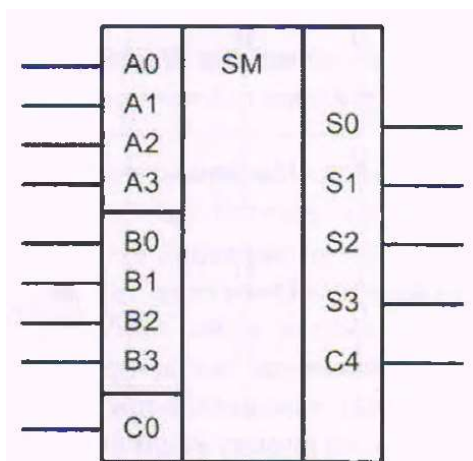


Рисунок 2.4.4 – Условное обозначение четырехразрядного сумматора

Путем соединения выводов переноса $C0$, $C4$ четырехразрядных сумматоров в последовательную цепь можно построить сумматоры с разрядностью 8, 12, 16 и т.д. Такой многоразрядный сумматор называют сумматором с последовательным групповым переносом.

2.5 Цифровой компаратор

Цифровым компаратором называется комбинационное устройство, предназначенное для сравнения кодов двух двоичных чисел и формирования результата сравнения в виде цифровых сигналов.

Компараторы делятся на две группы: схемы проверки равнозначности кодов и схемы сравнения кодов.

Схемы проверки равнозначности кодов имеют на входе две переменные A и B , каждая из которых содержит M двоичных разрядов, и один выход Y . При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал $Y=1$ при равенстве входных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности (рисунок 2.5.1). В этой таблице A_i и B_i являются i -тыми разрядами многоразрядных двоичных чисел A и B , а Y_i - результатом сравнения разрядов с номером i .

A_i	B_i	Y_i
0	0	1
0	1	0
1	0	0
1	1	1

Рисунок 2.5.1 – Таблица истинности для схемы сравнения

На рисунке 2.5.2 показана схема проверки на равенство, построенная на элементах исключающее «ИЛИ» в соответствии с таблицей истинности, представленной на рисунке 2.5.1.

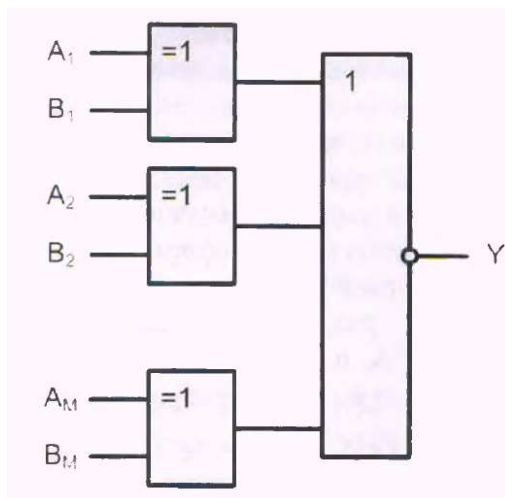


Рисунок 2.5.1 – Схема сравнения на равенство

Схемы сравнения выполняют более сложный логический анализ входных кодов и на выходе формируют три выходных сигнала, соответствующие результатам сравнения: $A > B$, $A = B$ или $A < B$. Примером служит интегральная микросхема цифрового компаратора К555СП1.

Помимо восьми входов для сравниваемых кодов (два четырехразрядных слова, обозначаемых $A_0...A_3$ и $B_0...B_3$) компаратор К555СП1 имеет три управляющих входа для наращивания разрядности $I(A > B)$, $I(A < B)$, $I(A = B)$ и три выхода результирующих сигналов $(A > B)$, $(A < B)$, $(A = B)$. Условное графическое изображение компаратора приведено на рисунке 2.5.2.

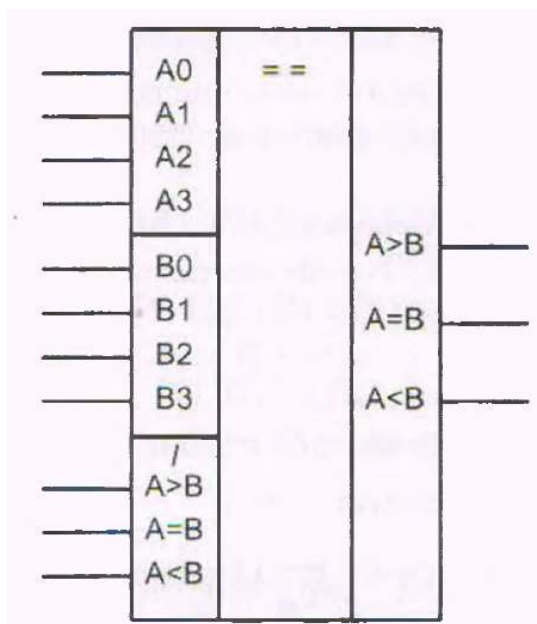


Рисунок 2.5.2. Условное графическое изображение компаратора

Работа четырехразрядного компаратора описывается таблицей истинности, представленной на рисунке 2.5.3.

Входы сравниваемых кодов				Входы наращивания			Выходы		
A3,B3	A2,B2	A1,B1	A0,B0	I(A>B)	I(A<B)	I(A=B)	A>B	A<B	A=B
A3>B3	×	×	×	×	×	×	1	0	0
A3<B3	×	×	×	×	×	×	0	1	0
A3=B3	A2>B2	×	×	×	×	×	1	0	0
A3=B3	A2<B2	×	×	×	×	×	0	1	0
A3=B3	A2=B2	A1>B1	×	×	×	×	1	0	0
A3=B3	A2=B2	A1<B1	×	×	×	×	0	1	0
A3=B3	A2=B2	A1=B1	A0>B0	×	×	×	1	0	0
A3=B3	A2=B2	A1=B1	A0<B0	×	×	×	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	1	0	0	1	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	1	0	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	×	×	1	0	0	1
A3=B3	A2=B2	A1=B1	A0=B0	1	1	0	0	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	0	0	1	1	0

Рисунок 2.5.3 – Таблица истинности для четырехразрядного цифрового компаратора

Если сравниваются коды с разрядностью более четырёх, то выходы компаратора младших разрядов подключаются к одноимённым входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов. На рисунке 2.5.4 показана схема построения 12-разрядного компаратора на основе четырехразрядных компараторов.

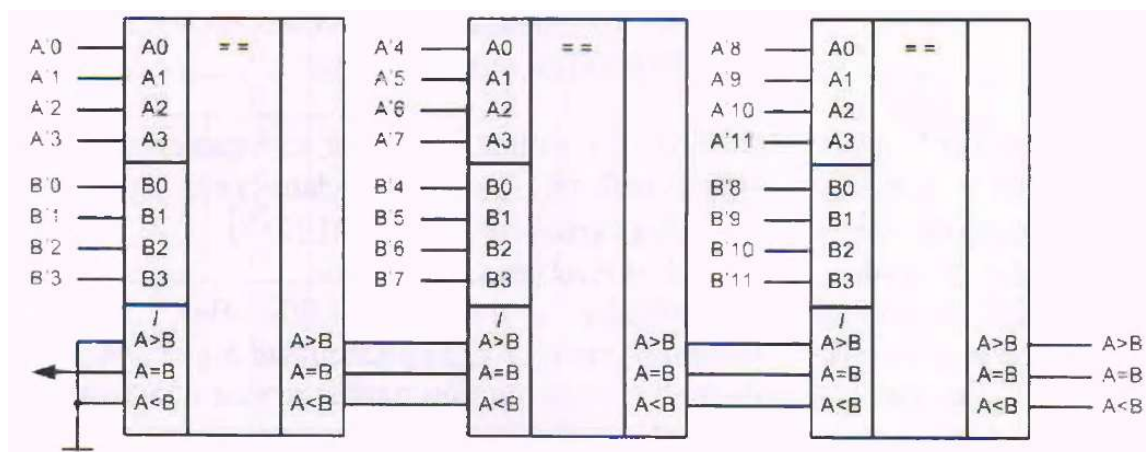


Рисунок 2.5.4 – Каскадирование цифровых компараторов

Основным применением цифровых компараторов в вычислительной технике является селектирование адреса, т.е. сравнение цифрового кода на шине адреса с заданным базовым адресом. При их совпадении на выходе компаратора появляется сигнал, разрешающий работу адресуемого устройства.

3 ВЫПОЛНЕНИЕ РАБОТЫ

3.1 Исследование работы шифратора

При подаче на входы шифратора наборы данных, в которых $E=0$, а значения сигналов $X0 - X7$ взяты из таблицы, представленной на рисунке 3.1.1, получили таблицу истинности (рисунок 3.1.2) и диаграмму состояний шифратора (рисунок 3.1.3).

Вход $X7$	Вход $X6$	Вход $X5$	Вход $X4$	Вход $X3$	Вход $X2$	Вход $X1$	Вход $X0$
1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0
1	1	1	1	1	1	0	1
1	1	1	1	1	0	1	1
1	1	1	1	0	1	1	1
1	1	1	0	1	1	1	1
1	1	0	1	1	1	1	1
1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	1

Рисунок 3.1.1 – Таблица входных данных для шифратора

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шар 1	0	1	1	1	1	1	1	1	1	1	1	1	1	0
Шар 2	0	1	1	1	1	1	1	1	0	1	1	1	0	1
Шар 3	0	1	1	1	1	1	1	0	1	1	1	0	0	1
Шар 4	0	1	1	1	1	1	0	1	1	1	0	1	0	1
Шар 5	0	1	1	1	1	0	1	1	1	1	0	0	0	1
Шар 6	0	1	1	1	0	1	1	1	1	0	1	1	0	1
Шар 7	0	1	1	0	1	1	1	1	1	0	1	0	0	1
Шар 8	0	1	0	1	1	1	1	1	1	0	0	1	0	1
Шар 9	0	0	1	1	1	1	1	1	1	0	0	0	0	1

Рисунок 3.1.2 – Таблица истинности для шифратора при $E=0$

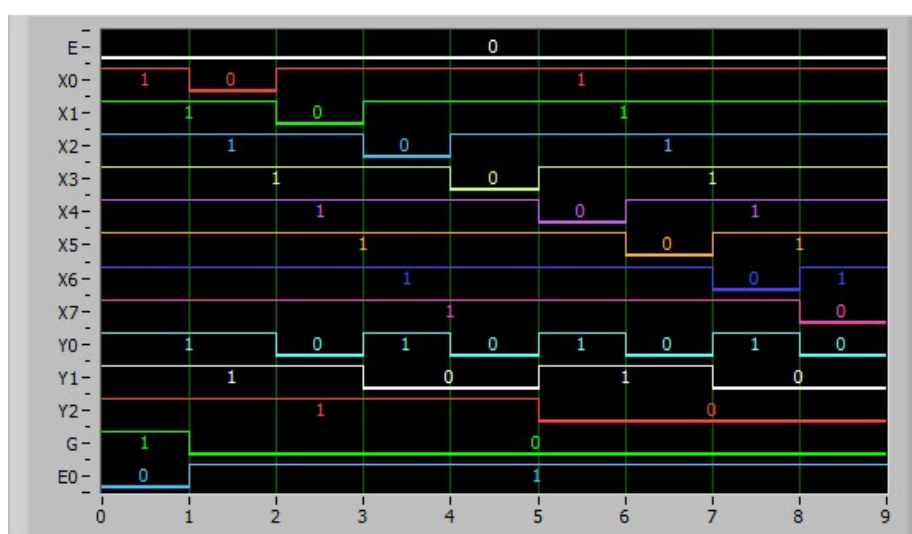


Рисунок 3.1.3 – Диаграмма состояний шифратора

Проверим работу шифратора, при подаче на него данных из таблицы на рисунке 3.1.1 и E=1. В результате получили таблицу истинности (рисунок 3.1.4) и диаграмму состояний шифратора (рисунок 3.1.5).

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
War 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
War 2	1	1	1	1	1	1	1	1	0	1	1	1	1	1
War 3	1	1	1	1	1	1	1	0	1	1	1	1	1	1
War 4	1	1	1	1	1	1	0	1	1	1	1	1	1	1
War 5	1	1	1	1	1	0	1	1	1	1	1	1	1	1
War 6	1	1	1	1	0	1	1	1	1	1	1	1	1	1
War 7	1	1	1	0	1	1	1	1	1	1	1	1	1	1
War 8	1	1	0	1	1	1	1	1	1	1	1	1	1	1
War 9	1	0	1	1	1	1	1	1	1	1	1	1	1	1

Рисунок 3.1.4 – Таблица истинности для шифратора при E=1

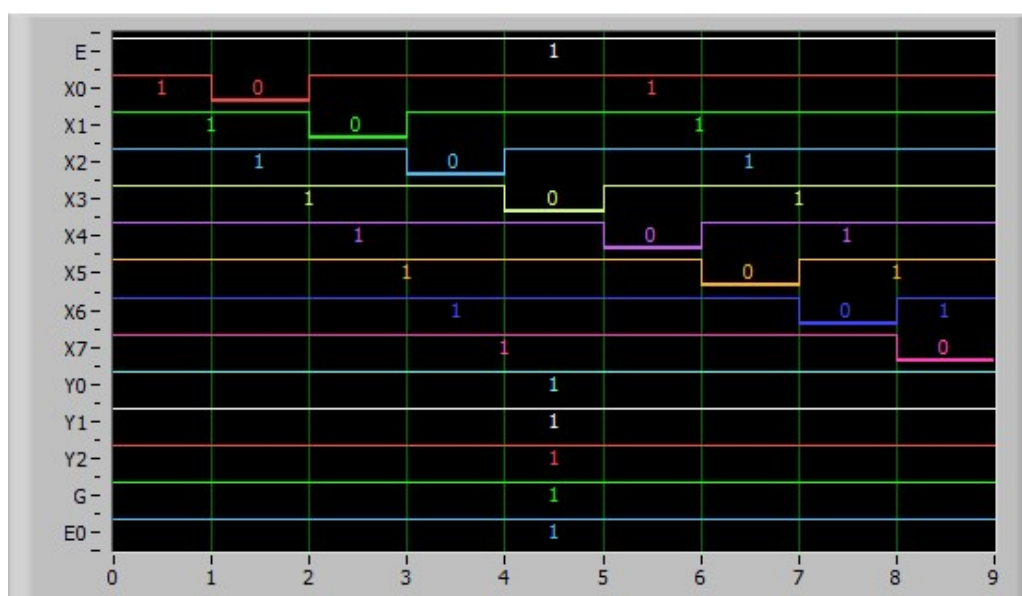


Рисунок 3.1.5 – Диаграмма состояний шифратора

Из таблиц истинности (рисунок 3.1.2 и 3.1.4) видно, что для данного шифратора активным сигналом на входе управления E является сигнал «0», так как только при нем можно корректно определить состояния выходов шифратора.

Исходя из полученных данных можно определить условия появления активного низкого уровня на E0 и G. Для E0 необходимо наличие сигнала «0» на входе E и сигнал «1» на всех информационных входах шифратора. Условием для G является наличие «0» на входе E и на хотя бы одном информационном входе элемента.

3.2 Исследование работы дешифратора

При подаче на входы дешифратора все возможные наборы данных, представленные в таблице на рисунке 3.2.1, получили таблицу истинности (рисунок 3.2.2) и диаграмму состояний дешифратора (рисунок 3.2.3).

<i>Вход E</i>	<i>Вход X1</i>	<i>Вход X0</i>
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Рисунок 3.2.1 – Таблица входных данных для дешифратора

	E	X1	X0	Y3	Y2	Y1	Y0
Шар 1	0	0	0	1	1	1	0
Шар 2	0	0	1	1	1	0	1
Шар 3	0	1	0	1	0	1	1
Шар 4	0	1	1	0	1	1	1
Шар 5	1	0	0	1	1	1	1
Шар 6	1	0	1	1	1	1	1
Шар 7	1	1	0	1	1	1	1
Шар 8	1	1	1	1	1	1	1

Рисунок 3.2.2 – Таблица истинности для дешифратора

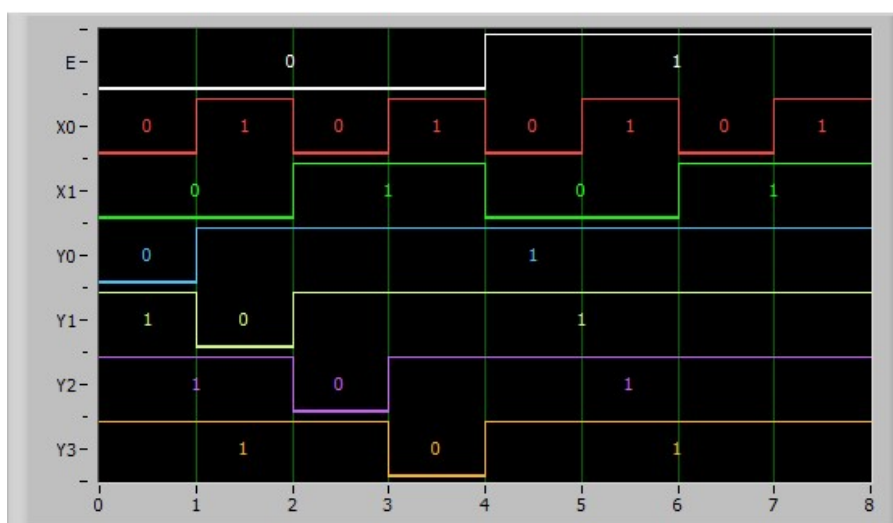


Рисунок 3.2.3 – Диаграмма состояний дешифратора

Из таблицы истинности (рисунок 3.2.2) и диаграммы состояний (рисунок 3.2.3) видно, что для данного дешифратора активным сигналом на входе управления Е является сигнал «0», так как только при Е=0 можно корректно определить значения на выходах дешифратора.

3.3 Исследование работы мультиплексора

При подаче на входы мультиплексора все возможные наборы данных, представленные в таблице на рисунке 3.3.1, получили таблицу истинности (рисунок 3.3.2) и диаграмму состояний мультиплексора (рисунок 3.3.3).

<i>Вход E</i>	<i>Вход A₁</i>	<i>Вход A₀</i>
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Рисунок 3.3.1 – Таблица входных данных для мультиплексора

	E	A1	A0	X3	X2	X1	X0	Y
Шаг 1	0	0	0	0	0	0	1	= X0
Шаг 2	0	0	1	0	0	1	0	= X1
Шаг 3	0	1	0	0	1	0	0	= X2
Шаг 4	0	1	1	1	0	0	0	= X3
Шаг 5	1	0	0	1	1	1	1	--
Шаг 6	1	0	1	1	1	1	1	--
Шаг 7	1	1	0	1	1	1	1	--
Шаг 8	1	1	1	1	1	1	1	--

Рисунок 3.3.2 – Таблица истинности для мультиплексора

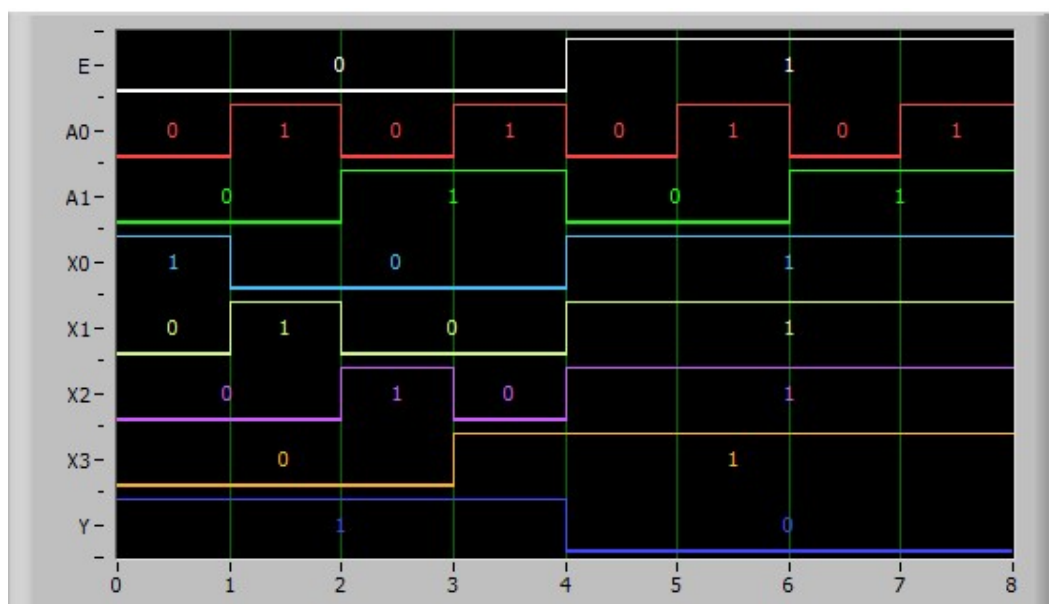


Рисунок 3.3.3 – Диаграмма состояний мультиплексора

Из таблицы истинности (рисунок 3.3.2) и диаграммы состояний (рисунок 3.3.3) видно, что для данного мультиплексора активным сигналом на входе управления Е является сигнал «0», так как при Е=0 на выходе появляется сигнал, поданный на информационный вход мультиплексора.

3.4 Исследование работы сумматора

При подаче на входы сумматора все возможные наборы данных, представленные в таблице на рисунке 3.4.1, получили таблицу истинности (рисунок 3.4.2) и диаграмму состояний дешифратора (рисунок 3.4.3).

Вход C0	Вход A3	Вход A2	Вход A1	Вход A0	Вход B3	Вход B2	Вход B1	Вход B0
0	0	0	1	0	0	1	0	0
0	1	0	0	1	1	1	0	1
0	0	1	0	1	0	1	1	0
0	1	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1
1	0	0	1	1	0	1	0	1
1	0	0	1	0	1	0	0	0
1	1	0	0	1	0	0	1	1
1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1	1

Рисунок 3.4.1 – Таблица входных данных для сумматора

	C0	A3	A2	A1	A0	B3	B2	B1	B0	S3	S2	S1	S0	C4
Шаг 1	0	0	0	1	0	0	1	0	0	0	1	1	0	0
Шаг 2	0	1	0	0	1	1	1	0	1	0	1	1	0	1
Шаг 3	0	0	1	0	1	0	1	1	0	1	0	1	1	0
Шаг 4	0	1	0	1	1	0	1	1	1	0	0	1	0	1
Шаг 5	0	1	1	1	1	1	1	1	1	1	1	1	0	1
Шаг 6	1	0	0	1	1	0	1	0	1	1	0	0	1	0
Шаг 7	1	0	0	1	0	1	0	0	0	1	0	1	1	0
Шаг 8	1	1	0	0	1	0	0	1	1	1	1	0	1	0
Шаг 9	1	1	1	1	0	1	1	1	0	1	1	0	1	1
Шаг 10	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Рисунок 3.4.2 – Таблица истинности для сумматора

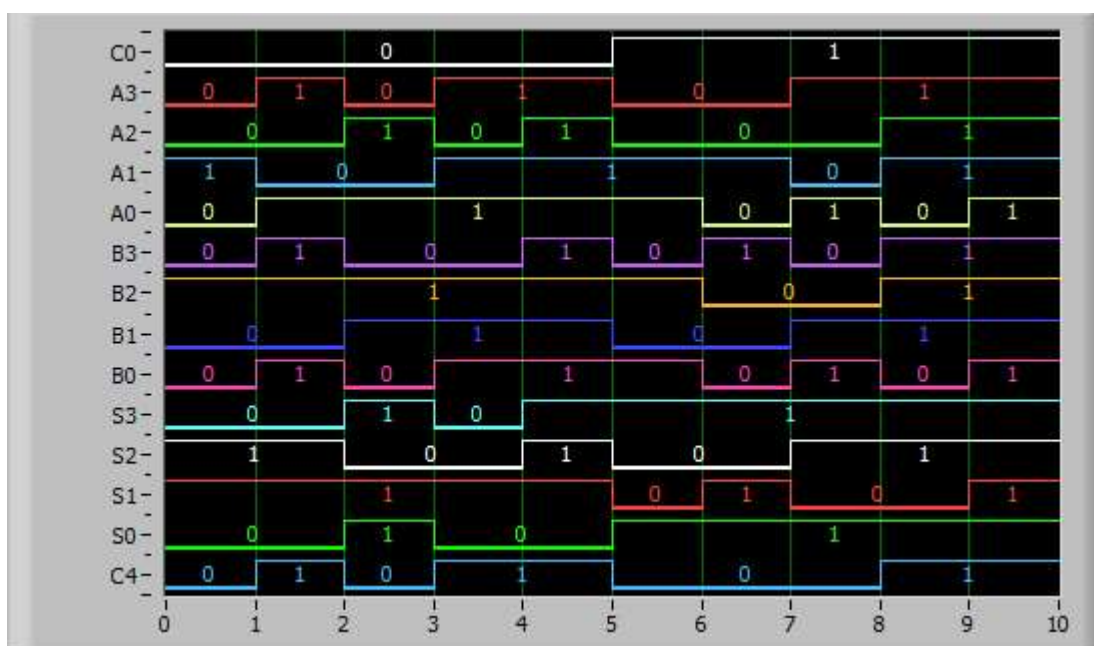


Рисунок 3.4.3 – Диаграмма состояний сумматора

Проверить правильность работы сумматора можно по следующей формуле:

$$C0 + 2^0(A0 + B0) + 2^1(A1 + B1) + 2^2(A2 + B2) + 2^3(A3 + B3) = 2^0S0 + 2^1S1 + 2^2S2 + 2^3S3 + 2^4C4 \quad (3.4.1)$$

Для примера возьмем шаг 2. Результаты проверки по формуле 3.4.1 приведены ниже.

$$0 + 2^0(1 + 1) + 2^1(0 + 0) + 2^2(0 + 1) + 2^3(1 + 1) = 22 \quad (3.4.2)$$

$$2^0 * 0 + 2^1 * 1 + 2^2 * 1 + 2^3 * 0 + 2^4 * 1 = 22 \quad (3.4.3)$$

Полученные результаты (расчеты 3.4.2 и 3.4.3) совпадают. Следовательно, сумматор работает корректно.

3.5 Исследование работы цифрового компаратора

При подаче на входы цифрового компаратора все возможные наборы данных, представленные в таблице на рисунке 3.5.1, получили таблицу истинности (рисунок 3.5.2) и диаграмму состояний цифрового компаратора (рисунок 3.5.3).

Вход A3	Вход A2	Вход A1	Вход A0	Вход B3	Вход B2	Вход B1	Вход B0	Вход I(A>B)	Вход I(A=B)	Вход I(A<B)
1	0	0	0	0	0	0	0	1	1	1
0	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	1	1
0	0	0	0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	0	1	1	1
0	0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	0	0	0	1	1	1
0	0	0	0	0	0	0	1	0	0	0
0	0	0	1	0	0	0	0	1	1	1
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1
0	0	0	0	0	0	0	0	0	0	0

Рисунок 3.5.1 – Таблица входных данных для цифрового компаратора

	A3	A2	A1	A0	B3	B2	B1	B0	I(A>B)	I(A=B)	I(A<B)	A>B	A=B	A<B
Шар 1	1	0	0	1	0	0	0	0	1	1	1	1	0	0
Шар 2	0	0	0	0	1	0	0	0	0	0	0	0	0	1
Шар 3	0	1	0	0	0	0	0	0	1	1	1	1	0	0
Шар 4	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Шар 5	0	0	1	0	0	0	0	0	1	1	1	1	0	0
Шар 6	0	0	0	0	0	0	1	0	0	0	0	0	0	1
Шар 7	0	0	0	1	0	0	0	0	1	1	1	1	0	0
Шар 8	0	0	0	0	0	0	0	1	0	0	0	0	0	1
Шар 9	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Шар 10	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Шар 11	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Шар 12	0	0	0	0	0	0	0	0	1	1	1	0	1	0
Шар 13	0	0	0	0	0	0	0	0	1	0	1	0	0	0
Шар 14	0	0	0	0	0	0	0	0	0	0	0	1	0	1

Рисунок 3.5.2 – Таблица истинности для цифрового компаратора

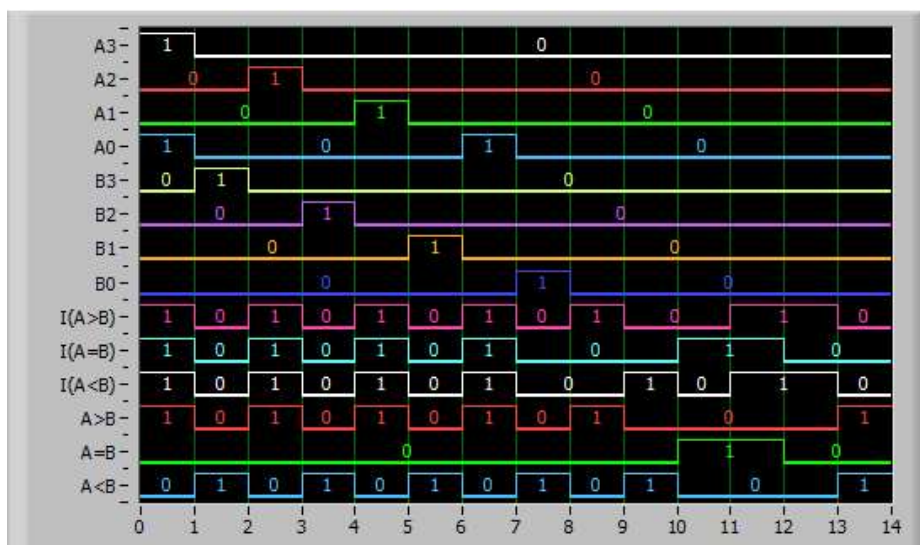


Рисунок 3.5.3 – Диаграмма состояний цифрового компаратора

4 ВЫВОД

В ходе данной лабораторной работы требовалось изучить поведение коммутационных логических элементов: шифратора, дешифратора, мультиплексора, сумматора и цифрового компаратора.

С этой целью для шифратора были сформированы таблица истинности и диаграмма состояний, определён активный логический сигнал для управляющего входа Е, определены условия возникновения активного сигнала на выходах Е0 и G и произведена проверка на приоритетность.

Для дешифратора были сформированы таблица истинности и диаграмма состояний, а также определён активный логический сигнал для управляющего входа Е.

Для мультиплексора были сформированы таблица истинности и диаграмма состояний, а также определён активный логический сигнал для управляющего входа Е.

Для сумматора были сформированы таблица истинности и диаграмма состояний и проведена проверка корректной работоспособности сумматора с помощью уравнения.

Для компаратора были сформированы таблица истинности и диаграмма состояний.