

《计算机组成原理》第九次作业

网络空间安全学院 信息安全 陆皓喆 2211044

5.12

多级cache是一项重要技术，它克服了L1 cache提供的空间有限的不足，同时仍然保持了速度。假设一个处理器的参数如下：

没有存储器阻塞的基本CPI	处理器速度	主存访问时间	每条指令的L1 cache缺失率	直接映射的L2 cache的速度	包含直接映射的L2 cache时的全局缺失率	八路组相联的二级cache的速度	包含八路组相联的L2 cache时的全局缺失率
1.5	2GHz	100ns	7%	12个周期	3.5%	28个周期	1.5%

注：L1 cache 缺失率是针对每条指令的。假设 L1 cache 的总缺失数量（包含指令和数据）为总指令数的 7%。

5.12.1

题目

计算表中处理器的CPI：

- 只有L1 cache;
- 一个直接映射的L2 cache;
- 一个八路组相联的L2 cache。如果主存访问时间加倍，CPI如何变化（CPI的绝对变化量以及百分比）？注意L2 cache能够隐藏慢速内存影响所能达到的程度。

解答

标准内存时间:在2ghz的机器上，每个周期需要0.5ps，因此，访问主内存需要 $100/0.5 = 200$ 个周期。

- 只有L1 cache: $1.5 + 0.07 \times 200 = 15.5$
- 一个直接映射的L2 cache: $1.5 + 0.07 \times (12 + 0.035 \times 200) = 2.83$
- 一个八路组相联的L2 cache: $1.5 + 0.07 \times (28 + 0.015 \times 200) = 3.67$

如果内存访问时间翻倍，因此，一次主内存访问需要400个周期：

- 只有L1 cache: $1.5 + 0.07 \times 400 = 29.5$ (90% increase)
- 一个直接映射的L2 cache: $1.5 + 0.07 \times (12 + 0.035 \times 400) = 3.32$ (17% increase)
- 一个八路组相联的L2 cache: $1.5 + 0.07 \times (28 + 0.015 \times 400) = 3.88$ (5% increase)

5.12.2

题目

拥有比两级 $cache$ 更多的 $cache$ 层次是可能的。已知上述的处理器拥有一个直接映射的 $L2\ cache$ ，一个设计者希望增加一个 $L3\ cache$ ，其访问时间为50个周期，并且缺失率为13%。这种设计能提供更好的性能吗？通常来说，增加一个 $L3\ cache$ 的优点和缺点分别是什么？

解答

$$1.5 = 0.07 \times (12 + 0.035 \times (50 + 0.13 \times 200)) = 1.03$$

增加 $L3$ 缓存确实减少了总体内存访问时间，这是使用 $L3$ 缓存的主要优势。但是也有一定的缺点。缺点是 $L3$ 缓存占用了其他类型资源(如功能单元)的空间。

5.12.3

题目

在以前的处理器如 $Intel\ Pentium$ 或 $Alpha\ 21264$ 中， $L2\ cache$ 在远离主处理器和 $L1\ cache$ 的片外（放置在不同的芯片上）。这使得 $L2\ cache$ 很大，访问延迟也高得多，同时由于 $L2\ cache$ 以较低的频率运行，因此带宽通常较低。假设一个512KB的片外 $L2\ cache$ 的全局缺失率为4%。如果 $cache$ 每增加512KB容量可以降低0.7%的全局缺失率，并且 $cache$ 总的访问时间为50个周期，那么 $cache$ 容量为多大时才能匹配表中直接映射的 $L2\ cache$ 的性能？

解答

我认为任何大小都不能达到性能目标。

我们希望带有外部 $L2$ 缓存的CPU的CPI最多为2.83。设 x 为必要缺陷率，我们可以列出以下的方程：

$$1.5 + 0.07 \times (50 + x \times 200) < 2.83$$

我们解得： $x < -0.155$

这意味着，即使 $L2$ 缓存的缺失率为0，50ns的访问时间也会产生 $1.5 + 0.07 \times (50 + 0 \times 200) = 5$ 的CPI，这比片上 $L2$ 缓存给出的2.83要大。因此，没有大小可以达到性能目标。

5.14

本练习题考察纠正一位错检测两位错（纠1检2， SEC/DED ）的汉明码。

5.14.1

题目

如果要对128位字采用 SEC/DED 编码进行保护，最少需要多少位的奇偶位？

解答

我认为最少需要9位的奇偶位

对于SEC，我们需要找到最小的 p ，使 $2p \geq p + d + 1$ ，然后加1。得到 $p = 8$ 。然后我们需要为SEC/DED再添加一位。

5.14.2

题目

5.5节指出，现代服务器存储器模块（DIMM）采用SEC/DEC ECC进行保护，每64位数据使用8位奇偶位。计算该编码的开销/性能比，并与练习题5.14.1进行比较。在这里开销是指所需的相对奇偶位，性能是指能够纠正的相对错误数量。哪种编码比较好？

解答

本章描述的(72, 64)code需要 $8/64 = 12.5\%$ 的额外比特开销来容忍72位内任何单个比特的丢失，从而提供1.4%的保护率。来自a部分的(137, 128)code需要 $9/128 = 7.0\%$ 的额外比特开销来容忍137位内任何单个比特的损失，提供0.73%的保护率。两种代码的成本/性能如下：

$$\begin{aligned}(72, 64)code &\rightarrow 12.5/1.4 = 8.9 \\ (136, 128)code &\rightarrow 7.0/0.73 = 9.6\end{aligned}$$

从上面可以看出，(72, 64)code具有更好的成本/性能比。

5.14.3

题目

考虑一个采用4位奇偶位来保护8位字的SEC。如果读出值为0X375，是否有错？如果有错，对错误进行纠正。

解答

使用5.5节中的位编号，第8位错误，因此值将被更正为0x365。

5.16

如5.7节所述，虚拟存储器使用一个页表来追踪虚拟地址到物理地址之间的映射。本练习题说明了当地址被访问时页表如何更新。下表是在一个系统上可见的虚拟地址流。假设使用4KiB的页，一个4项的全相联TLB，并使用真正的LRU替换算法。如果必须从磁盘中取回页，那么增加下一个最大的页号：

十六进制	4669	2227	13916	34587	48870	12608	49225
十进制	0x123d	0x08b3	0x365c	0x871b	0xbec6	0x3140	0xc049

TLB:

有效位	标记	物理页号	最后一次访问以来的时间
1	11	12	4
1	7	4	1
1	3	6	3
0	4	9	7

页表：

索引	有效位	物理页/磁盘中
0	1	5
1	0	磁盘
2	0	磁盘
3	1	6
4	1	9
5	1	11
6	0	磁盘
7	1	4
8	0	磁盘
9	0	磁盘
<i>a</i>	1	3
<i>b</i>	1	12

5.16.1

题目

于以上每次访问，请列出：

- 访问在*TLB*中命中还是缺失
- 访问在页表中命中还是缺失访问是否产生页面故障
- *TLB*更新后的状态

解答

Address	Virtual Page	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page
4669 0x123d	1	TLB miss PT hit PF	1	b	12

Address	Virtual Page	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page
4669 0x123d	1	TLB miss PT hit PF	1	7	4
4669 0x123d	1	TLB miss PT hit PF	1	3	6
4669 0x123d	1	TLB miss PT hit PF	1 (last access 0)	1	13
2227 0x08b	0	TLB miss PT hit	1 (last access 1)	0	5
2227 0x08b	0	TLB miss PT hit	1	7	4
2227 0x08b	0	TLB miss PT hit	1	3	6
2227 0x08b	0	TLB miss PT hit	1 (last access 0)	1	13
13916 0x365c	3	TLB hit PT hit	1 (last access 1)	0	5
13916 0x365c	3	TLB hit PT hit	1	7	4
13916 0x365c	3	TLB hit PT hit	1 (last access 2)	3	6
13916 0x365c	3	TLB hit PT hit	1 (last access 0)	1	13
34587 0x871b	8	TLB miss PT hit PF	1 (last access 1)	0	5
34587 0x871b	8	TLB miss PT hit PF	1 (last access 3)	8	14
34587 0x871b	8	TLB miss PT hit PF	1 (last access 2)	3	6
34587 0x871b	8	TLB miss PT hit PF	1 (last access 0)	1	13
48870 0xbec6	b	TLB miss PT hit	1 (last access 1)	0	5
48870 0xbec6	b	TLB miss PT hit	1 (last access 3)	8	14
48870 0xbec6	b	TLB miss PT hit	1 (last access 2)	3	6

Address	Virtual Page	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page
48870 0xbec6	b	TLB miss PT hit	1 (last access 4)	11	12
12608 0x3140	3	TLB hit PT hit	1 (last access 1)	0	5
12608 0x3140	3	TLB hit PT hit	1 (last access 3)	8	14
12608 0x3140	3	TLB hit PT hit	1 (last access 5)	3	6
12608 0x3140	3	TLB hit PT hit	1 (last access 4)	b	12
49225 0xc040	c	TLB miss PT miss PF	1 (last access 6)	c	15
49225 0xc040	c	TLB miss PT miss PF	1 (last access 3)	8	14
49225 0xc040	c	TLB miss PT miss PF	1 (last access 5)	3	6
49225 0xc040	c	TLB miss PT miss PF	1 (last access 4)	b	12

5.16.2

题目

重做练习题5.16.1，但是这次使用16*KiB*的页来代替4*KiB*的页。使用更大的页有哪些好处？又有哪些缺点？

解答

Address	Virtual Page	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page
4669 0x123d	1	TLB miss PT hit	1	11	12
4669 0x123d	1	TLB miss PT hit	1	7	4
4669 0x123d	1	TLB miss PT hit	1	3	6

Address	Virtual Page	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page
4669 0x123d	1	TLB miss PT hit	1 (last access 0)	0	5
2227 0x08b	0	TLB miss PT hit	1	11	12
2227 0x08b	0	TLB miss PT hit	1	7	4
2227 0x08b	0	TLB miss PT hit	1	3	6
2227 0x08b	0	TLB miss PT hit	1 (last access 1)	0	5
13916 0x365c	3	TLB hit PT hit	1	11	12
13916 0x365c	3	TLB hit PT hit	1	7	4
13916 0x365c	3	TLB hit PT hit	1	3	6
13916 0x365c	3	TLB hit PT hit	1 (last access 2)	0	5
34587 0x871b	8	TLB miss PT hit PF	1 (last access 3)	2	13
34587 0x871b	8	TLB miss PT hit PF	1	7	4
34587 0x871b	8	TLB miss PT hit PF	1	3	6
34587 0x871b	8	TLB miss PT hit PF	2	0	5
48870 0xbec6	11	TLB miss PT hit	1 (last access 4)	2	13
48870 0xbec6	11	TLB miss PT hit	1	7	4
48870 0xbec6	11	TLB miss PT hit	1	3	6
48870 0xbec6	11	TLB miss PT hit	1 (last access 2)	0	5
12608 0x3140	3	TLB hit PT hit	1 (last access 4)	2	13

Address	Virtual Page	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page
12608 0x3140	3	TLB hit PT hit	1	7	4
12608 0x3140	3	TLB hit PT hit	1	3	6
12608 0x3140	3	TLB hit PT hit	5	0	5
49225 0xc040	12	TLB miss PT hit	1 (last access 4)	2	13
49225 0xc040	12	TLB miss PT hit	1	7	4
49225 0xc040	12	TLB miss PT hit	1 (last access 6)	3	6
49225 0xc040	12	TLB miss PT hit	1 (last access 5)	0	5

较大的页面大小可以降低 TLB 缺失率，但可能导致更高的碎片和更低的物理内存利用率。

5.16.3

题目

重做练习题5.16.1，但是这次使用 $4KiB$ 的页和一个两路组相联的 TLB 。

解答

Address	Virtual Page	Tag	Index	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page	TLB:Index
4669 0x123d	1	0	1	TLB miss PT hit PF	1	b	12	0
4669 0x123d	1	0	1	TLB miss PT hit PF	1	7	4	1
4669 0x123d	1	0	1	TLB miss PT hit PF	1	3	6	0
4669 0x123d	1	0	1	TLB miss PT hit PF	1 (last access 0)	0	13	1

Address	Virtual Page	Tag	Index	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page	TLB:Index
2227 0x08b	0	0	0	TLB miss PT hit	1(last access 1)	0	5	0
2227 0x08b	0	0	0	TLB miss PT hit	1	7	4	1
2227 0x08b	0	0	0	TLB miss PT hit	1	3	6	0
2227 0x08b	0	0	0	TLB miss PT hit	1 (last access 0)	0	13	1
13916 0x365c	3	1	1	TLB miss PT hit	1 (last access 1)	0	5	0
13916 0x365c	3	1	1	TLB miss PT hit	1 (last access 2)	1	6	1
13916 0x365c	3	1	1	TLB miss PT hit	1	3	6	0
13916 0x365c	3	1	1	TLB miss PT hit	1 (last access 0)	1	13	1
34587 0x871b	8	4	0	TLB miss PT hit PF	1 (last access 1)	0	5	0
34587 0x871b	8	4	0	TLB miss PT hit PF	1 (last access 2)	1	6	1
34587 0x871b	8	4	0	TLB miss PT hit PF	1 (last access 3)	4	14	0
34587 0x871b	8	4	0	TLB miss PT hit PF	1 (last access 0)	1	13	1
48870 0xbee6	b	5	1	TLB miss PT hit	1 (last access 1)	0	5	0
48870 0xbee6	b	5	1	TLB miss PT hit	1 (last access 2)	1	6	1

Address	Virtual Page	Tag	Index	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page	TLB:Index
48870 0xbee6	b	5	1	TLB miss PT hit	1 (last access 3)	4	14	0
48870 0xbee6	b	5	1	TLB miss PT hit	1 (last access 4)	5	12	1
12608 0x3140	3	1	1	TLB hit PT hit	1 (last access 1)	0	5	0
12608 0x3140	3	1	1	TLB hit PT hit	1 (last access 5)	1	6	1
12608 0x3140	3	1	1	TLB hit PT hit	1 (last access 3)	4	14	0
12608 0x3140	3	1	1	TLB hit PT hit	1 (last access 4)	5	12	1
49225 0xc049	c	6	0	TLB miss PT miss PF	1 (last access 6)	6	15	0
49225 0xc049	c	6	0	TLB miss PT miss PF	1 (last access 5)	1	6	1
49225 0xc049	c	6	0	TLB miss PT miss PF	1 (last access 3)	4	14	0
49225 0xc049	c	6	0	TLB miss PT miss PF	1 (last access 4)	5	12	1

5.16.4

题目

重做练习题5.16.1，但是这次使用4KiB的页和一个直接映射的TLB。

解答

Address	Virtual Page	Tag	Index	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page	TLB:Index
4669 0x123d	1	0	1	TLB miss PT hit PF	1	b	12	0
4669 0x123d	1	0	1	TLB miss PT hit PF	1	0	13	1
4669 0x123d	1	0	1	TLB miss PT hit PF	1	3	6	2
4669 0x123d	1	0	1	TLB miss PT hit PF	0	4	9	3
2227 0x08b3	0	0	0	TLB miss PT hit	1	0	5	0
2227 0x08b3	0	0	0	TLB miss PT hit	1	0	13	1
2227 0x08b3	0	0	0	TLB miss PT hit	1	3	6	2
2227 0x08b3	0	0	0	TLB miss PT hit	0	4	9	3
13916 0x365c	3	0	3	TLB miss PT hit	1	0	5	0
13916 0x365c	3	0	3	TLB miss PT hit	1	0	13	1
13916 0x365c	3	0	3	TLB miss PT hit	1	3	6	2
13916 0x365c	3	0	3	TLB miss PT hit	1	0	6	3
34587 0x871b	8	2	0	TLB miss PT hit PF	1	2	14	0

Address	Virtual Page	Tag	Index	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page	TLB:Index
34587 0x871b	8	2	0	TLB miss PT hit PF	1	0	13	1
34587 0x871b	8	2	0	TLB miss PT hit PF	1	3	6	2
34587 0x871b	8	2	0	TLB miss PT hit PF	1	0	6	3
48870 0xbee6	b	2	3	TLB miss PT hit	1	2	14	0
48870 0xbee6	b	2	3	TLB miss PT hit	1	0	13	1
48870 0xbee6	b	2	3	TLB miss PT hit	1	3	6	2
48870 0xbee6	b	2	3	TLB miss PT hit	1	2	6	3
12608 0x3140	3	0	3	TLB hit PT hit	1	2	14	0
12608 0x3140	3	0	3	TLB hit PT hit	1	0	13	1
12608 0x3140	3	0	3	TLB hit PT hit	1	3	6	2
12608 0x3140	3	0	3	TLB hit PT hit	1	0	6	3
49225 0xc049	c	3	0	TLB miss PT miss PF	1	3	15	0
49225 0xc049	c	3	0	TLB miss PT miss PF	1	0	13	1

Address	Virtual Page	Tag	Index	TLB H/M	TLB:Valid	TLB:Tag	TLB:Physical Page	TLB:Index
49225 0xc049	c	3	0	TLB miss PT miss PF	1	3	6	2
49225 0xc049	c	3	0	TLB miss PT miss PF	1	0	6	3

5.16.5

题目

讨论为什么CPU必须要使用TLB来获得高性能。如果没有TLB，如何处理虚拟存储器访问？

解答

如果没有TLB，几乎每次内存访问都需要对RAM进行两次访问——访问页表，然后访问所请求的数据。

5.17

有一些参数会对整个页表大小产生影响。下面列出一些关键的页表参数。

虚拟地址位数	页大小	页表项大小
32位	8KB	4字节

5.17.1

题目

根据上表中的参数，一个系统用了一半的内存来运行5个应用程序，计算该系统使用的总页表大小。

解答

标签大小为 $32 - \log_2^{8192} = 32 - 13 = 19$ 位。所有5个页表都需要 $5 \times (2^{19} \times 4)$ 字节 = 10MB。

5.17.2

题目

根据上表中的参数，一个系统用了一半的虚拟存储器来运行5个应用程序，假定使用一个两级页表，其中第一级有256项，计算该系统总的页表大小。假设主页表中每项是6字节，计算页表所需的最小和最大内存容量。

解答

在两级方法中， 2^{19} 页表条目被分成256个段，按需分配。每个二级表包含 $2^{(19-8)} = 2048$ 个表项，每个表项需要 $2048 \times 4 = 8kb$ ，覆盖 $2048 \times 8KB = 16mb(2^{24})$ 的虚拟地址空间。

如果我们假设“一半内存”意味着 2^{31} 字节，那么第二级表所需的最小内存量将是 $5 \times (2^{31} / 2^{24}) \times 8KB = 5MB$ 。第一级表将需要额外的 $5 \times 128 \times 6 \text{字节} = 3840 \text{字节}$ 。

如果所有第一级段都被激活，则需要每个应用程序中使用所有256个段，则最大数量为。第二级表需要 $5 \times 256 \times 8KB = 10MB$ ，第一级表需要7680字节。

5.17.3

题目

一名cache设计人员希望将一个4KiB的虚拟索引、物理标记的cache容量增大，对于以上页大小，假设块大小为2个64位字，那么能否构建一个16KiB的直接映射cache？设计者如何增加cache的数据大小？

解答

页面索引是13位(地址位从12到0)。

一个16KB的直接映射缓存，每个块有两个64位字，将有16字节的块，因此 $16KB / 16 \text{字节} = 1024$ 块。因此，它将有10个索引位和4个偏移位，并且索引将扩展到页面索引之外。

设计者可以增加缓存的关联性。这将减少索引位的数量，以便缓存的索引完全适合页面索引

5.20

本练习题将研究替换策略如何影响缺失率。假设一个两路组相联cache,有4个块，每块1个字。考虑下面的字地址序列：0, 1, 2, 3, 4, 2, 3, 4, 5, 6, 7, 0, 1, 2, 3, 4, 5, 6, 7, 0。

5.20.1

题目

假定使用LRU替换策略，哪些访问命中？

解答

应该没有命中

5.20.2

题目

假定使用 MRU (最近最常使用)替换策略，哪些访问命中？

解答

直接映射：

0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0
M	M	M	M	M	M	M	M	H	H	M	M	M	M	H	H	M

5.20.3

题目

通过掷硬币来模拟随机替换策略。例如，“正面”表示逐出组中第一块，“反面”表示逐出组中第二块。在这组地址序列中有多少次命中？

解答

有很多种答案，比如说上面的一题的答案也是可以的，可能是4次命中或者是6次命中

5.20.4

题目

描述该序列的一种最优替换策略，并说明使用该策略时哪些访问命中。

解答

MRU 是最优策略。

5.20.5

题目

请说明为什么实现对所有地址序列来说都是最优的 $cache$ 替换策略很难。

解答

我们最好驱逐那些在未来造成最少失误的人。但是，缓存控制器无法预知未来，所以我们最好的选择是做出正确的预测。

5.20.6

题目

假设在每次主存引用时，可以决定被请求的地址是否要被缓存，这对缺失率有什么影响？

解答

如果知道一个地址具有有限的时间局部性，并且会与缓存中的另一个块发生冲突，那么选择不缓存它可以提高丢失率。另一方面，如果选择缓存的地址不合适，可能会导致丢失率恶化。

5.21

虚拟机广泛使用的最大障碍是运行虚拟机所产生的性能开销。下表列出了不同的性能参数和应用程序行为。

基本的CPI	每10 000条指令中的特权O/S访问次数	陷入客户O/S的性能开销	陷入VMM的性能开销	每10 000条指令中的I/O访问次数	I/O访问时间（包括陷入客户O/S的时间）
1.5	120	15个时钟周期	175个时钟周期	30	1100个时钟周期

5.21.1

题目

假设没有I/O访问，计算上述系统的CPI。如果VMM性能开销加倍，那么CPI是多少？如果减半呢？如果一个虚拟机软件公司希望将性能损失限制在10%以内，那么陷入VMM的最大开销可能是多少？

解答

$$CPI = 1.5 + 120/10000 \times (15 + 175) = 3.78$$

如果VMM开销翻倍：

$$CPI = 1.5 + 120/10000 \times (15 + 350) = 5.88$$

如果VMM开销减半：

$$CPI = 1.5 + 120/10000 \times (15 + 87.5) = 2.73$$

在本机硬件上运行的机器的CPI为 $1.5 + 120/10000 \times 15 = 1.68$ 。

为了将性能降低到10%，我们需要满足：

$$1.5 + 120/10000 \times (15 + x) < 1.1 \times 1.68$$

解出该方程的解: $x < 14$

这表明, 到VMM的陷阱最多需要14个周期。

5.21.2

题目

I/O 访问对系统整体性能有很大的影响。假设一台机器具有上面的性能特征值, 并且是非虚拟化的系统, 计算其CPI。如果使用虚拟化的系统, CPI又是多少? 如果系统中 I/O 访问减半, 那么这些CPI如何变化?

解答

- 非虚拟化CPI = $1.5 + 120/10000 \times 15 + 30/10000 \times 1100 = 4.98$
- 虚拟化CPI = $1.5 + 120/10000 \times (15 + 175) + 30/10000 \times (1100 + 175) = 7.60$
- 非虚拟化 I/O 为一半的CPI = $1.5 + 120/10000 \times 15 + 15/10000 \times 1100 = 3.33$
- 虚拟 I/O 为一半的
CPI = $1.5 + 120/10000 \times (15 + 175) + 15/10000 \times (1100 + 175) = 5.69$

5.29

为了支持多虚拟机, 需要对两级存储器进行虚拟化。每个虚拟机依然控制从虚拟地址 (VA) 到物理地址 (PA) 之间的映射, 同时管理程序将每个虚拟机的物理地址 (PA) 映射到实际的机器地址 (MA)。为了加速映射过程, 一种被称为“影子分页” (shadow paging) 的软件方法在管理程序中复制了每个虚拟机的页表, 并且侦听从虚拟地址到物理地址的映射变化, 以保证两个副本的一致性。为了消除影子页表 (shadow page table) 的复杂性, 一种被称为嵌套页表 (Nested Page Table, NPT) 的硬件方法可以支持两种页表 ($VA \rightarrow PA$ 和 $PA \rightarrow MA$), 并且完全依靠硬件来查找这些表。

考虑下面的操作序列:

- 创建进程;
- TLB缺失;
- 缺页;
- 上下文切换。

5.29.1

题目

对于给定的操作序列, 影子页表和嵌套页表分别会产生什么影响?

解答

影子页表:

- VM创建页表, hypervisor更新影子表;
- 管理程序拦截页面错误, 创建新的映射, 并使TLB中的旧映射无效;
- VM通知hypervisor使进程的TLB项无效。

嵌套页表:

- *VM*创建新的页表, *hypervisor*在*PA*表中添加新的映射到*MA*表。
- 硬件遍历两个页表, 将*VA*转换为*MA*;
- *VM*和*hypervisor*更新他们的页表, *hypervisor*使陈旧的*TLB*条目无效;
- 与影子页表相同。

5.29.2

题目

假设一个基于 *x86* 架构的4级页表同时存放在客户页表 (*guest page table*) 和嵌套页表中, 那么在处理本地页表 (*native page table*) *TLB* 缺失和嵌套页表*TLB*缺失时,分别需要多少次存储器访问?

解答

- *Native* : 4;
- *NPT* : $24(\text{instructorscanchangethelevelsofpagetable})$
- *Native* : *L*;
- *NPT* : $L \times (L + 2)$

5.29.3

题目

在*TLB*缺失率、*TLB*缺失延迟、缺页率、缺页处理延迟中, 对影子页表来说, 哪些度量标准更重要? 而对于嵌套页表来说, 哪些度量标准更重要?

假设影子分页系统的参数如下表所示:

每1000条指令的TLB缺失次数	NPT TLB缺失延迟	每1000条指令的页面故障次数	影子页面故障代价
0.2	200个时钟周期	0.001	30 000个时钟周期

解答

影子页表: 页错误率。

NPT: *TLB*漏报率。

5.29.4

题目

一个基准测试程序的本地执行*CPI*为1, 如果使用影子页表, *CPI*是多少? 如果使用嵌套页表 (假设只有页表虚拟化开销), *CPI*又是多少?

解答

影子页表: 1.03

NPT: 1.04

5.29.5

题目

使用什么技术可以减少影子页表所带来的开销?

解答

合并多个页表更新。

5.29.6

题目

使用什么技术可以减少嵌套页表所带来的开销?

解答

*NPT*缓存(类似于*TLB*缓存)。