**2009—2010**

**一 、单项选择题（本题共30分，每小题1.5分）**

1. 冯·诺伊曼计算机工作方式的基本特点是\_\_\_\_\_\_\_\_。

A．堆栈操作 B．多指令流单数据流 C．存储器按内容选择地址 D．按地址访问并顺序执行指令

1. 指令寄存器寄存的是\_\_\_\_\_\_\_。

A．下一条要执行的指令 B．已执行完了的指令 C．正在执行的指令 D．要转移的指令

1. 在浮点数中，判断补码规格化形式的原则是\_\_\_\_\_\_\_\_。

A．尾数的符号位与第一数位不同 B．尾数的符号位与第一数位相同

C．尾数的第一位为1，数符任意 D．阶符与数符不同

1. 在串行进位的并行加法器中，影响加法器运算速度的关键因素是\_\_\_\_\_\_\_\_。

A．门电路的级延迟 B．进位传递延迟 C．各位全加器速度的不同 D．元器件速度

1. 设C(x)的CRC码为7位，其中4位为信息码，若生成多项式G(x)=x3+x+1，则C(x)=1101的CRC码为\_\_\_\_\_\_\_\_。

A．1101000 B．1101001 C．1101010 D．1101100

1. IEEE754标准64位浮点数格式中，符号位为1位，阶码为11位，尾数为52位，则它所能表示的最小规格化

负数为\_\_\_\_\_\_\_。

A．－（2－2－52）×2-1023 B．－（2－2－52）×2＋1023 C．－1×2－1024 D．－（1－2－52）×2＋2047

1. 一个四路组相联的Cache共有64块，主存共有8192块，每块32个字，则按字节编址的主存地址中的主存字块标记

和组地址分别为\_\_\_\_\_\_\_\_位。

A．13，5 B．13，4 C．9，4 D．9，5

1. 浮点乘法判溢出的时刻是\_\_\_\_\_\_\_\_。

A．在没做乘法之前 B．在阶码求和之后尾数相乘之前

C．在尾数相乘之后阶码求和之前 D．阶码求和之后尾数相乘并规格化之后

1. 关于RISC技术的描述，正确的是\_\_\_\_。

A．采用RISC技术后，计算机的体系结构又恢复到早期的比较简单的情况

B．为实现兼容，新设计的RISC是从原来的CISC系统的指令中挑选一部分实现的

C．RISC的主要目的是减少指令数

D．RISC设有乘、除法指令和浮点运算指令

1. 计算机操作的最小时间单位是\_\_\_\_\_\_\_\_\_。

A．机器周期 B．指令周期 C．存储周期 D．时钟周期

1. 在微程序控制器设计中，假定微命令采用最短字长编码，需产生N种微操作，则微命令控制字段要设置的位数是\_\_\_\_\_。

A． B． C． D．

1. 计算机中存放微指令的存储器包含在\_\_\_\_\_\_中。

A．主存储器 B．CPU C．高速缓冲存储器 D．外存储器

1. 某计算机的内存系统采用一级cache、二级cache和主存三级分层结构。访问第1级时命中率为95％，访问第2级时

命中率为50％，其余50％访问主存。假定访问一级cache需要1个时钟周期T，访问二级cache和主存分别需要10T

和100T，则该三级存储系统的平均访问时间为\_\_\_\_\_\_\_。

A．1T B．3.2T C．4T D．5T

1. 已知一浮点向量加法流水线由阶码比较、对阶、尾数相加和规格化4段流水构成，每个段所需的时间（包括缓冲寄存

器时间）分别为30ns、25ns、55ns和50ns，则其最大加速比约为\_\_\_\_\_\_。

A．2.9 B．3.2 C．5.3 D．6.4

1. 采用8体并行低位交叉存储器，设每个体的容量为32K×16位，存取周期为400ns，在下列说法中正确的是\_\_\_\_\_\_\_。

A．在400ns内，存储器可以向CPU提供27位二进制信息

B．在400ns内，存储器可以向CPU提供28位二进制信息

C．在100ns内，存储器可以向CPU提供27位二进制信息

D．在100ns内，存储器可以向CPU提供28位二进制信息

1. 假设某系统总线在一个总线周期中并行传输8字节信息，一个总线周期占用2个时钟周期，总线时钟频率为66MHz，

则在2-1-1-1猝发式读取时的总线带宽为\_\_\_\_\_\_\_\_。

A．105.6 MB/s B．264 MB/s C．422.4 MB/s D．528 MB/s

1. 下列叙述中\_\_\_\_\_\_\_是正确的。

A．水平型微指令能充分利用数据通路的并行结构 B．垂直型微指令能充分利用数据通路的并行结构

C．采用微程序控制器的处理器称为微处理器 D．在一个CPU周期中，可以并行执行的微操作称为互斥型微操作

1. 在DMA方式中，DMA与CPU交替访问适合于\_\_\_\_\_\_\_。

A．数据传输率很高的I/O设备实现成组数据的传送 B．I/O设备的读写周期大于主存周期的情况

C．CPU的工作周期比主存存取周期短的情况 D．CPU的工作周期比主存存取周期长的情况

1. 磁盘驱动器向盘片磁层记录数据时采用\_\_\_\_\_\_\_方式写入。

A．并行 B．串行 C．并－串行 D．串－并行

1. 下列操作不是中断隐指令完成的是\_\_\_\_\_。

A．保护程序断点 B．寻址中断服务程序的入口地址 C．开中断 D．关中断

**二 、（本题共20分）**

已知，。试按规格化浮点乘法规则，求。要求：阶码用移码4位（含1位符号）

表示，尾数用补码8位（含1位符号）表示。给出计算步骤和竖式，其中尾数乘积用Booth算法计算。

**三 、（本题共15分）**

某程序对页面要求的序列为P1、P2、P3、P4、P1、P2、P5、P1、P2、P3、P4、P5，设开始时主存为空。要求用列表法计算：

（1）设主存容量为3个页面，求FIFO和LRU替换算法时各自的命中率是多少？

（2）当主存容量增加到4个页面时，两替换算法各自的命中率又是多少？

**四 、（本题共15分）**

假设CPU在中断周期用堆栈保存程序断点，而且进栈时指针减1，出栈时指针加1。分别写出组合逻辑控制和微程序

控制在完成中断返回指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。

**五 、（本题共20分）**

已知地址总线为A15～A0，数据总线为D15～D0。用1片16K×8bit的SRAM芯片（地址从0000H开始）、2片8K×

8bit的SRAM芯片（地址从4000H开始）、4片2K×4bit的SRAM芯片（地址从8000H开始），将上述芯片结成一个存储器，片

选信号均为低电平有效，该存储器按字节编址，假设读写信号为。

（1）为各芯片分配地址空间；

（2）说明各芯片需要多少条地址线；

（3）写出各芯片的片选信号逻辑表达式；

（4）画出存储器的逻辑电路框图。

**2011-2012**

**一 、单项选择题（本题共30分，每小题1.5分）**

1. 以下关于冯·诺伊曼计算机工作方式描述错误的是\_\_\_\_\_\_\_\_。

A．计算机由五大部件组成 B．指令和数据都以二进制方式存储在存储器内，按地址访问

C．指令由操作码和地址码组成 D．指令按顺序存放，乱序执行

1. 在取指周期的第一个节拍内，PC寄存器寄存的是\_\_\_\_\_\_\_。

A．下一条要执行的指令 B．下一条要执行的指令地址 C．正在执行的指令 D．正在执行的指令地址

1. 下列浮点数表示位数不属于IEEE754标准中常见的是\_\_\_\_\_\_\_\_。

A．128bit B．80bit C．64bit D．32bit

1. 在串行进位的并行加法器中，影响加法器运算速度的关键因素是\_\_\_\_\_\_\_\_。

A．各位全加器速度的不同 B．进位传递延迟 C．门电路的级延迟 D．元器件速度

1. 下面关于总线通信方式，描述错误的是\_\_\_\_\_\_\_\_。

A．同步通信需要由统一时标控制数据传送 B．异步通信无需公共时钟标准

C．半同步通信是同、异步通信的结合 D．分离式通信划分出的周期1供高速设备通信，周期2供低速设备通信

1. 关于汉明码的纠检错能力说法正确的是\_\_\_\_\_\_\_\_。

A．只能纠错1位 B．检错位数少于纠错位数 C．纠错位数随信息长度不同而变化 D．可以检错3位

1. 下面关于存储器层次结构说法错误的是\_\_\_\_\_\_\_。

A．Cache的出现是价格与性能的折衷 B．虚存的出现有利于程序员简化程序设计

C．存储器结构中不包括磁带等慢速设备 D．Cache不仅仅存在CPU中

1. 128x128的DRAM中采用分散刷新方式，存储单元的刷新和读取周期均为0.5μs，其死区时间和存取周期分别为\_\_\_\_\_\_\_。

A．0μs，1μs B．0.5μs，0.5μs C．1μs，1μs D．0μs，0.5μs

1. 一个二路组相联的Cache容量为4K x 16bit，主存共有512K x 16bit块，每块4 x 16bit，则按字编址的主存地址中的主存

字块标记和组地址分别为\_\_\_\_\_\_\_\_位。

A．8，9 B．8，4 C．9，4 D．9，9

1. 在磁表面存储器的记录方式中不常见的是\_\_\_\_\_\_\_\_。

A．NRZ1 B．FM C．AM D．PM

1. 在关于DMA与中断的比较描述中不正确的是\_\_\_\_\_\_\_。

A．中断依赖软件实现而DMA则依赖专用存储器到外设的专用线路 B．中断可以处理异常情况而DMA则不能

C．中断不包含DMA而DMA过程中包含中断 D．中断的优先级比DMA低

1. 关于RISC与CISC技术的描述，不正确的是\_\_\_\_。

A．x86架构支持的是CISC B．RISC一般不采用流水技术，但在一个时钟周期内完成一条指令

C．RISC只有LOAD和STORE指令访存 D．CISC更容易实现系统兼容

1. CPU检测中断信号通常\_\_\_\_\_周期，处理中断在\_\_\_\_周期。

A．取指、间址 B．执行、中断 C．取指、执行 D．间指、中断

1. 编制循环程序中常用到的寻址方式是\_\_\_\_\_。

A．变址寻址 B．寄存器间接寻址 C．相对寻址 D．堆栈寻址

1. 下列不会引起指令流水阻塞的是\_\_\_\_\_。

A．数据旁路 B．数据相关 C．资源冲突 D．条件转移

1. 某CPU具有5级流水线，当有10条指令通过该流水线时其加速比为\_\_\_\_\_，吞吐率为\_\_\_\_\_条指令/秒。

A．3.57、7.14 x 106 B．3.57、8.33 x 106 C．4.17、8.33 x 106 D．4.17、7.14 x 106

1. 在使用硬件向量法寻找中断服务程序入口地址的过程中，中断向量地址形成部件产生的信号用来\_\_\_\_\_。

A．寻找中断服务程序入口地址所在位置 B．寻找中断服务程序入口地址

C．触发中断隐指令 D．触发断点自动保护部分

1. 某PC采用同步通信方式从某移动设备读入数据，PC总线工作频率800MHZ，移动设备支持的最大传输频率为100MHZ，

双方的通信总线位宽为32位，在不考虑通信建立、数据校验开销等额外开销的情况下，传输一部4.4GB蓝光高清数字

影片大致需要\_\_\_\_\_。

A．3200s B．3600s C．4000s D．4400s

1. 下列时间概念中时间最长的是\_\_\_\_\_。

A．机器周期 B．指令周期 C．总线周期 D．时钟周期

1. 下列叙述中\_\_\_\_\_\_\_是正确的。

A．微指令的直接编码方式要注意选择互斥信号 B．微指令的字段间编码方式不用考虑互斥问题

C．水平型微指令比垂直型微指令好 D．垂直型微指令采用类似机器指令操作码的方式

**二 、（本题共16分）**

设有两个浮点数N1=2j1×S1,N2= 2j2×S2,其中阶码2位，阶符1位，尾数四位，数符一位。

设：j1 =(-10)2 ,S1 =(-0.1101)2 j2 = (+11)2 ,S2 =(+0.1011)2

求：N1×N2 ，写出运算步骤及结果，积的尾数占八位，给出浮点数乘法基本公式，并计算步骤和竖式，

其中尾数乘积用Booth算法计算，并按照IEEE754标准规格化结果给出二进制表示式。

**三 、（本题共16分）**

CPU对内存空间进行访问，设开始时Cache为空，采用二路组相联方式装载，内存被分为128块，Cache为4组；

访问情况如下表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 块1 | 块2 | 块5 | 块5 | 块1 | 块9 | 块9 | 块3 |
| 块9 | 块1 | 块5 |

1. 列表法计算求FIFO替换算法时命中率是多少？
2. 如果Cache改为4块，全相联时FIFO算法命中率是多少？并简要对比分析全相联与组相联区别。（成本、块冲突、运算量）
3. （3） 常见替换算法还有哪些？试举2种以上，并简要说明算法内容。

**四 、（本题共20分）**

某计算机的主存地址空间中，地址0x0000到0x3FFF为系统程序存储区域，地址0x4000到0x5FFF为保留地址区域

（暂不使用），地址0x6000到0xFFFF为用户程序地址区域。RAM的控制信号为CS和WE，CPU的寻址范围是64K，数据线为

8位，控制信号有读写控制R/W和访存请求MREQ（区别访问的是存储器还是外设，在此可以理解为片选信号），求：

1. 现有8K×8bit的ROM芯片，和4K×8bit的RAM芯片，试画出存储器与CPU的连接图。
2. 如作为RAM存储器的DRAM芯片，组成512行列的阵列，行刷新时间为0.5μs，应选用刷新间隔为何种条件的DRAM

芯片才能采用异步刷新机制。

**五 、（本题共18分）**

某采用微程序方式设计的机器能够实现IN、OUT、ADD、JMP、HLT五条指令，其代码及程序流程图如下，现要求根

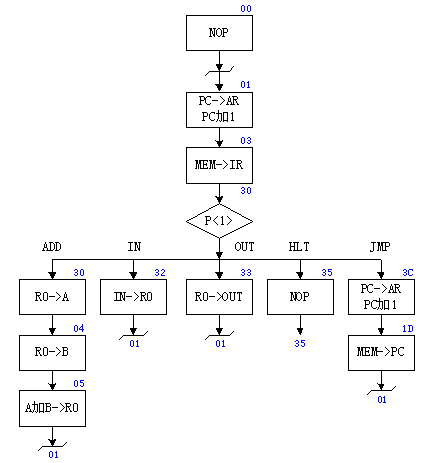
据给出的条件，仅仅通过修改微程序指令，在不增加指令条数的前提下，实现将其改造为可以实现两个不同数进行与运算，

且最后跳转至停机的机器。

1. 给出修改后的指令代码，微指令代码。（仅给出修改部分即可，如有删除需要标注。）
2. 给出修改后的流程图。
3. 对修改部分进行简要说明。
4. 说明修改后的HLT与空指令的区别，以及该HLT是否被中断及其原因。

**二进制微指令代码表**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 地址 | 十六进制 | 高五位 | S3-S0 | A字段 | B字段 | C字段 | MA5-MA0 |
| 00 | 00 00 01 | 00000 | 0000 | 000 | 000 | 000 | 000001 |
| 01 | 00 6D 43 | 00000 | 0000 | 110 | 110 | 101 | 000011 |
| 03 | 10 70 70 | 00010 | 0000 | 111 | 000 | 001 | 110000 |
| 04 | 00 24 05 | 00000 | 0000 | 010 | 010 | 000 | 000101 |
| 05 | 04 B2 01 | 00000 | 1001 | 011 | 001 | 000 | 000001 |
| 1D | 10 51 41 | 00010 | 0000 | 101 | 000 | 101 | 000001 |
| 30 | 00 14 04 | 00000 | 0000 | 001 | 010 | 000 | 000100 |
| 32 | 18 30 01 | 00011 | 0000 | 011 | 000 | 000 | 000001 |
| 33 | 28 04 01 | 00101 | 0000 | 000 | 010 | 000 | 000001 |
| 35 | 00 00 35 | 00000 | 0000 | 000 | 000 | 000 | 110101 |
| 3C | 00 6D 5D | 00000 | 0000 | 110 | 110 | 101 | 011101 |



**指令代码**

地 址 内 容 助记符 说 明

00000000 00100000 ; START: IN R0 从IN单元读入数据送R0

00000001 00000000 ; ADD R0, R0 R0和自身相加，结果送R0

00000010 00110000 ; OUT R0 R0的值送OUT单元显示

00000011 11100000 ; JMP START 双字节指令， 跳转至00H地址

00000100 00000000 ;

00000101 01010000 ; HLT 停机