Calcolatori Elettronici (12AGA)

Esame del 18.1.2023

Traccia di soluzioni per parte 2

Si consideri un sistema a processore che include

- una memoria di 512 byte
- una cache direct-mapped composta da 4 linee da 4 byte ciascuna.

Si assuma che inizialmente la cache contenga i blocchi 0, 1, 2, 3. Si determini il numero del blocco presente in ciascuna linea della cache al termine della sequenza di accessi in memoria corrispondente agli indirizzi riportati in tabella e si riporti il risultato nella figura.

Sequenza degli accessi alla memoria

Accesso 1	000010101
Accesso 2	100010111
Accesso 3	000011001
Accesso 4	00000000
Accesso 5	001110100
Accesso 6	001010111
Accesso 7	100011001
Accesso 8	010111100

Contenuto iniziale della cache

Linea	Blocco
0	0
1	1
2	2
3	3

		blocco	linea
Accesso 1	000010101	5	1
Accesso 2	100010111	69	1
Accesso 3	000011001	6	2
Accesso 4	000000000	0	0
Accesso 5	001110100	29	1
Accesso 6	001010111	21	1
Accesso 7	100011001	70	2
Accesso 8	010111100	47	3

Contenuto finale della cache

Linea	Blocco
0	0
1	21
2	70
3	47

Progettare un circuito di controllo per un impianto di illuminazione stradale costituito dai seguenti ingressi:

- 1. Interruttore di accensione/spegnimento impianto (I)
- 2. Segnalatore di luminosità (L)
- 3. Interruttore di accensione permanente impianto (P)

Il sistema è costituito da una uscita U che comanda l'accensione dei corpi illuminanti.

Quando l'interruttore I è spento l'impianto viene disabilitato (U=0). Altrimenti l'uscita è alta quando l'interruttore P è attivo oppure se l'indicatore L di luminosità indica scarsa luminosità (ciò avviene quando L è basso).

Si richiede di:

- riempire la tavola di verità delle uscite
- riempire la mappa di Karnaugh
- specificare la funzione minima derivante dalla copertura della mappa.

Domanda #12 – tavola di verità

```
ILPU
0000
0010
0100
0110
1001
1011
1100
1111
```

Domanda #12 – OA

```
I\LP 00 01 11 100 0 0 0 01 1 1 1 0
```

$$U = I L' + I P$$