

Tema Esame 1

venerdì 26 maggio 2023 14:41

Nome, cognome, matricola

Calcolatori Elettronici (12AGA) –esame del 5.7.2022

Domande a risposta chiusa (è necessario rispondere correttamente ad almeno 6 domande).

Tempo: 15 minuti.

1	Si consideri una memoria con architettura a vettore composta da 1024 parole da 32 bit ciascuna. Quante uscite ha il decoder alimentato dai bit di indirizzo?	1024								
2	Quale vantaggio offre un contatore sincrono rispetto ad uno asincrono?	<table border="1"> <tr> <td>Tutte le uscite assumono il valore corretto contemporaneamente e in modo indipendente dalla frequenza</td> <td><input checked="" type="checkbox"/></td> </tr> <tr> <td>Hanno un ritardo che cresce linearmente con il parallelismo</td> <td>B</td> </tr> <tr> <td>Minor costo dell'hardware necessario</td> <td>C</td> </tr> <tr> <td>Maggiore affidabilità</td> <td>D</td> </tr> </table>	Tutte le uscite assumono il valore corretto contemporaneamente e in modo indipendente dalla frequenza	<input checked="" type="checkbox"/>	Hanno un ritardo che cresce linearmente con il parallelismo	B	Minor costo dell'hardware necessario	C	Maggiore affidabilità	D
Tutte le uscite assumono il valore corretto contemporaneamente e in modo indipendente dalla frequenza	<input checked="" type="checkbox"/>									
Hanno un ritardo che cresce linearmente con il parallelismo	B									
Minor costo dell'hardware necessario	C									
Maggiore affidabilità	D									
3	Si consideri una memoria equipaggiata con un codice di parità. Quale delle seguenti affermazioni è vera?	<table border="1"> <tr> <td>Il codice è in grado di rilevare tutti gli errori che coinvolgono un solo bit</td> <td><input checked="" type="checkbox"/></td> </tr> <tr> <td>Il codice è in grado di rilevare e correggere tutti gli errori che coinvolgono un solo bit</td> <td>B</td> </tr> <tr> <td>Il codice è in grado di rilevare tutti gli errori che coinvolgono uno o due bit</td> <td>C</td> </tr> <tr> <td>Il codice è in grado di rilevare e correggere tutti gli errori che coinvolgono un solo bit, e di rilevare quelli che ne coinvolgono due</td> <td>D</td> </tr> </table>	Il codice è in grado di rilevare tutti gli errori che coinvolgono un solo bit	<input checked="" type="checkbox"/>	Il codice è in grado di rilevare e correggere tutti gli errori che coinvolgono un solo bit	B	Il codice è in grado di rilevare tutti gli errori che coinvolgono uno o due bit	C	Il codice è in grado di rilevare e correggere tutti gli errori che coinvolgono un solo bit, e di rilevare quelli che ne coinvolgono due	D
Il codice è in grado di rilevare tutti gli errori che coinvolgono un solo bit	<input checked="" type="checkbox"/>									
Il codice è in grado di rilevare e correggere tutti gli errori che coinvolgono un solo bit	B									
Il codice è in grado di rilevare tutti gli errori che coinvolgono uno o due bit	C									
Il codice è in grado di rilevare e correggere tutti gli errori che coinvolgono un solo bit, e di rilevare quelli che ne coinvolgono due	D									
4	Quale svantaggio offre il meccanismo di arbitraggio basato su richieste indipendenti rispetto ai meccanismi alternativi (Daisy Chain e Polling)?	<table border="1"> <tr> <td>Maggiore costo HW</td> <td><input checked="" type="checkbox"/></td> </tr> <tr> <td>Minore velocità</td> <td>B</td> </tr> <tr> <td>Difficoltà di aggiunta di una nuova unità</td> <td>C</td> </tr> <tr> <td>Bassa tolleranza ai guasti</td> <td>D</td> </tr> </table>	Maggiore costo HW	<input checked="" type="checkbox"/>	Minore velocità	B	Difficoltà di aggiunta di una nuova unità	C	Bassa tolleranza ai guasti	D
Maggiore costo HW	<input checked="" type="checkbox"/>									
Minore velocità	B									
Difficoltà di aggiunta di una nuova unità	C									
Bassa tolleranza ai guasti	D									
5	Si consideri una cache set associative a 4 vie, composta da 1024 linee da 32 bit ciascuna. Quanti insiemi di linee compongono la cache?	256								
6	Nel caso di un sistema che supporta il DMA, quale meccanismo garantisce la massima velocità di trasferimento dati da memoria a periferico (o viceversa)?	<table border="1"> <tr> <td>Burst mode</td> <td><input checked="" type="checkbox"/></td> </tr> <tr> <td>Cycle stealing</td> <td>B</td> </tr> <tr> <td>Transparent DMA</td> <td>C</td> </tr> <tr> <td>I 3 meccanismi garantiscono la stessa velocità di trasferimento</td> <td>D</td> </tr> </table>	Burst mode	<input checked="" type="checkbox"/>	Cycle stealing	B	Transparent DMA	C	I 3 meccanismi garantiscono la stessa velocità di trasferimento	D
Burst mode	<input checked="" type="checkbox"/>									
Cycle stealing	B									
Transparent DMA	C									
I 3 meccanismi garantiscono la stessa velocità di trasferimento	D									
6	Quale vantaggio presenta il meccanismo dell'I/O programmato rispetto all' interrupt?	<table border="1"> <tr> <td>Maggiore semplicità dell'hardware della CPU</td> <td><input checked="" type="checkbox"/></td> </tr> <tr> <td>Minor numero di accessi all'interfaccia della periferica</td> <td>B</td> </tr> <tr> <td>Maggiore velocità nel gestire l'operazione di I/O</td> <td>C</td> </tr> <tr> <td>Possibilità di gestire tipi diversi di periferiche</td> <td>D</td> </tr> </table>	Maggiore semplicità dell'hardware della CPU	<input checked="" type="checkbox"/>	Minor numero di accessi all'interfaccia della periferica	B	Maggiore velocità nel gestire l'operazione di I/O	C	Possibilità di gestire tipi diversi di periferiche	D
Maggiore semplicità dell'hardware della CPU	<input checked="" type="checkbox"/>									
Minor numero di accessi all'interfaccia della periferica	B									
Maggiore velocità nel gestire l'operazione di I/O	C									
Possibilità di gestire tipi diversi di periferiche	D									

7	Che cos'è un processore multicore?	Un sistema che integra sullo stesso dispositivo più processori	<input checked="" type="checkbox"/>
		Un processore realizzato su un unico dispositivo	<input type="checkbox"/>
		Un processore realizzato su un dispositivo in cui sono presenti anche una memoria e alcune periferiche	<input type="checkbox"/>
		Un processore realizzato con più circuiti alloggiati in un unico package	<input type="checkbox"/>

9	Su quanti bit è rappresentato ciascun operando all'interno del codice macchina di un'istruzione MIPS di tipo R?	5	<input checked="" type="checkbox"/>
		8	<input type="checkbox"/>
		16	<input type="checkbox"/>
		Dipende dall'istruzione	<input type="checkbox"/>

10	Si scriva un frammento di codice in grado di caricare nel registro \$s1 il valore 0x12345678, utilizzando l'istruzione lui.	<pre> ori \$s1, \$0, 0x5678 lui \$s1, 0x1234 </pre>
----	---	---

Risposte corrette

1	2	3	4	5	6	7	8	9	10
1024	A	A	A	256	A	A	A	A	

Domanda 10

lui \$s1, 0x1234
ori \$s1, \$s1, 0x5678

Nome, cognome, matricola

Domande a risposta aperta (sino a 5 punti per ogni domanda) – Non è possibile consultare alcun materiale -
Tempo: 40 minuti.

- 11 Si consideri un processore connesso ad una memoria da 64KB e dotato di una cache direct mapped da 32 linee, ciascuna da 16 byte. Assumendo che inizialmente le 32 linee contengano i primi 32 blocchi di memoria (quindi la linea 0 contiene il blocco 0, la linea 1 il blocco 1, e così via), si determini quali dei seguenti 12 accessi in memoria da parte del processore provocano un hit (H), e quali un miss (M), completando la tabella seguente.

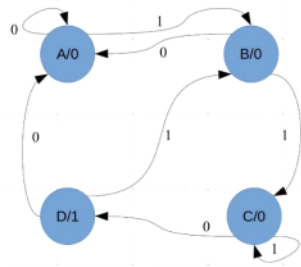
Indirizzo	Blocco (riportarlo anche in forma binaria)	Numero di linea	H/M
0100 0000 0011 0011	1023 → 0100 0000 0011	3	M
1010 1000 1000 0011	512B + 512B + 2048B	8	M
0000 0000 0101 0100	5	5	H
0000 1000 1001 1000	3 + 12B	3	M
0000 0100 0111 1010	71	7	M
0000 0100 0010 0101			
0101 0000 1111 0110			
0000 1000 1001 1111			
0000 0000 1000 1100			
0000 0011 0011 0100			
0000 0011 0011 0110			
1010 1000 1000 0110			

MEM. 64 KB → 2^{16} BIT

32 LINEE da 16 BYTE
↓
 2^4 BIT

→ CODIFICA BLOCCO in 12 BIT

- 12 Dato il diagramma degli stati della macchina di Moore rappresentata figura, progettare il relativo circuito minimo a due livelli. E' necessario arrivare alla rappresentazione delle funzioni delle uscite e degli stati futuri senza disegnare il circuito.



A → 00
B → 01
C → 10
D → 11

Si completi la seguente tabella di transizione degli stati considerando che Inp rappresenta il segnale di ingresso, Out il valore di uscita, S0-S1 lo stato corrente e F0-F1 lo stato futuro.

Inp	S0	S1	F0	F1	Out
0	0	0	0	0	0
1	0	0	0	1	0
0	0	1	0	0	0
1	0	1	1	0	0
0	1	0	1	0	0
1	1	0	1	0	0
0	1	1	0	0	1
1	1	1	0	1	1

Funzione Out

OUT	S0-S1 = 00	S0-S1 = 01	S0-S1 = 11	S0-S1 = 10
I = 0	0	0	1	0
I = 1	0	0	1	0

$$\rightarrow Out = S0S1$$

Funzione F0

OUT	S0-S1 = 00	S0-S1 = 01	S0-S1 = 11	S0-S1 = 10
I = 0	0	0	0	1
I = 1	0	1	0	1

$$\rightarrow F0 = S0 \cdot \bar{S1} + \bar{S0} \cdot S1 \cdot I$$

Funzione F1

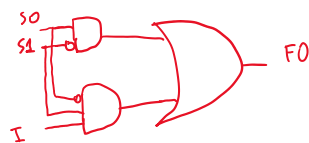
OUT	S0-S1 = 00	S0-S1 = 01	S0-S1 = 11	S0-S1 = 10
I = 0	0	0	0	1
I = 1	1	0	1	0

$$\rightarrow F1 = \bar{S0} \cdot \bar{S1} \cdot I + S0S1I + S0\bar{S1}\bar{I}$$

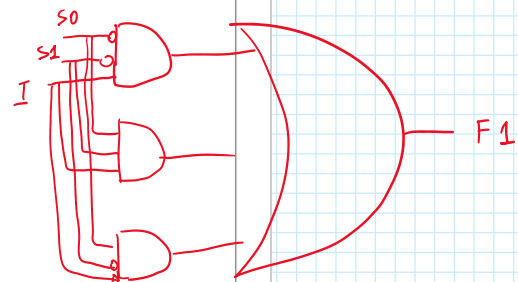
OUT :



F0:



F1:



13 Si descrivano le principali caratteristiche dei processori di tipo RISC.

OK

14 Si descrivano le principali caratteristiche delle memorie dinamiche, evidenziando vantaggi e svantaggi rispetto alle memorie di tipo statico.

Vedeva

Nome, Cognome, Matricola:.....

Esercizio di programmazione

sino a 12 punti – è possibile consultare solamente il foglio consegnato con l'istruzione set MIPS - tempo: 60 minuti

Il cifrario di Vigenère cifra un testo in chiaro utilizzando una parola chiave, chiamata verme. Sia N la lunghezza del verme: il carattere che si trova in posizione i -esima del verme è associato ai caratteri del testo in chiaro che si trovano in posizione $i + k * N$, dove k è un numero naturale. Ad esempio, se il verme è "mips", con $N = 4$:

- 'm' ($i = 0$) è associata ai caratteri del testo in chiaro in posizione 0, 4, 8, 12, 16, ...
- 'i' ($i = 1$) è associata ai caratteri del testo in chiaro in posizione 1, 5, 9, 13, 17, ...
- 'p' ($i = 2$) è associata ai caratteri del testo in chiaro in posizione 2, 6, 10, 14, 18, ...
- 's' ($i = 3$) è associata ai caratteri del testo in chiaro in posizione 3, 7, 11, 15, 19, ...

Si assuma che il testo in chiaro e il verme contengano solamente lettere minuscole.

Ciascuna lettera minuscola del testo in chiaro è cifrata aggiungendo il numero ordinale della lettera corrispondente del verme ($a = 0, b = 1, c = 2, \dots, z = 25$).

Nell'esempio precedente, alle lettere del testo in chiaro in posizione 0, 4, 8, 12, 16, ... è aggiunto 12 perché la lettera 'm' si trova in posizione 12 (cominciando a contare da 0) nell'alfabeto, alle lettere del testo in chiaro in posizione 1, 5, 9, 13, 17, ... è aggiunto 8 perché la lettera 'i' si trova in posizione 8. La lettera ottenuta con questa addizione corrisponde alla lettera cifrata; se si supera la lettera 'z' occorre ricominciare dalla 'a'.

Esempio

testo in chiaro: "calcolatorelettronici"

verme: "mips"

testo cifrato: "oiauatplazxwxmildwcaoq"

Si scriva una procedura `cifrarioVigenere` che cifra un testo in chiaro secondo il cifrario di Vigenère. La procedura riceve in input:

- l'indirizzo della stringa contenente il testo in chiaro
- l'indirizzo della stringa contenente il verme
- la lunghezza del verme
- l'indirizzo della stringa (non inizializzata) che conterrà il testo cifrato.

La procedura salva il testo cifrato in memoria e restituisce il numero di lettere cifrate.

Di seguito un esempio di programma chiamante:

LEN = 4

```
.data
testoInChiaro: .asciiz "calcolatorelettronici"
verme:         .ascii "mips"
testoCifrato:  .space 23

.text
.globl main
.ent main
main:
[... ]
la $a0, testoInChiaro
la $a1, verme
li $a2, LEN
la $a3, testoCifrato
jal cifrarioVigenere
[... ]
jr $ra
.end main
```

Nell'esempio, la procedura restituisce 22.