Calcolatori Elettronici (12AGA)

Esame del 18.2.2021 Correzione

Si consideri un processore connesso ad una memoria da 64KB e dotato di una cache direct mapped da 16 linee, ciascuna da 32 byte. Assumendo che inizialmente le 16 linee contengano i primi 16 blocchi di memoria (quindi la linea 0 contiene il blocco 0, la linea 1 il blocco 1, e così via), si determini quali dei seguenti 12 accessi in memoria da parte del processore provocano un hit, e quali un miss, scrivendo H o M nella colonna di destra della corrispondente riga nella tabella.

Indirizzo	Blocco	Linea acceduta	H/M
0100 0000 0011 0011	513	1	M
0100 0001 0001 1000	520	8	M
0000 0100 1000 1110	36	4	M
0010 0000 1011 1110	133	5	M
0100 0000 1001 1111	516	4	M
0100 0000 0011 0011	513	1	Н
0000 1010 0001 0011	80	0	M
0000 1010 0101 0100	82	2	M
0000 0011 0011 0100	25	9	M
0000 0011 0011 0110	25	9	Н
0000 1000 1001 1000	68	4	M
0000 0000 0001 1001	0	0	M

- Ciascun indirizzo è su 16 bit
- I 5 bit meno significativi identificano il byte nel blocco
- Gli 11 bit più significativi identificano il blocco
- I 4 bit meno significativi tra quelli che identificano il blocco identificano la linea.

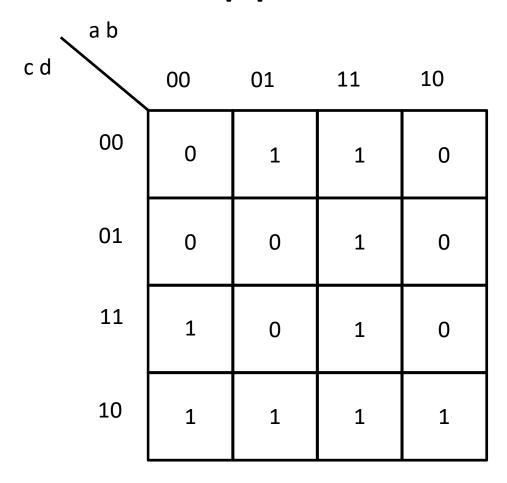
Si consideri la funzione Booleana di 4 variabili f = ab + acd' + a'b'c + a'bd'. Si richiede di

- Scrivere la tabella di verità per f
- Disegnare la mappa di Karnaugh
- Disegnare il circuito minimo che implementa la funzione *f*.

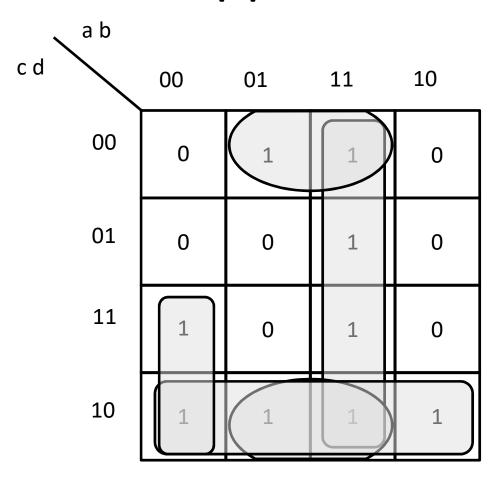
Passo 1: tavola di verità

```
abcd
        u
0000
0001
0010
        1
0011
0100
0101
0110
0111
1000
1101
1010
1011
1100
1101
1110
1111
```

Passo 2: mappa di Karnaugh

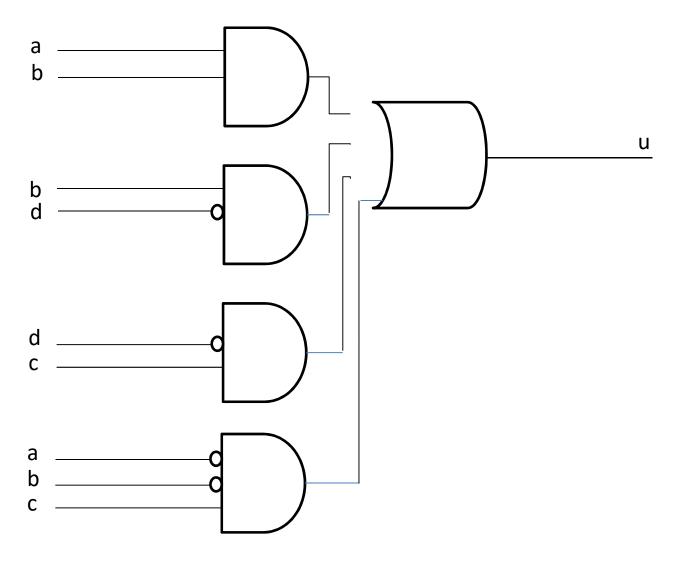


Passo 2: mappa di Karnaugh



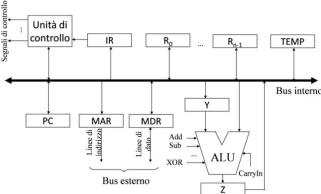
$$f = ab+bd'+cd'+a'b'c$$

Passo 4: circuito



f = ab+bd'+cd'+a'b'c

- Si scrivano le microistruzioni (inclusive della fase di fetch) eseguite da un processore avente l'architettura in figura durante l'esecuzione dell'istruzione ADD R1, R2, 37.
- Tale istruzione scrive in R1 il risultato della somma tra R2 e 37.



Microistruzioni

Fetch

- MAR ← PC
- Y = 0

- Carry = 1
 Z ← PC + Y + Carry
 Attiva il segnale di lettura
 PC ← Z
- Aspetta sino al segnale MFCMDR ← Bus esterno
- IR ← MDR
- Decodifica dell'istruzione

Execute

- $Y \leftarrow R2$
- Bus interno ← Campo operando immediato di IR
- Add
- $-R1 \leftarrow Z$