

Calcolatori Elettronici (12AGA)

Esame del 2.7.2015

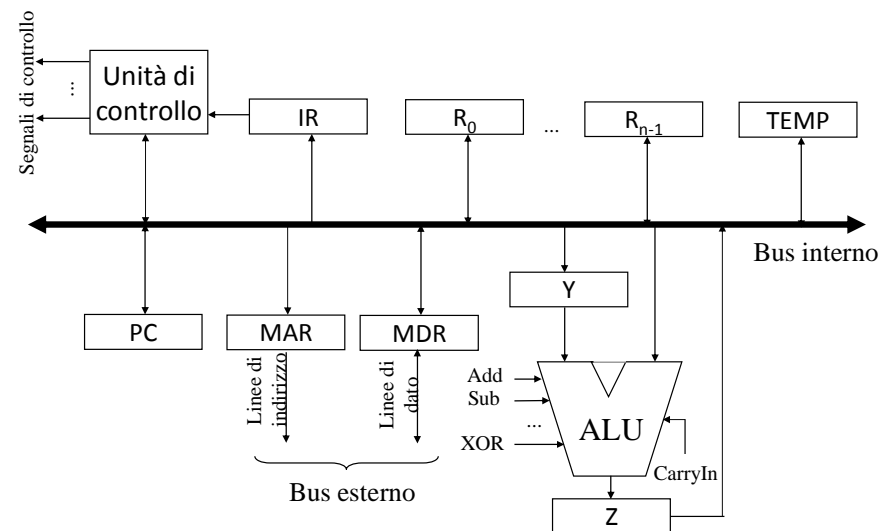
Correzione

Esercizio 10 - A

Si scrivano le microistruzioni eseguite da un processore avente l'architettura in figura durante l'esecuzione dell'istruzione

ADD R1, R2, [R3]

Tale istruzione somma il contenuto di R2 al contenuto della cella di memoria il cui indirizzo è scritto in R3, e scrive il risultato in R1.



Possibile soluzione

1. Fase di fetch

- PC_{out}
- MAR_{in}
- Read
- Clear Y
- Set Carry In to ALU
- Add
- Z_{in}
- MAR_{out}
- Z_{out}
- PC_{in}
- aspetta MFC
- $SEL=0$
- MDR_{in}
- MDR^2_{out}
- IR_{in}

Possibile soluzione

2. Fase di esecuzione

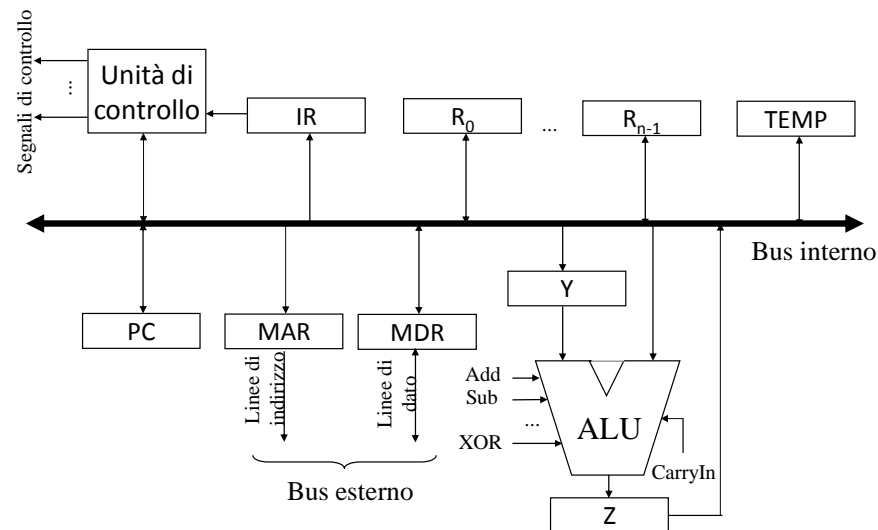
- $R3_{out}$
- MAR_{in}
- MAR_{out}
- Read
- $R2_{out}$
- Y_{in}
- aspetta MFC
- $SEL=0$
- MDR_{in}
- MDR^2_{out}
- Add
- Z_{in}
- Z_{out}
- $R1_{in}$
- End.

Esercizio 10 - B

Si scrivano le microistruzioni eseguite da un processore avente l'architettura in figura durante l'esecuzione dell'istruzione

SUB [R1], R2, R3

Tale istruzione sottrae al contenuto di R2 il contenuto di R3, e scrive il risultato nella cella di memoria il cui indirizzo è scritto in R1.



Possibile soluzione

1. Fase di fetch

- PC_{out}
- MAR_{in}
- Read
- Clear Y
- Set Carry In to ALU
- Add
- Z_{in}
- MAR_{out}
- Z_{out}
- PC_{in}
- aspetta MFC
- $SEL=0$
- MDR_{in}
- MDR^2_{out}
- IR_{in}

Possibile soluzione

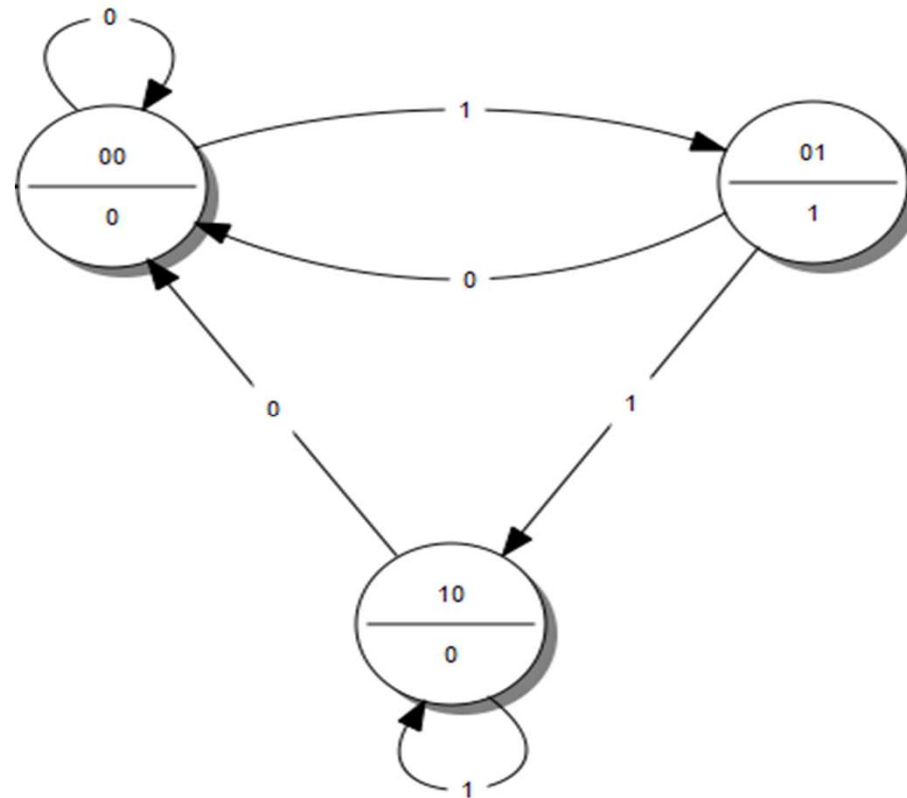
2. Fase di esecuzione

- $R3_{out}$
- Y_{in}
- $R2_{out}$
- Sub
- Z_{in}
- Z_{out}
- $SEL=1$
- MDR_{in}
- MDR^1_{out}
- $R1_{out}$
- MAR_{in}
- MAR_{out}
- Write
- aspetta MFC
- End.

Esercizio 13 - A

- Si progetti il circuito sequenziale sincrono corrispondente al seguente diagramma di stato utilizzando FF di tipo D. In particolare
 - si indichi se il circuito è di tipo Mealy o Moore
 - si scrivano le espressioni booleane dell'uscita e degli ingressi dei FF
 - si disegni il circuito logico corrispondente.

Esercizio 13 - A



Esercizio 13 - A

L'uscita dipende esclusivamente dallo stato



Il circuito è di tipo Moore

Funzione di transizione

Stato corrente	I	stato futuro	Y
00	0	00	0
00	1	01	0
01	0	00	1
01	1	10	1
10	0	00	0
10	1	10	0
11	0	--	-
11	1	--	-

Mappa di Karnaugh - uscita

a b		00	01	11	10
I	0	0	1	-	0
	1	0	1	-	0

Mappa di Karnaugh - uscita

Karnaugh map for output 'uscita' with variables 'a' and 'b'. The map shows a group of four cells (a=1, b=0 and b=1) highlighted with a rounded rectangle.

		a b			
I	0	00	01	11	10
	1	00	01	11	10
	0	0	1	-	0
	1	0	1	-	0

Mappa di Karnaugh - uscita

		a b			
I	0	00	01	11	10
	1	00	01	11	10
	0	0	1	-	0
	1	0	1	-	0

$$Y = b$$

Mappa di Karnaugh – flip flop 1

A Karnaugh map for a flip flop circuit. The map is a 2x4 grid. The columns are labeled with the inputs 'a' and 'b' in binary: 00, 01, 11, and 10. The rows are labeled with the output 'I' in binary: 0 and 1. The values in the cells are: (0, 00) = 0, (0, 01) = 0, (0, 11) = -, (0, 10) = 0; (1, 00) = 0, (1, 01) = 1, (1, 11) = -, (1, 10) = 1.

		a b			
		00	01	11	10
I	0	0	0	-	0
	1	0	1	-	1

Mappa di Karnaugh – flip flop 1

A Karnaugh map for a flip flop circuit. The vertical axis is labeled 'I' and has values 0 and 1. The horizontal axis is labeled 'a b' and has values 00, 01, 11, and 10. The map contains the following values:

	00	01	11	10
0	0	0	-	0
1	0	1	-	1

The cells containing '1' (at I=1, ab=01 and I=1, ab=10) and the cell containing '-' (at I=1, ab=11) are grouped together with a rounded rectangle, indicating a logical simplification.

Mappa di Karnaugh – flip flop 1

Diagram of a Karnaugh map for a flip-flop circuit. The map is a 2x4 grid. The vertical axis is labeled 'I' with values 0 and 1. The horizontal axis is labeled 'a b' with values 00, 01, 11, and 10. The cells contain the following values:

I \ a b	00	01	11	10
0	0	0	-	0
1	0	1	-	1

The cells containing 1 (at I=1, ab=01 and I=1, ab=10) and the cell containing - (at I=1, ab=11) are grouped together by a rounded rectangle, indicating a simplification.

$$A = b \cdot I + a \cdot I$$

Mappa di Karnaugh – flip flop 2

A Karnaugh map for a 2-bit flip-flop. The map is a 2x4 grid. The columns are labeled with the inputs 'a' and 'b' in binary: 00, 01, 11, and 10. The rows are labeled with the output 'I' in binary: 0 and 1. The values in the cells are: (0, 00) = 0, (0, 01) = 0, (0, 11) = -, (0, 10) = 0; (1, 00) = 1, (1, 01) = 0, (1, 11) = -, (1, 10) = 0.

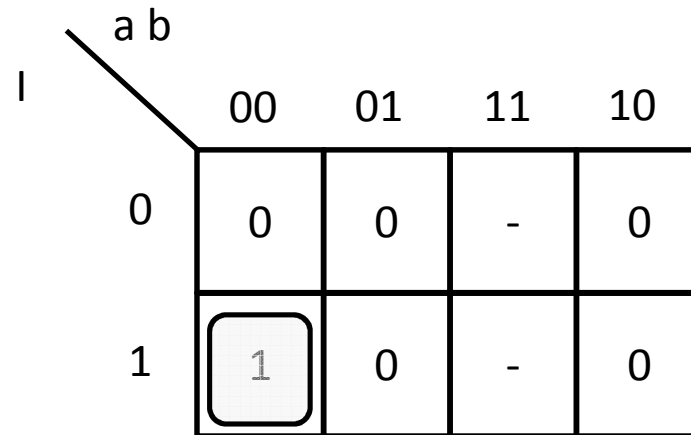
		a b			
I		00	01	11	10
	0	0	0	-	0
	1	1	0	-	0

Mappa di Karnaugh – flip flop 2

A Karnaugh map for a 2-bit flip-flop. The vertical axis is labeled 'I' and has values 0 and 1. The horizontal axis is labeled 'a b' and has values 00, 01, 11, and 10. The map is a 2x4 grid. The cell at (I=1, ab=00) contains a 1 and is highlighted with a rounded rectangle. All other cells contain 0 or a dash (-).

	a b			
I	00	01	11	10
0	0	0	-	0
1	1	0	-	0

Mappa di Karnaugh – flip flop 2

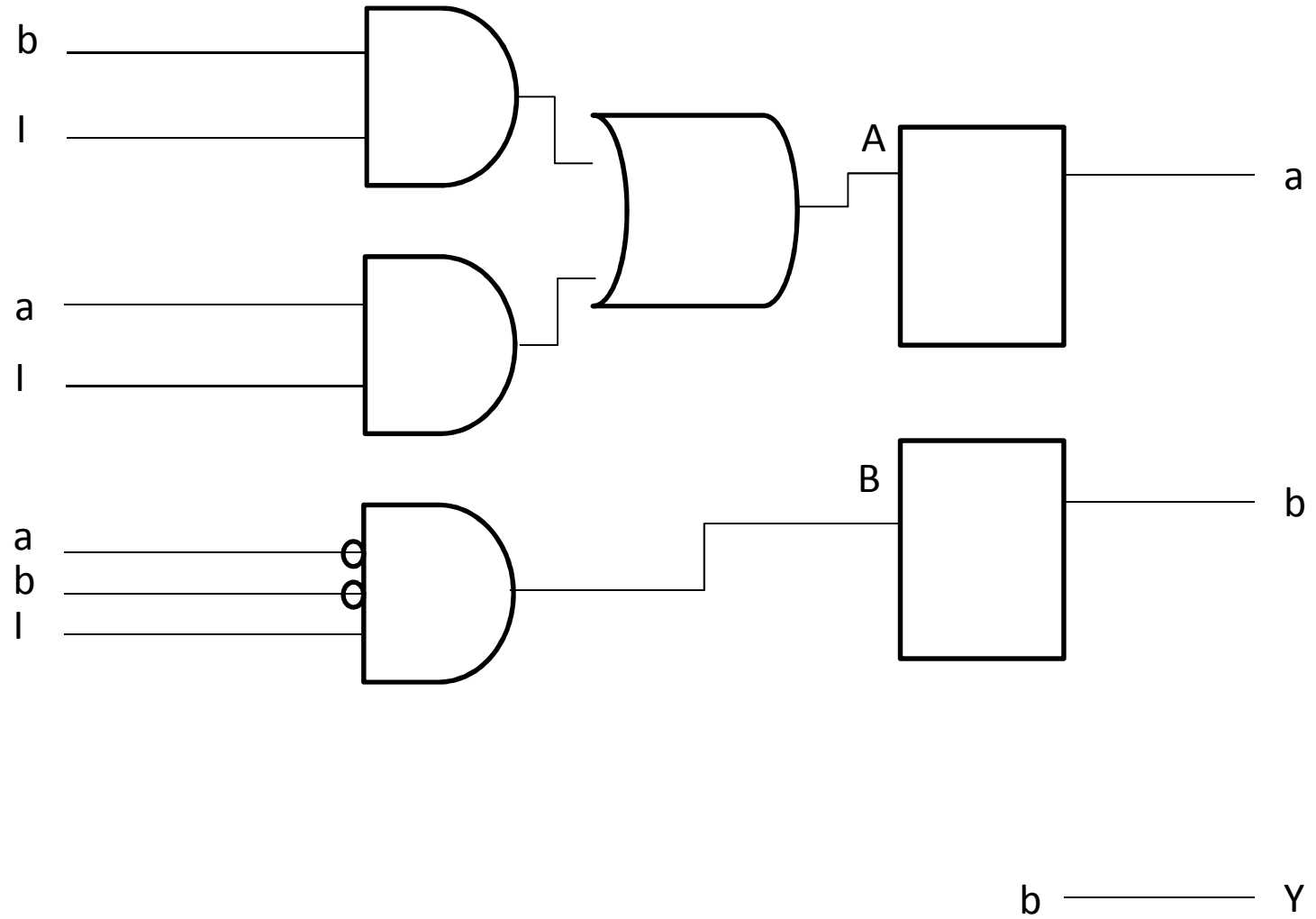


A Karnaugh map for a flip flop circuit. The map is a 2x4 grid. The columns are labeled 'a b' with values 00, 01, 11, and 10. The rows are labeled 'I' with values 0 and 1. The cells contain the following values: (0, 00) is 0, (0, 01) is 0, (0, 11) is -, (0, 10) is 0; (1, 00) is 1 (highlighted with a rounded rectangle), (1, 01) is 0, (1, 11) is -, (1, 10) is 0.

		a b			
		00	01	11	10
I	0	0	0	-	0
	1	1	0	-	0

$$B = \bar{a} \cdot \bar{b} \cdot I$$

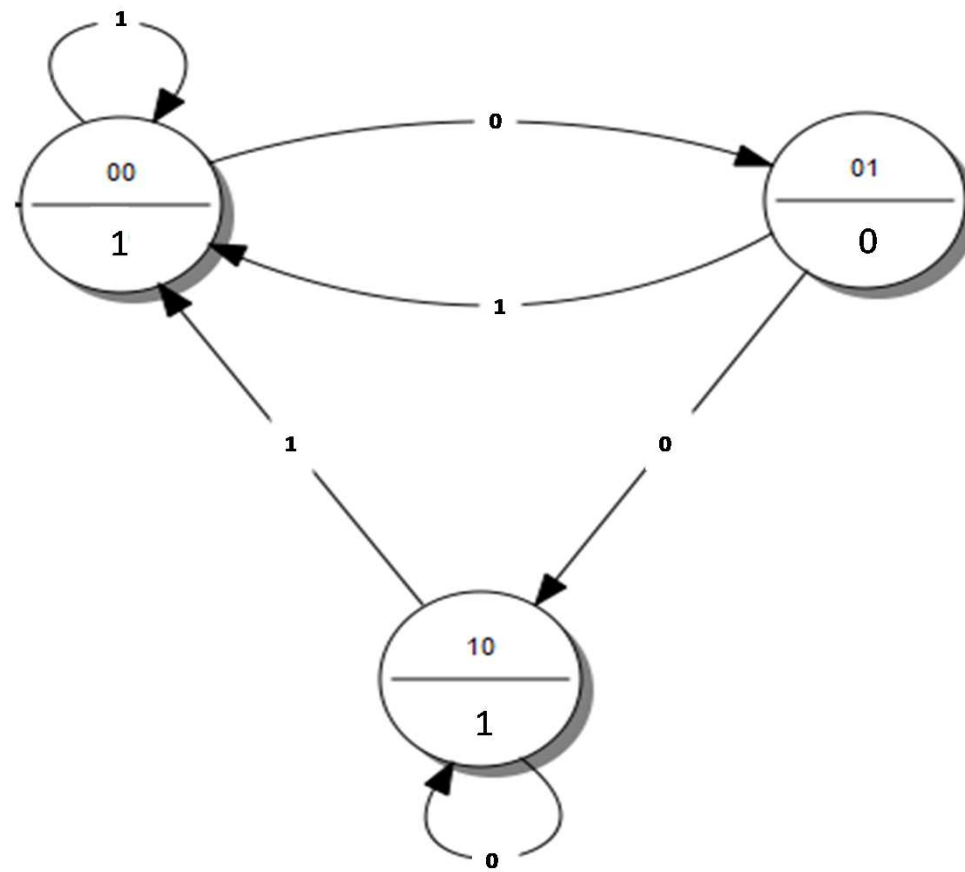
Circuito



Esercizio 13 - B

- Si progetti il circuito sequenziale sincrono corrispondente al seguente diagramma di stato utilizzando FF di tipo D. In particolare
 - si indichi se il circuito è di tipo Mealy o Moore
 - si scrivano le espressioni booleane dell'uscita e degli ingressi dei FF
 - si disegni il circuito logico corrispondente.

Esercizio 13 - B



Esercizio 13 - B

L'uscita dipende esclusivamente dallo stato



Il circuito è di tipo Moore

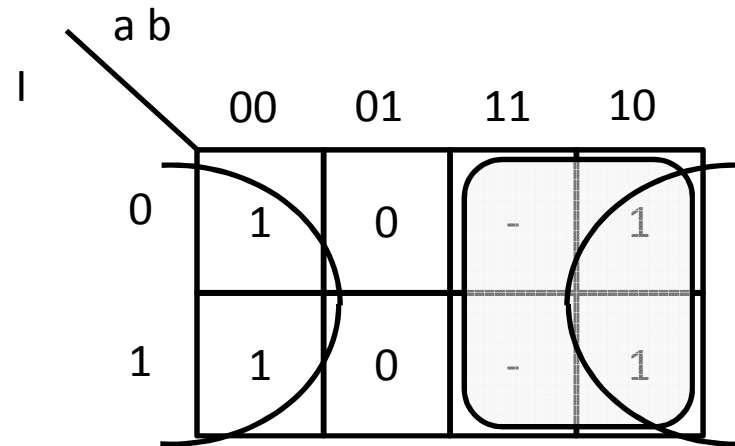
Funzione di transizione

Stato corrente	I	stato futuro	Y
00	0	01	1
00	1	00	1
01	0	10	0
01	1	00	0
10	0	10	1
10	1	00	1
11	0	--	-
11	1	--	-

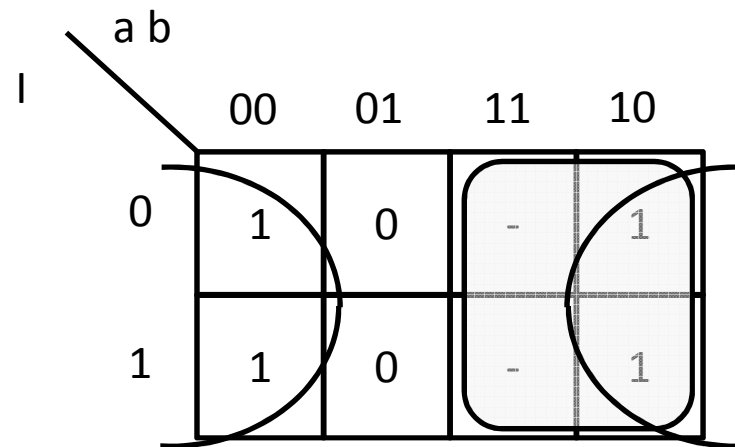
Mappa di Karnaugh - uscita

		a b			
I		00	01	11	10
	0	1	0	-	1
	1	1	0	-	1

Mappa di Karnaugh - uscita

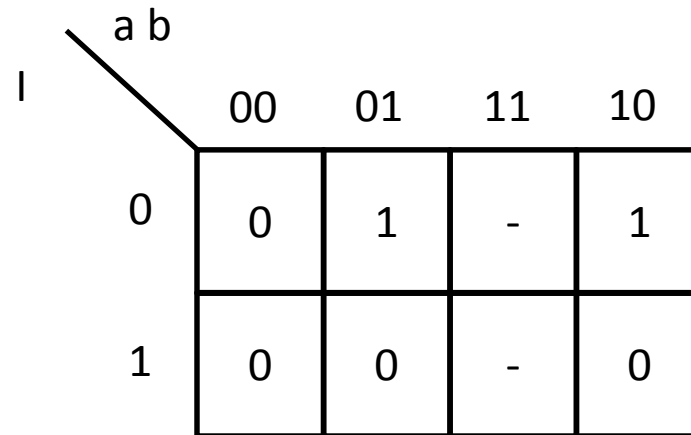


Mappa di Karnaugh - uscita



$$Y = a + \bar{b}$$

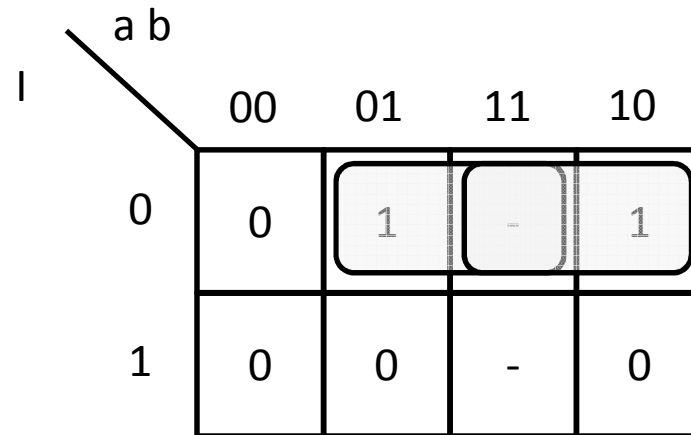
Mappa di Karnaugh – flip flop 1



A Karnaugh map for a flip flop circuit. The map is a 2x4 grid. The columns are labeled 'a b' with values 00, 01, 11, and 10. The rows are labeled 'I' with values 0 and 1. The cells contain the following values: (0, 00) is 0, (0, 01) is 1, (0, 11) is -, (0, 10) is 1; (1, 00) is 0, (1, 01) is 0, (1, 11) is -, (1, 10) is 0.

		a b			
I		00	01	11	10
	0	0	1	-	1
	1	0	0	-	0

Mappa di Karnaugh – flip flop 1



A Karnaugh map for a flip flop circuit. The map is a 2x4 grid. The vertical axis is labeled 'I' with values 0 and 1. The horizontal axis is labeled 'a b' with values 00, 01, 11, and 10. The cells contain the following values: (0, 00) is 0, (0, 01) is 1, (0, 11) is -, (0, 10) is 1, (1, 00) is 0, (1, 01) is 0, (1, 11) is -, (1, 10) is 0. A group of three cells in the top row (0, 01), (0, 11), and (0, 10) is highlighted with a rounded rectangle.

I	a b			
	00	01	11	10
0	0	1	-	1
1	0	0	-	0

Mappa di Karnaugh – flip flop 1

		a b			
I		00	01	11	10
	0	0	1	-	1
	1	0	0	-	0

$$A = b \cdot \bar{I} + a \cdot \bar{I}$$

Mappa di Karnaugh – flip flop 2

A Karnaugh map for a 2-bit flip-flop. The map is a 2x4 grid. The columns are labeled with the inputs 'a' and 'b' in binary: 00, 01, 11, and 10. The rows are labeled with the output 'I' in binary: 0 and 1. The values in the cells are: (0, 00) = 1, (0, 01) = 0, (0, 11) = -, (0, 10) = 0; (1, 00) = 0, (1, 01) = 0, (1, 11) = -, (1, 10) = 0.

		a b			
		00	01	11	10
I	0	1	0	-	0
	1	0	0	-	0

Mappa di Karnaugh – flip flop 2

Diagram of a Karnaugh map for a 2-variable function (a, b). The map is a 2x4 grid. The columns are labeled 00, 01, 11, 10. The rows are labeled 0 and 1. The values in the cells are: (0,00)=1, (0,01)=0, (0,11)=-, (0,10)=0; (1,00)=0, (1,01)=0, (1,11)=-, (1,10)=0. The cell (0,00) is highlighted with a rounded rectangle.

	a b	00	01	11	10
0		1	0	-	0
1		0	0	-	0

Mappa di Karnaugh – flip flop 2

		a b			
		00	01	11	10
I	0	1	0	-	0
	1	0	0	-	0

$$B = \bar{a} \cdot \bar{b} \cdot \bar{I}$$

Circuito

