

Nome, cognome, matricola .....

## Calcolatori Elettronici (12AGA) – esame del 20.9.2019 - A

**Domande a risposta chiusa** (è necessario rispondere correttamente ad almeno 6 domande).

Non è possibile consultare alcun tipo di materiale. Tempo: 15 minuti.

**!!!! Attenzione: il compito è su 2 facciate !!!!**

1	Si consideri un Multiplexer 16:1. Da quanti Multiplexer 2:1 sarà costituito in caso di realizzazione con il metodo della connessione in cascata?		
2	Che cosa contiene la Interrupt Vector Table?	Le priorità dei vari interrupt	A
		Gli indici delle periferiche associate ai vari interrupt	B
		Gli indirizzi delle periferiche associate ai vari interrupt	C
		Gli indirizzi di partenza delle procedure di servizio dei vari interrupt	D
3	Si consideri un sistema a processore che adotta l'architettura isolated I/O. Se il processore ha uno spazio di indirizzamento di $2^{18}$ byte e il sistema prevede uno spazio di indirizzamento per le periferiche pari a 3Kbyte, quale sarà la dimensione massima della memoria indirizzabile dal sistema?	$2^{18}$ byte	A
		$2^{18}$ byte + 3Kbyte	B
		$2^{18}$ byte – 3Kbyte	C
		$2^{19}$ byte	D
4	Si consideri il meccanismo della Memoria Virtuale: che cosa contiene il TLB?	L'elenco delle pagine presenti in memoria principale	A
		Le ultime pagine di memoria accedute	B
		L'elenco delle pagine accessibili da parte del processo in corso di esecuzione	C
		Le ultime entry della MAT accedute	D
5	Quanti sono i segnali di ingresso/uscita dell'arbitro del bus in un sistema composto da 6 unità master che usa la tecnica del daisy chaining?	2	A
		3	B
		6	C
		8	D
6	Si consideri una cache con le seguenti caratteristiche · 128 linee da 16 byte · direct mapping · write-through. Assumendo che gli indirizzi emessi dal processore siano su 32 bit, in quale linea è memorizzata la parola con indirizzo esadecimale 2054 A46B?		
7	Quale delle seguenti caratteristiche è tipica di un processore RISC?	Unità di controllo microprogrammata	A
		Ampio set di istruzioni	B
		Ampio numero di modi di indirizzamento	C
		Elevato numero di registri	D

8	Si consideri un'unità di controllo basata sulla micro-programmazione orizzontale. Quale tra le seguenti risorse <u>non</u> appartiene alla sua implementazione?	μIR	A	
		μPC	B	
		Decoder	C	
		Memoria di microcodice	D	

9	Si consideri l'istruzione jr \$s0; a quale dei tipi a fianco appartiene?	R-type	A	
		I-type	B	
		J-type	C	
		Nessuno dei precedenti	D	

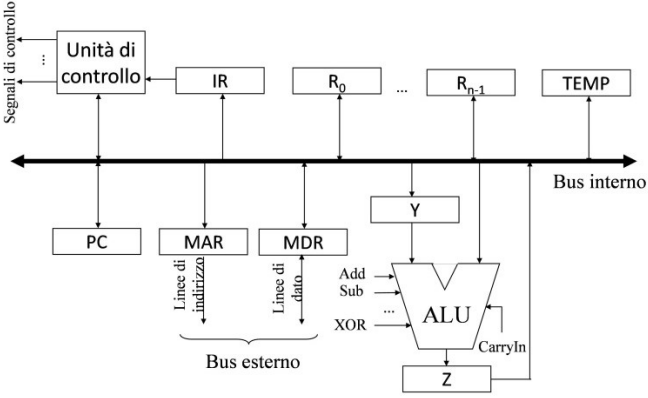
10	Si scriva un frammento di codice in Assembler MIPS che, data una variabile con segno su 32 bit VAR1, esegua l'inversione del suo valore (ossia ne cambi il segno) e lo memorizzi nella variabile VAR2.	
----	--	--

# Risposte corrette

1	2	3	4	5	6	7	8	9	10
15	D	A	D	B	70	D	C	A	

Compito A

**Domande a risposta aperta** (sino a 5 punti per ogni domanda) – Non è possibile consultare alcun materiale -  
Tempo: 40 minuti.

11	<p>Si disegni lo schema di connessione tra CPU, Interrupt Controller e dispositivi periferici, riportando i principali segnali di interconnessione. Si descrivano le operazioni eseguite da una CPU a partire dal momento in cui un dispositivo periferico esterno manda un segnale di richiesta di interrupt e sino al momento in cui inizia l'esecuzione della Interrupt Service Routine corrispondente a tale richiesta.</p>
12	<p>Si scrivano le microistruzioni (inclusive della fase di fetch) eseguite da un processore avente l'architettura in figura durante l'esecuzione dell'istruzione <code>LW \$R2, 0(\$R3)</code>. Tale istruzione legge la parola di memoria all'indirizzo contenuto in R3 e ne copia il valore in R2.</p>  <p>The diagram illustrates a computer architecture with the following components and connections:</p> <ul style="list-style-type: none"><li><b>Internal Bus (Bus interno):</b> A horizontal line connecting the <b>Unità di controllo</b> (Control Unit), <b>IR</b> (Instruction Register), <b>R<sub>0</sub></b>, <b>...</b>, <b>R<sub>n-1</sub></b>, and <b>TEMP</b> register.</li><li><b>External Bus (Bus esterno):</b> A horizontal line at the bottom connecting the <b>PC</b> (Program Counter), <b>MAR</b> (Memory Address Register), and <b>MDR</b> (Memory Data Register).</li><li><b>Control Unit (Unità di controllo):</b> Receives <b>Segnali di controllo</b> (Control Signals) and sends signals to the <b>PC</b>, <b>MAR</b>, <b>MDR</b>, and <b>ALU</b>.</li><li><b>Registers:</b> <b>R<sub>0</sub></b>, <b>...</b>, <b>R<sub>n-1</sub></b>, and <b>TEMP</b> are connected to the internal bus.</li><li><b>ALU (Arithmetic Logic Unit):</b> Receives data from the <b>MDR</b> and registers <b>R<sub>0</sub></b>, <b>...</b>, <b>R<sub>n-1</sub></b>. It performs operations: <b>Add</b>, <b>Sub</b>, <b>...</b>, and <b>XOR</b>. It has a <b>CarryIn</b> input and a <b>CarryOut</b> output.</li><li><b>Y and Z Registers:</b> <b>Y</b> is connected to the internal bus and the ALU. <b>Z</b> is connected to the ALU and the internal bus.</li></ul>

13	<p>Si progetti un circuito combinatorio minimo avente 4 ingressi a, b, c e d e un'uscita u che va a 1 se e solo se è vera l'espressione <math>(a=c) \text{ OR } (b=d)</math>. Nella risposta si richiede di riportare</p> <ol style="list-style-type: none"><li>1. La tavola di verità</li><li>2. La mappa di Karnaugh</li><li>3. La relativa copertura</li><li>4. Il circuito minimo.</li></ol>
14	<p>Si descriva il funzionamento del meccanismo noto come Memoria Virtuale, evidenziando quali funzioni sono svolte in hardware e quali in software.</p>



## Esercizio di programmazione

sino a 12 punti – è possibile consultare solamente il foglio consegnato con l' instruction set MIPS - tempo: 60 minuti

Data una sequenza di interi con segno, rappresentati come *word* in memoria, si scriva una procedura **monotono** in grado di determinare la posizione della più lunga sottosequenza non decrescente nel vettore e il numero di elementi che la compongono.

Il vettore su cui la procedura lavora è già inizializzato. La procedura riceve in `$a0` l'indirizzo del vettore e in `$a1` la sua lunghezza, mentre restituisce nel registro `$v0` il numero di elementi della sottosequenza e nel registro `$v1` l'indice del primo elemento di tale sottosequenza.

Si lavori nell'ipotesi per cui esista una singola sottosequenza della dimensione massima.

Esempio (vettore di 12 elementi):

```
vet:      .word 15, 64, 9, 2, 4, 5, 9, 1, 294, 52, -4, 5
```

La procedura dovrà fornire (si assuma che gli elementi del vettore abbiano indice variabile tra 0 e 11):  
`$v0 = 4`, `$v1 = 3`.

Di seguito un esempio di programma chiamante:

```
vet:      .data
          .word 15, 64, 9, 2, 4, 5, 9, 1, 294, 52, -4, 5

          .text
          .globl main
          .ent main
main:      subu $sp, $sp, 4
          sw $ra, 0($sp)

          la $a0, vet      # indirizzo di vet
          li $a1, 12        # dimensione di vet
          jal monotono

          lw $ra, 0($sp)
          addiu $sp, $sp, 4
          jr $ra
```