

3 Divisão de freqüência

3.1. Introdução

Neste capítulo, a diferença entre o processo de divisão de freqüência e a heterodinagem é apresentada e são descritos os principais tipos de divisores de freqüência, sua características principais, vantagens e desvantagens. Bem como, a determinação da topologia mais adequada ao problema dos receptores de DE.

Os dispositivos que realizam divisão de freqüência têm aplicação em vários sistemas de comunicações [5] e em sistemas militares, principalmente, na área de Guerra Eletrônica (GE), seja em receptores de sistemas de Defesa Eletrônica como em sistemas de Ataque Eletrônico [6]. Nos receptores de Sistemas de Defesa Eletrônica podem-se utilizar divisores de freqüência em cascata, para se realizar uma contagem direta de freqüência, ou, ainda, na redução da banda de freqüência absoluta, permitindo o emprego de receptores digitais. Já nos sistema de Ataque Eletrônico podem-se utilizar os divisores de freqüência na adequação da banda de freqüência absoluta dos sinais de entrada em uma Memória Digital de Rádio-Freqüência.

Entre as diversas propriedades interessantes destes dispositivos está a habilidade de transladar uma banda de microondas muito larga em outra menor, centrada em uma freqüência mais baixa, onde se pode empregar facilmente uma conversão analógico-digital, de forma que o poder da lógica digital possa ser empregado no processamento do sinal [7].

Para enfatizar a diferença entre a divisão de freqüência e a translação de freqüência por meio de misturação (heterodinagem), a Figura 13a apresenta o resultado de uma operação de divisão-por-dois em uma banda de entrada de 2 a 4 GHz, enquanto a Figura 13b mostra o resultado da conversão de descida da mesma banda utilizando-se um oscilador local (OL) na freqüência de 2 GHz. É evidente que o divisor de freqüência comprimiu a banda original de largura de uma oitava de 2 GHz em uma banda de uma oitava de 1 GHz. E, um estágio subsequente poderia comprimi-la para uma banda menor de 0,5 GHz de largura.

O processo de heterodinagem, por outro lado, não oferece esta compressão de banda. Ao contrário, a largura de banda relativa $\Delta f/f$ na realidade aumentou. Já que na Figura 13b a largura de banda relativa é 66,7% correspondendo a uma oitava, enquanto a largura de banda relativa na saída aumentou para 200%. Portanto, o processo de heterodinagem preserva a banda absoluta de freqüências, enquanto o processo de divisão de freqüência reduz a banda absoluta de freqüências de um sinal pela divisão de cada componente de freqüência na banda de entrada por um valor constante e, assim, preservando a banda relativa.

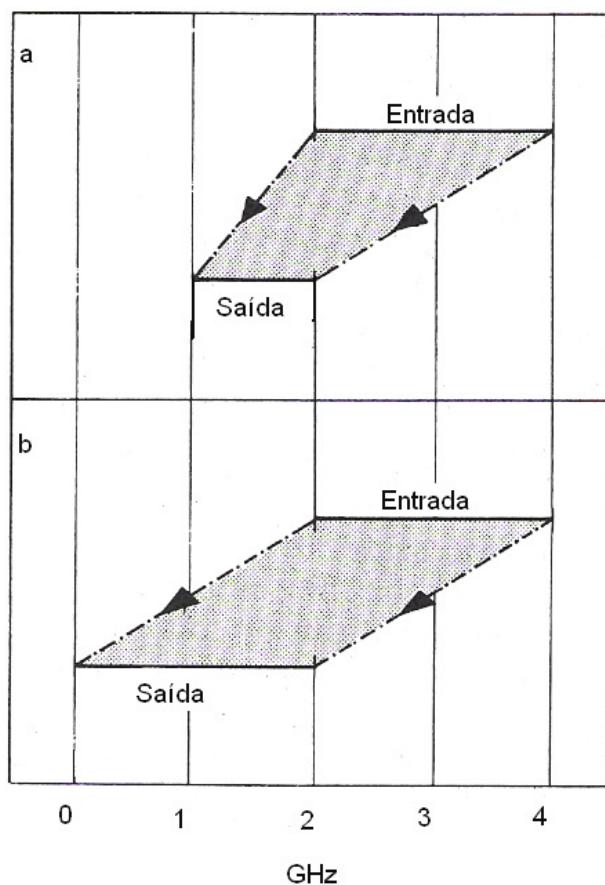


Figura 13: a: Compressão de banda realizada por um divisor de freqüência por dois; b: Conversão (translação) de banda realizada por um conversor (misturador) de descida.

3.2. Tipos de divisores de freqüência

Existe um grande número de concepções diferentes de divisores de freqüência descritos na literatura. Cada um deles pode ser classificado em uma de duas categorias básicas: analógicos e digitais. Os divisores digitais de freqüência permitem a divisão instantânea de um sinal em uma base ciclo-a-ciclo [8]. Eles são capazes de atuar até a faixa de freqüência de ondas milimétricas (até 96,6

GHz) [9], mas apresentam um consumo excessivo de potência (vários watts de potência DC) em comprimentos de ondas milimétricas. Os divisores analógicos exibem um baixo consumo de potência, o projeto de circuitos mais simples, e freqüências de operação mais elevadas; que os tornam atrativos tanto para propósitos militares como de comunicações [10].

Entre as várias soluções analógicas [11-26], os divisores paramétricos de freqüência representam a configuração de circuito mais simples e a de banda de sincronização mais larga. A divisão paramétrica é de certa forma um processo menos comum, no qual uma oscilação subharmônica é gerada por um elemento não-linear. O elemento mais comumente empregado é um diodo varactor, isto é, a capacidade não-linear de um diodo de função abrupta. A teoria de operação básica deste dispositivo foi apresentada em [12] e [27].

Será apresentado um pequeno resumo sobre os divisores digitais, os divisores regenerativos e os divisores paramétricos a varactor; que são os mais empregados.

3.3. Divisores Digitais de Freqüência

Os divisores digitais de freqüência podem ser classificados em duas categorias: estáticos e dinâmicos [28-29].

A realização mais popular é a estática. A célula de memória é um circuito biestável real ao contrário do capacitor parasítico usado nos divisores dinâmicos. Um padrão de projeto é a célula de divisor-por-dois representada na Figura 14. Nos programas de desenvolvimento de projetos atuais, ela é tratada como uma célula digital padrão. Existem muitos nomes para circuitos similares ao da Figura 14, tais como divisor Johnson, *flip-flop* tipo T, *prescaler* CMOS (*complementary metal oxide semiconductor*), ECL (*emitter couple logic*), SCL (*souce couple logic*). Quando este é realizado em CMOS, é chamado de SCL. Quando este é executado em processo bipolar é chamado ECL. Na Figura 14 foi empregada a realização CMOS (SCL).

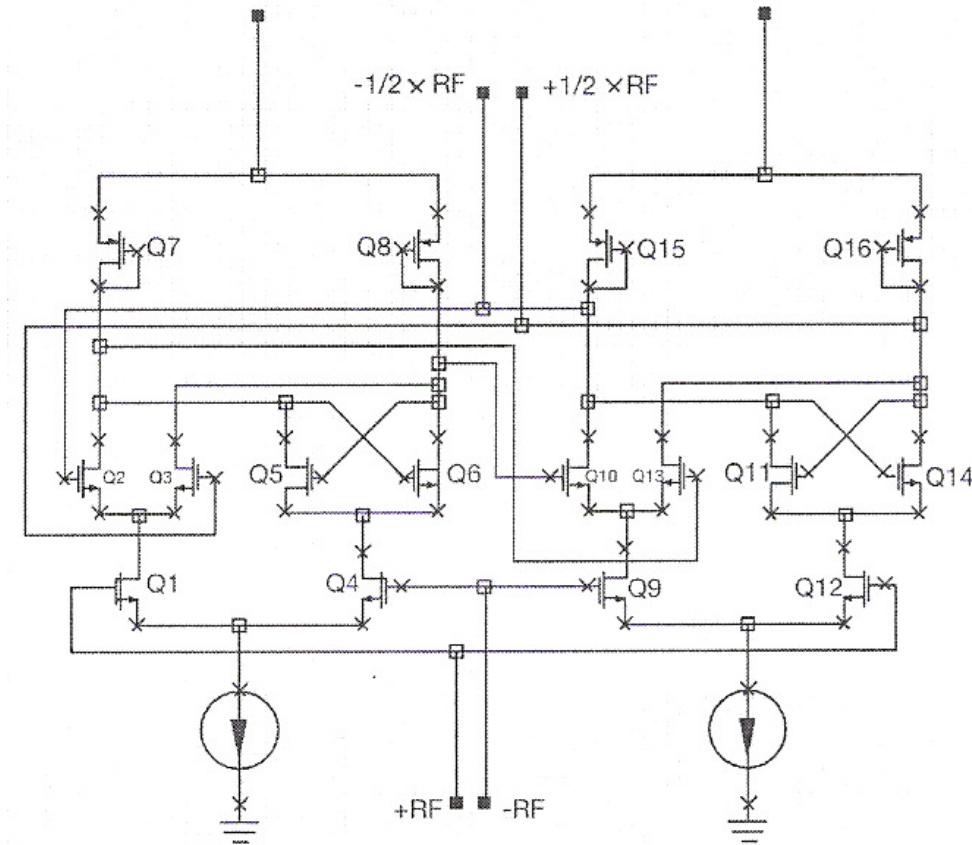


Figura 14: Esquemático de um divisor de freqüência por dois SCL.

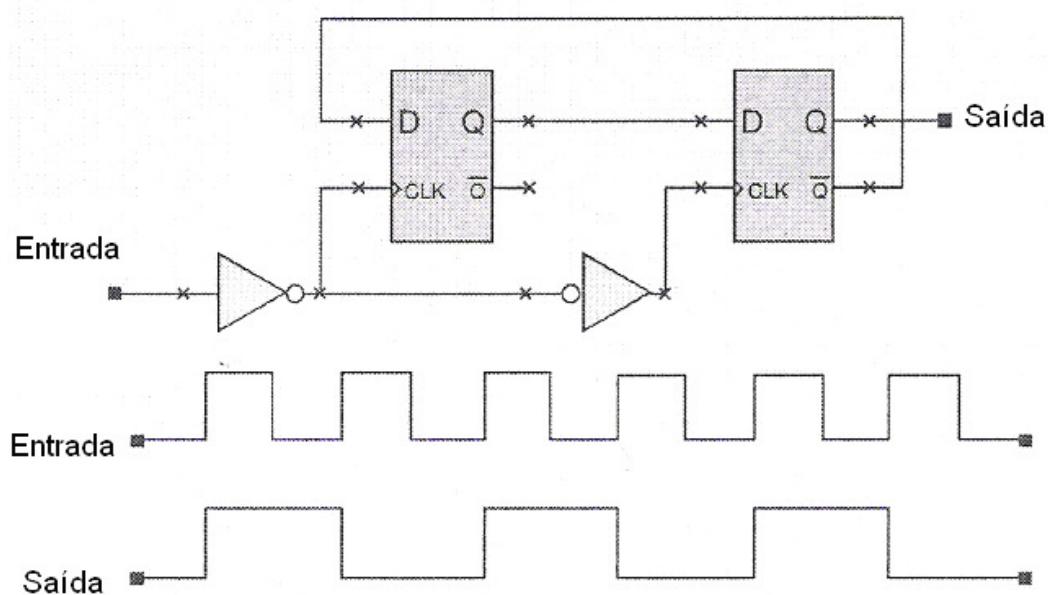


Figura 15: Diagrama Lógico do *Flip-Flop*.

Antes de se analisar o circuito da Figura 14, deve-se revisar a teoria de lógica digital fundamental. Já que, é muito mais simples analisar o circuito no

domínio digital. Na Figura 15 é apresentado em portas lógicas o circuito do *flip-flop* tipo T. A teoria de operação é de fácil entendimento. Este é essencialmente um *flip-flop* tipo D (DFF) mestre/escravo disparado por transição. A saída invertida é realimentada para a porta de entrada D. O mesmo relógio (*clock*) é usado para acionar ambos os DFF disparados por nível com lógicas opostas. A razão para o emprego do inversor é fazer um DFF disparado por transição a partir dos dois DFFs disparados por nível. O primeiro DFF é comumente chamado de DFF mestre e o segundo é normalmente dito como DFF escravo. Tanto o DFF mestre como o DFF escravo é acionado em cada ciclo de relógio (*clock*), porém não simultaneamente (devido ao inversor entre eles). Como mostrado na Figura 15, cada ciclo positivo de entrada do relógio é carregado no DFF. No próximo ciclo, a saída invertida é realimentada novamente para a entrada, o que causa que o estado da saída mude. O mesmo evento irá se repetir a cada dois ciclos do relógio de entrada. Assim, a freqüência de saída é metade da freqüência de entrada.

Comparando-se as Figuras 14 e 15, pode-se supor de forma intuitiva que a metade da esquerda da Figura 14, de Q1 a Q8, é o DFF mestre enquanto a metade da direita é o DFF escravo. De fato a suposição é verdadeira. Uma realização típica, em nível de portas lógicas, para o DFF é mostrada na Figura 16. Esta consiste de portas NOR acopladas de forma cruzada. Sem o inversor, este é reconhecido como registrador SR. O próximo passo é verificar como o registrador SR é implementado, a nível de transistor. A realização do registrador SR é apresentada na Figura 17.

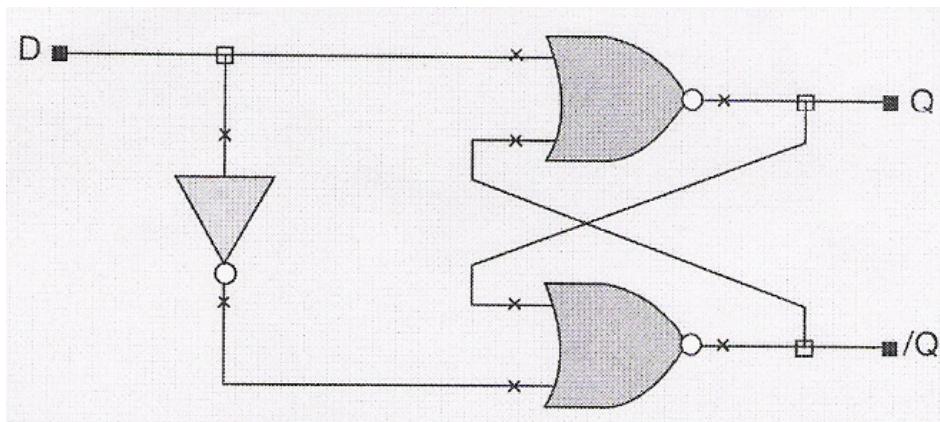


Figura 16: Representação esquemática de um DFF em nível de porta lógica.

Na Figura 17, os transistores Q2, Q5, Q7 e Q9 formam a primeira porta NOR, enquanto Q3, Q6, Q8 e Q10 completam a segunda porta NOR. Agora, comparando os circuitos nas Figuras 14 e 17, pode-se verificar que o da Figura 17 é o mesmo da Figura 14 usado para o DFF SCL disparado por transição com umas poucas modificações. Os transistores Q2, Q5, Q3 e Q6 continuam a ser os mesmos elementos de circuito, agora rearranjados levemente. Os transistores Q7 e Q8 continuam sendo as cargas ativas. E os transistores Q, e Q4 agem como *buffer* de entrada. Eles também provêm à função de ativação. Como discutido anteriormente, no DFF mestre-escravo disparado por transição, apenas um DFF está ativo a cada momento. O inversor pode ser realizado facilmente trocando-se a posição de “+RF” e “-RF” na entrada.

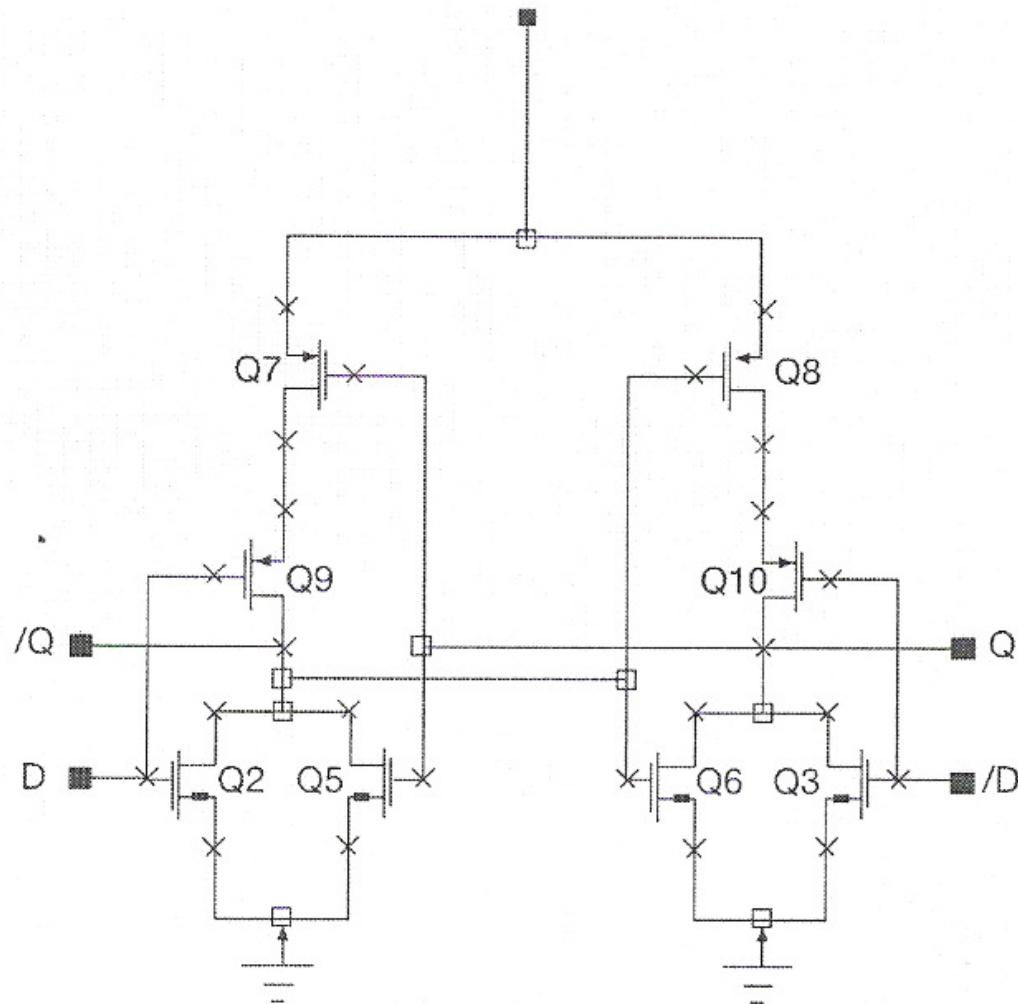


Figura 17: Representação esquemática de um DFF em nível de transistor.

O bloco de construção chave no divisor de freqüência é o bloco biestável. Para o circuito da Figura 14, a porta lógica SR é o elemento biestável. Contudo, esta não é a única realização possível. Uma outra é usar-se dois inversores costa-a-costa em uma rede de realimentação como empregado nos circuitos de memória. Estes tendem a ser mais lentos que a lógica SCL.

Na realização dinâmica, não há um circuito biestável dedicado. A capacitância parasítica entre as portas age como o elemento de armazenamento. Ela é chamada, tipicamente, da C²MOS (*clocked CMOS*). Um destes circuitos é apresentado na Figura 18.

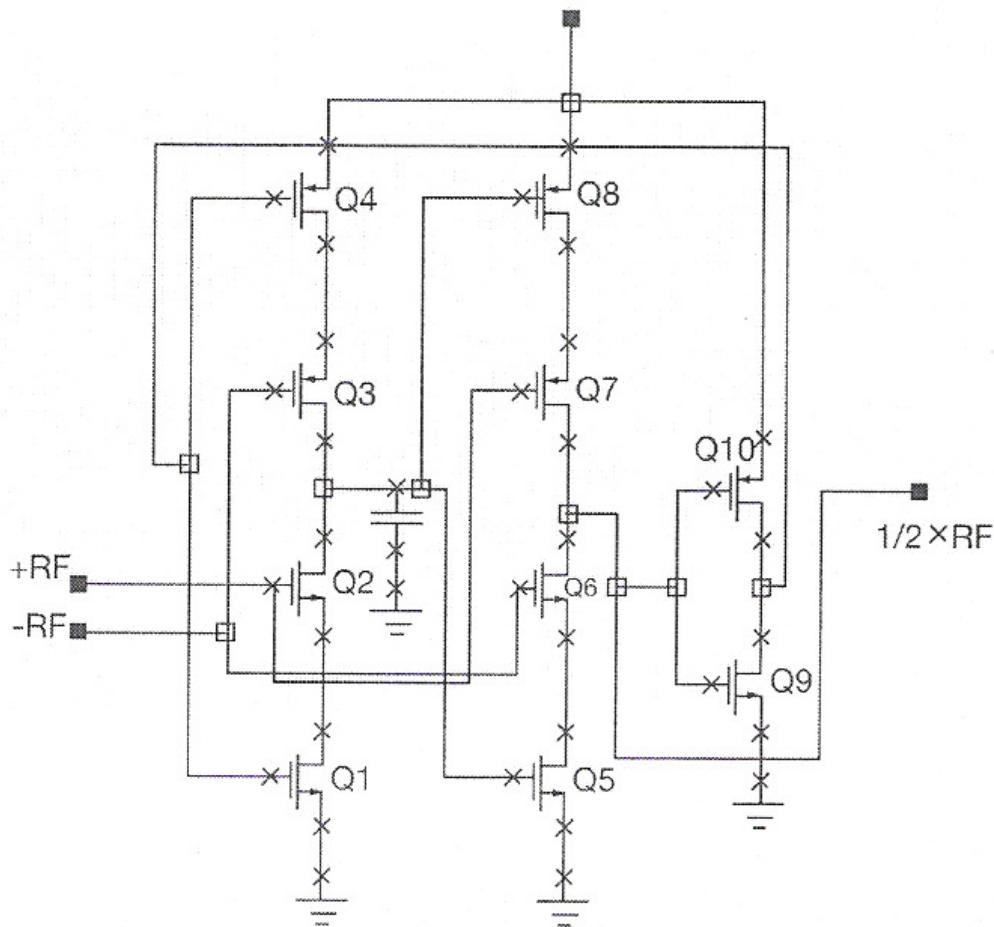


Figura 18: Representação esquemática de uma realização dinâmica de um DFF.

Este circuito utiliza um número bem menor de transistores. A teoria de operação é simples. Os transistores de Q1 a Q4 formam, essencialmente, um inversor *tri-state* (INV1). Os transistores de Q5 a Q9 formam outro inversor (INV2). O capacitor no meio é um modelo para a capacitância parasítica entre as portas. A função do capacitor é armazenar o sinal. Os transistores Q9 e Q10

realizam um inversor CMOS simples para completar o caminho de realimentação necessário para o registrador de transição. No ciclo positivo do relógio (RF+), o INV1 está ativo e o INV2 está em corte, então o sinal é passado ao capacitor de armazenamento. No ciclo negativo do relógio (RF-), o INV1 está em corte e o INV2 está ativo, assim o sinal é passado à saída.

O circuito da Figura 18 necessita de uma entrada de relógio diferencial (RF+ e RF-). Algumas vezes não é possível o uso desta configuração de entrada, para tal utiliza-se um tipo de lógica chamada *true single-phase clocked* (TSPC). Que é realizada na mesma estrutura C²MOS básica. Esta utiliza um pouco mais de transistores, sendo apresentada na Figura 19.

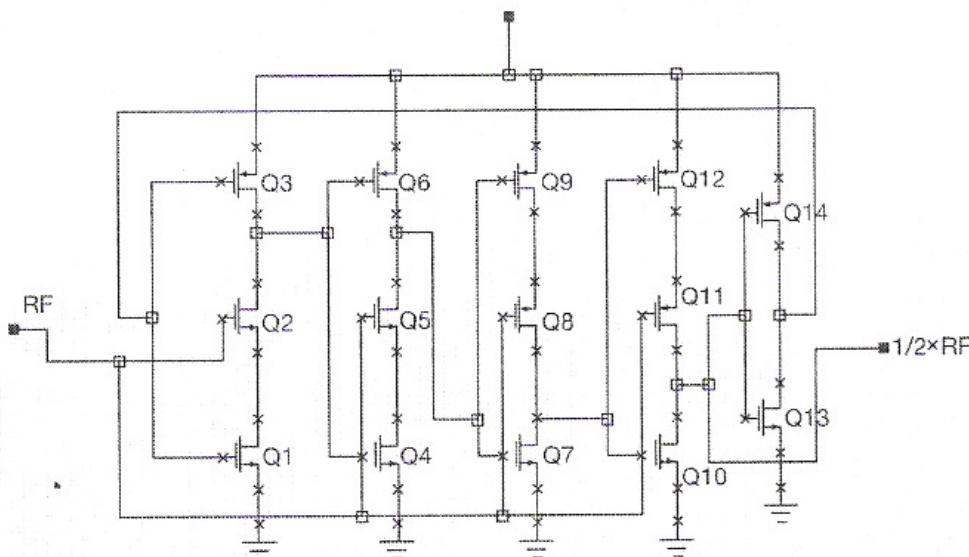


Figura 19: Representação esquemática de um divisor de freqüência TSPC.

Os transistores Q1 a Q6 formam os registradores mestres. Os transistores Q7 a Q12 formam os registradores escravos. Os transistores Q13 e Q14 são o inversor que completa o caminho de realimentação necessária ao registrador de transição. O registrador mestre é chamado, às vezes, de NC²MOS duplo devido aos dois NFETs usados. De forma similar, o registrador escravo é chamado, às vezes, de PC²MOS duplo, devido aos dois PFETs utilizados. Quando o relógio está em alto, o registrador mestre é ativado enquanto o registrador escravo está em corte. O inverso se dá quando o relógio está em baixo.

Comparando-se as realizações estáticas e dinâmicas, verifica-se que a lógica estática é mais rápida e confiável. A lógica usa um número menor de transistores e

é mais fácil de realizar. Contudo, ela é mais lenta e pode consumir mais potência em certas aplicações.

Outra diferença é que os divisores digitais de freqüência estáticos podem operar até DC. Já os dinâmicos não podem operar até DC.

Tabela 2: Freqüência máxima obtida por várias realizações de divisores digitais de freqüência estáticos.

| Tecnologia | Ano | Freqüência (GHz) | Referência |
|-------------------|------|------------------|------------|
| SiGe HBT | 2000 | 60,0 | [30] |
| AlInAs/InGaAs HBT | 2001 | 72,8 | [31] |
| SiGe HBT | 2001 | 67,0 | [32] |
| AlInAs/InGaAs HBT | 1992 | 39,5 | [34] |
| AlGaAs/GaAs HEMT | 1997 | 35,0 | [35] |
| Si BT | 1996 | 30,0 | [36] |
| SiGe BT | 2004 | 96,0 | [9] |

Tabela 3: Freqüência máxima obtida por várias realizações de divisores digitais de freqüência dinâmicos.

| Tecnologia | Ano | Freqüência (GHz) | Referência |
|------------------------|------|------------------|-------------|
| SiGe HBT | 2000 | 82,4 | [30] |
| InAlAs/InGaAs/InP HEMT | 1997 | 63,5 | [33] |
| AlGaAs/GaAs HEMT | 1997 | 48,0 | [35] |
| Si BT | 1992 | 28,0 | [37] e [41] |
| Si MOSFET | 2000 | 26,5 | [38] |
| Si BT | 1989 | 18,0 | [39] |
| 0,18 μ m CMOS | 2004 | 10,0 | [40] |

A Tabela 2 apresenta um quadro informativo sobre o estado da tecnologia dos divisores digitais de freqüência de realização estática e a Tabela 3 apresenta para os divisores digitais de freqüência de realização dinâmica.

3.4. Divisores de freqüência regenerativos

Os divisores de freqüência regenerativos foram simultaneamente e independentemente descritos em 1939 por Fortescue [15] e Miller [16]. Na Figura 20 é apresentada a configuração em diagrama em blocos de um divisor de freqüência regenerativo genérico. Para que o processo de regeneração ocorra é necessário que [8]:

- um ruído de amplitude finita na freqüência f de saída deve estar presente na malha, inicialmente;
- o ganho de malha deve exceder a unidade;
- para evitar oscilações espúrias, o ganho de malha deve ser menor que a unidade na falta de um sinal de entrada.

O processo de divisão regenerativa é afetado, contudo, por várias peculiaridades inerentes. Tais como: perda parcial da informação de amplitude, retardo do flanco de subida para sinais pulsados, comportamento muito ruidoso se o sinal incidente contém mais de uma freqüência proeminente [8].

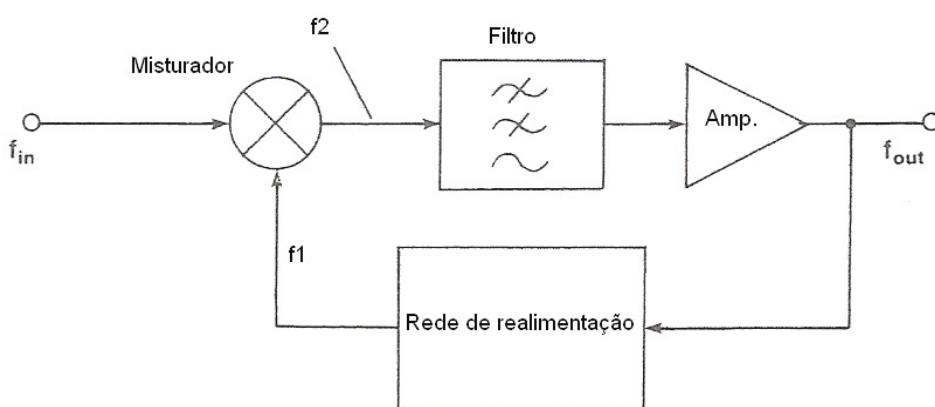


Figura 20: Diagrama em blocos de um divisor de freqüência regenerativo genérico.

A teoria geral deste tipo de divisor pode ser resumida a partir da Figura 20. O divisor é composto por um misturador, um filtro passa-baixa ou passa-banda para selecionar a freqüência de saída desejada, um amplificador, e uma rede de realimentação. Quando um sinal de freqüência f_{in} é aplicado à entrada do misturador, as seguintes freqüências são geradas:

$$f_2 = n \times f_{in} - m \times f_1 \quad , \quad n \times f_{in} > m \times f_1 \quad (5)$$

$$f_2 = m \times f_1 - n \times f_{in} \quad , \quad n \times f_{in} < m \times f_1$$

onde m e n são inteiros. Para garantir a coerência na malha f_1 e f_2 devem ser iguais, assim

$$f_1 = \left(\frac{n}{m+1} \right) \times f_{in} \quad (6)$$

A equação (6) mostra que tanto uma divisão inteira quanto uma fracional pode ser obtida com divisores regenerativos. A Tabela 4 apresenta a divisão de freqüência para os quatro primeiros produtos de misturação.

Tabela 4: Divisão de freqüência versus produtos de misturação.

| Produtos de misturação | Valores de m,n | Divisão de freqüência |
|------------------------|----------------|---------------------------|
| Segunda ordem | $m = 1, n = 1$ | $f_1 = \frac{f_{in}}{2}$ |
| Terceira ordem | $m = 1, n = 2$ | $f_1 = \frac{f_{in}}{3}$ |
| Quarta ordem | $m = 1, n = 3$ | $f_1 = \frac{f_{in}}{4}$ |
| | $m = 2, n = 2$ | $f_1 = 2\frac{f_{in}}{3}$ |

Foi assumido, no equacionamento anterior, que a rede de realimentação e o próprio amplificador não geram nenhuma freqüência por qualquer processo não-

linear. Porém, um resultado interessante é obtido quando esta parte do circuito é deliberadamente projetada para gerar múltiplos ou harmônicos da freqüência f_1 na rede de realimentação (um multiplicador). Tomando como um inteiro denotando a ordem do harmônico criado neste circuito, teremos as seguintes relações possíveis para a freqüência de saída.

$$f_1 = \frac{n}{m \times r \pm 1} f_{in} \quad (7)$$

Empregando-se apenas os termos de segunda ordem ($m=1, n=1$) do processo de misturação, que são as bandas laterais com o maior nível de potência resultante, por exemplo, do emprego de um modulador duplamente balanceado. Assim, teremos:

$$f_1 = \frac{1}{r \pm 1} f_{in} \quad (8)$$

A malha de realimentação da Figura 20 pode sustentar uma oscilação na freqüência $f_1 = f_{in}/2$ (caso em $m=1, n=1, r=1$) dado que a função de transferência $\mu \times \exp(-j\phi)$ correspondentes ao filtro e o amplificador em cascata satisfaçam as seguintes condições [16] e [42].

$$\mu = \frac{1}{L_c} \quad (9)$$

$$\phi = \frac{\pi}{2} (2 \times k + 1) \quad (10)$$

onde L_c é a perda de conversão do misturador e k é um inteiro entre zero e infinito. Estas duas equações mostram que o amplificador deve compensar as perdas do misturador e do filtro e que o comprimento elétrico da malha deve ser ajustado para satisfazer a equação (10). Quando não há potência aplicada na entrada do misturador a rede de realimentação será estável desde que a isolamento do misturador combinado as perdas do filtro sejam maiores que o ganho do amplificador.

A faixa dinâmica dos divisores regenerativos é limitada por um lado pela potência necessária para levar o misturador a região de perdas baixas e por outro lado pela potência máxima permitida para manter o divisor livre da geração de freqüências espúrias (normalmente de 15 a 20 dBm). Finalmente, a despeito da capacidade de operar em freqüências extremamente elevadas [43], os divisores de freqüência regenerativos oferecem uma banda de freqüência instantânea modesta, que está, geralmente, restrita a menos de 20% [43-53]. Para que a banda de freqüência seja ampliada é necessário reduzir-se o tempo de retardo da malha de realimentação [54-55] para tal é fundamental o emprego de tecnologias de circuitos integrados [56-57].

Uma configuração interessante foi apresentada em [58] baseada no emprego de um FET de duas portas proposto em [45]. Nesta configuração de divisor a característica de transferência de um FET de duas portas a GaAs foi utilizada para realizar as funções de amplificação e misturação. Comparada a uma configuração que emprega FET de uma porta [8], a transcondutância do divisor de freqüência a FET de duas portas pode ser controlada. Sendo uma porta configurada para obter conversão de freqüência máxima e a segunda é configurada para se obter amplificação máxima.

Este divisor de freqüência obteve uma banda de freqüência maior que 10 GHz (26,4-37,2 GHz) na banda *Ka*. A Figura 21 apresenta um diagrama em blocos desta configuração.

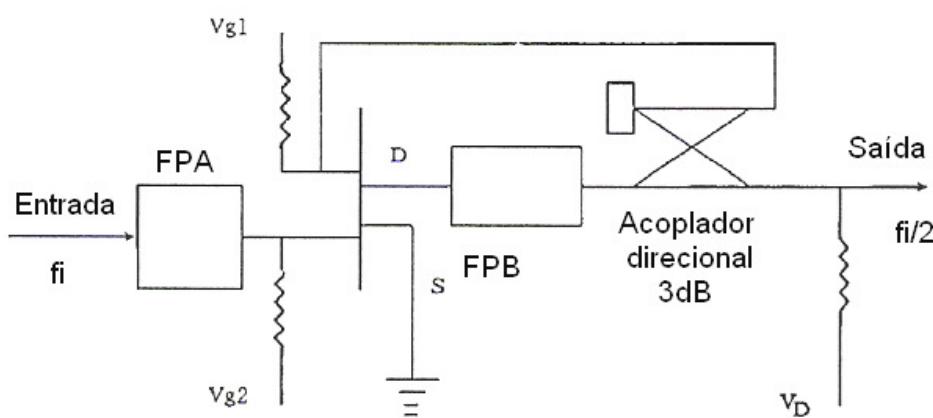


Figura 21: Diagrama em blocos de um divisor de freqüência regenerativo a FET de duas portas.

Os divisores de freqüência regenerativos têm ruído de fase baixo [59-62] o que os torna candidatos muito interessantes para aplicações em sintetizadores de freqüência em microondas com baixo ruído.

Embora, Miller [16] tenha originalmente concebido a idéia de uma divisão por N ($N \geq 2$), a maioria dos divisores de freqüência regenerativos apresentam uma configuração de divisor-por-2. Para se obter divisões de ordem superior, estes têm sido cascataados, aumentando a quantidade de circuito. Uma alternativa apresentada anteriormente é o emprego de multiplicadores na rede de realimentação ou levar o misturador mais profundamente à saturação, gerando harmônicos. Estes divisores extremamente não-lineares nem sempre são auto-iniciáveis. Como solução uma nova configuração foi proposta em [63]. Esta recebeu o nome de divisão regenerativa conjugada. A sua diferença básica é que nesta a malha de realimentação suporta oscilações simultâneas em duas freqüências diferentes. Desta forma, eliminando a necessidade do uso de elementos não-lineares na malha de realimentação para se obter divisões inteiras de freqüência maiores que dois. A natureza linear desta malha permite que o divisor seja alto iniciável.

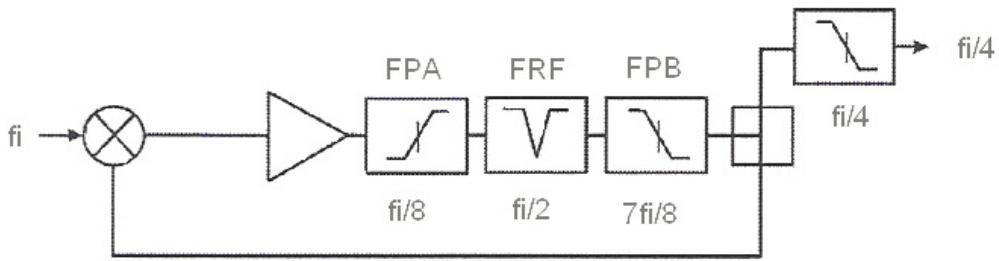


Figura 22: Esquemático de um divisor regenerativo conjugado de freqüência por quatro.

A Figura 22 apresenta o esquemático de um divisor de freqüência por quatro. Pode-se notar que este é essencialmente um circuito convencional de divisor de freqüência por dois, exceto pela função de transferência da malha de realimentação. Ao contrário do filtro passa-baixo (ou passa-banda) em $f_{in}/2$, este representa um filtro rejeita faixa em $f_{in}/2$, um filtro passa-baixo em $7f_{in}/8$, e um filtro passa-alto em $f_{in}/8$, onde f_{in} é a freqüência do sinal de entrada. Estes filtros levam a uma função de transferência da rede de realimentação com picos de ganho de banda largos em torno de $f_{in}/4$ e seu conjugado $3f_{in}/4$. Um sinal de ruído

filtrado inicial e_1 numa freqüência próxima a $f_{in}/4$ existe em uma porta do misturador. Este se mistura com o sinal de entrada e_o na freqüência $3f_{in}/4$. O sinal e_2 é amplificado e se propaga pela malha. Este pode, então, misturar-se com o sinal de entrada e_o para produzir a saída na freqüência $f_{in}/4$, que a seu turno se propaga pela malha de realimentação e, dadas as condições certas de fase, reforça e_1 . Assim, na situação de equilíbrio teremos dois sinais, um em $f_{in}/4$ e outro em $3f_{in}/4$ propagando-se pela malha e sustentando-se mutuamente. Cada um dos sinais pode ser extraído utilizando-se um divisor de potência ou um acoplador na rede de alimentação. Uma análise mais criteriosa pode mostrar que para ocorrer uma divisão perfeita (operação síncrona) é necessário que a malha não seja dispersiva e tenha um tempo de trânsito curto, para se evitar a coexistência e a competição entre o modo síncrono e um assíncrono. Este dispositivo apresenta como característica interessante ter 4 dB menos do ruído PM que dois divisores-por-2 em cascata.

Ajustando-se adequadamente a resposta de freqüência na malha de realimentação do divisor é possível se obter divisões-por-3,5,6,7 e 8.

3.5. Divisores paramétricos de freqüência

O nome paramétrico está associado a uma classe de dispositivos de amplificação e conversão de freqüência que utiliza as propriedades não-lineares ou reatâncias variáveis no tempo. Estas reatâncias canalizam energia de uma fonte AC para uma carga útil e são capazes de converterem potência de uma freqüência para outra.

O elemento mais comumente empregado é um varactor, isto é, tirando partido da capacidade da camada de depleção assimétrica dependente de tensão de um diodo de junção abrupta. A teoria básica de operação foi apresentada em [27] e [64]. Os projetos de divisores de freqüência paramétricos baseados em técnicas empíricas foram descritos em [13] e [65-70].

3.5.1. Teoria dos divisores paramétricos de freqüência

As relações de Manley-Rowe [71] prevêm que para divisores de freqüência a reatância não-linear ideal, a potência $P_{I/N}$ gerada no enésimo subharmônico de f_{in} está relacionado à potência de entrada P_I por

$$\frac{P_{\%}}{P_1} \leq 1 \quad (11)$$

Isto é, a máxima eficiência possível é 100%. A divisão de freqüência não pode ser obtida de resistores não-lineares positivos.

Os divisores de freqüência paramétricos utilizam diodos varactores. Um circuito equivalente não-linear simplificado de um varactor é apresentado na Figura 23. Sobre condições de polarização reversa, a carga de depleção dependente de tensão $q_j(v)$ pode ser expressa como:

$$q_j(v) = \frac{C_j(0) \times \phi_0}{\gamma - 1} (\phi_0 - v)^{1-\gamma} \quad (12)$$

onde,

ϕ_0 = o potencial intrínseco de barreira

γ = o expoente da lei capacitiva

$C_j(0)$ = a capacidade de depleção na polarização de zero volts.

Sendo esta a não-linearidade principal.

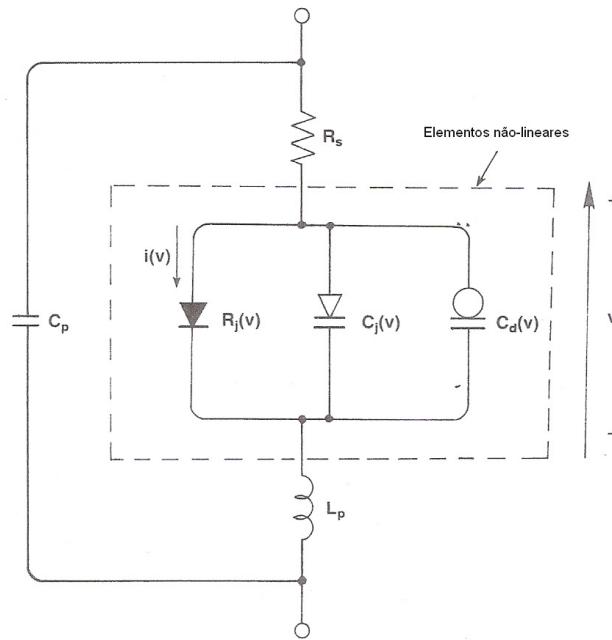


Figura 23: Esquemático do circuito equivalente não-linear de um varactor.

Os divisores de banda larga operam, freqüentemente, sobre polarização direta, neste caso, a corrente de condução $i(v)$ e no caso de varactores de junção pn, a carga de difusão $q_d(v)$ dadas pelas respectivas equações (13) e (14) são, também, importantes.

$$i(v) = I_s \left[\exp\left(\frac{ev}{nkT}\right) - 1 \right] \quad (13)$$

$$q_d(v) = \tau_L \times I_s \left[\exp\left(\frac{ev}{nkT}\right) - 1 \right] \quad (14)$$

onde,

τ_L = o tempo de vida médio dos portadores minoritários injetados,

I_s = a corrente de saturação reversa do diodo,

e = a carga do elétron ($1,602 \times 10^{-19}$ C),

k = a constante de Boltzmann,

T = a temperatura absoluta em Kelvin, e

n = o fator ideal do diodo.

Para varactores de junção pn abrupta e Schottky $\gamma = \frac{1}{2}$, assim a relação $q_j(v)$ da equação (12) pode ser expressa em uma forma quadrática simples:

$$v = \phi_0 \left\{ 1 - \left[\frac{q_j(v)}{q_j(0)} \right]^2 \right\} \quad (15)$$

onde,

$$q_j(0) = -2 \times C_j(0) \times \phi_0 \quad (16)$$

é a carga de depleção para a polarização de zero volts. A relação quadrática da equação (15) simplifica enormemente a análise dos divisores de freqüência paramétricos. Esta é apresentada na Figura 24a e a capacitância $C_j(v)$ é apresentada na Figura 24b. Esta é a base para a aproximação teórica de grandes-

sinais dada por Harrison em [66]. Esta análise assume que o divisor pode ser representado pelo circuito equivalente em elementos concentrados da Figura 25, que inclui o efeito da freqüência de corte do varactor.

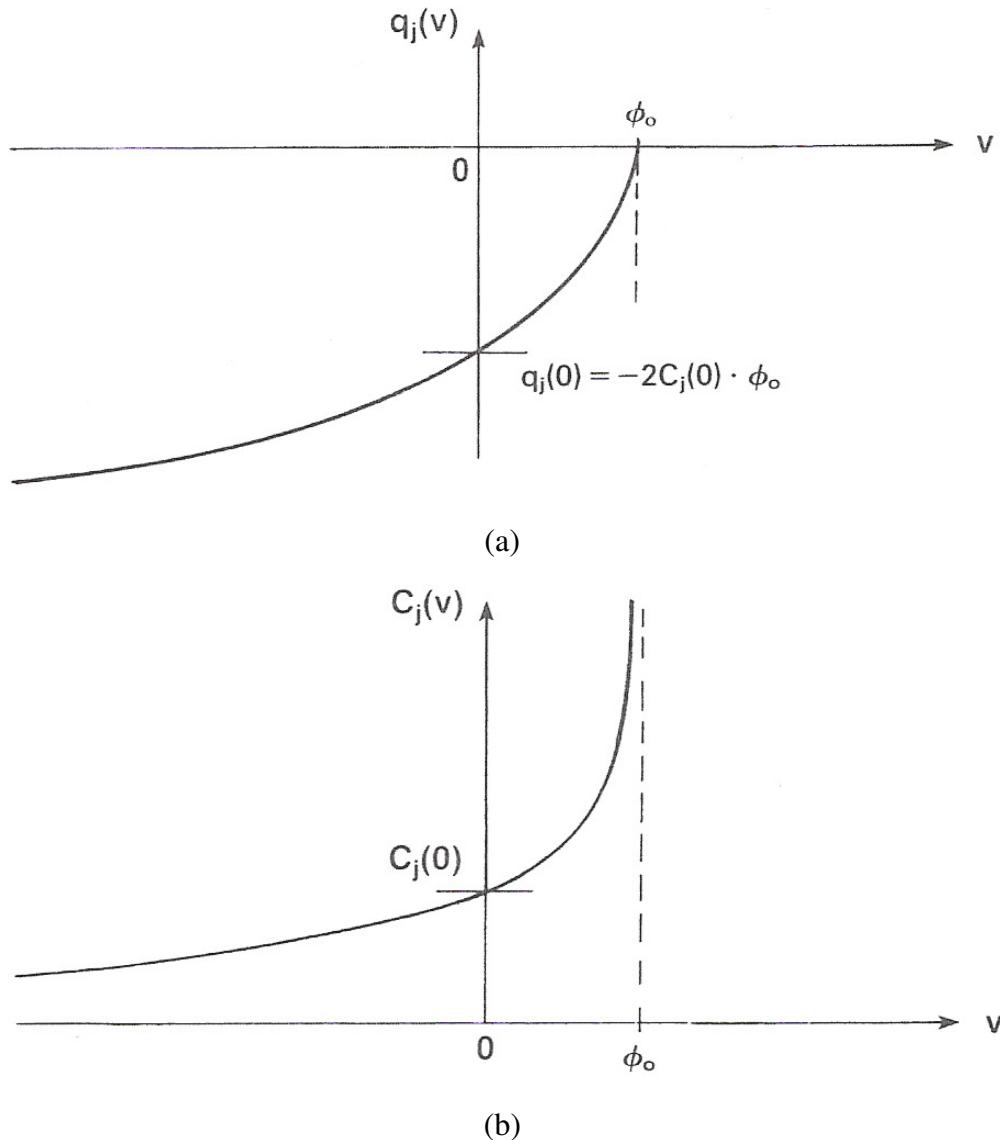


Figura 24: a: Gráfico da carga da camada de depleção versus a tensão de junção v para um varactor de junção pn abrupta ou de barreira – Schottky com $\gamma = \frac{1}{2}$, b: Gráfico da capacidade da camada de depleção $C_j(v) = \frac{\partial q_j}{\partial v}$.

Definindo a soma normalizada das cargas do varactor como:

$$u = \frac{q_j(v_1) + q_j(v_2)}{\phi_0} \quad (17)$$

E a diferença normalizada entre elas como:

$$z = \frac{q_j(v_1) - q_j(v_2)}{\phi_0} \quad (18)$$

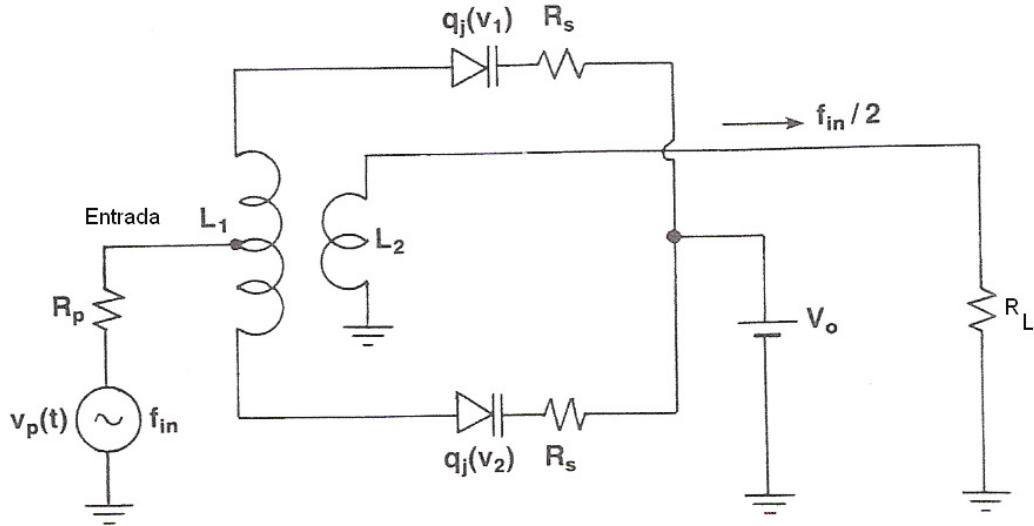


Figura 25: Circuito equivalente de um divisor de freqüência por dois paramétrico balanceado.

A equação diferencial que descreve o modo par de excitação é dada por:

$$(\xi_s + 2\xi_p) \frac{du}{d\tau} + 1 - \frac{1}{4}(u^2 + z^2) = x(\tau) + X_0 \quad (19)$$

Enquanto que a equação diferencial que descreve o modo ímpar de excitação é, assumindo que a carga é muito grande,

$$\frac{d^2z}{d\tau^2} + \xi_s z = \frac{1}{2}uz \quad (20)$$

onde,

$\tau = w_0 t$, o tempo normalizado;

$w_r = [\frac{1}{2}L_1 C_j(0)]^{1/2}$, a freqüência de ressonância a sinais pequenos na polarização de zero volt;

$\xi_s = w_r / (2\pi f_c(0)) = w_r C_j(0) R_s$, a razão entre w_r e a freqüência de corte do varactor na polarização de zero volt;

$\xi_p = w_r C_j(0) R_p$, o parâmetro da resistência de bombeamento;

$x = (V_p / \phi_0) \cos 2wt$, a tensão normalizada de bombeamento na freqüência $2w$;

$X_0 = V_0 / \phi_0$, a tensão de polarização normalizada; e ϕ_0 , o potencial intrínseco do varactor.

Resolvendo as equações (19) e (20) usando o método de aproximação de Hayashi [72], tem-se a seguinte solução para o estado estacionário:

$$\left[\frac{3}{2} (v^4 - 1 + X_0) + \xi_s \left(\frac{9}{2} \xi_s + 8 \xi_p \right) v^2 + \frac{5}{64} \frac{Y^2}{v^4} \right]^2 + [2 \xi_s v^3]^2 = X^2 \quad (21)$$

onde,

$$X = V_p / \phi_0 ,$$

$v = w/w_r$ é a freqüência normalizada, e

$Y = V_s / \phi_0$ é a amplitude subharmônica normalizada.

A Figura 26 mostra a região teórica resultante de uma divisão por dois, para a polarização entre -1 e $+0,5$ V. O efeito da polarização tanto na freqüência de ressonância como no limiar do nível de bombeamento necessário é aparente. A resposta da freqüência-metade como uma função do nível de bombeamento é apresentada na Figura 27, para vários valores de dissintonia. Esta figura ilustra a histerese de amplitude típica para freqüências abaixo da ressonância. A Figura 28 é um gráfico da resposta do divisor em função tanto da freqüência como da amplitude.

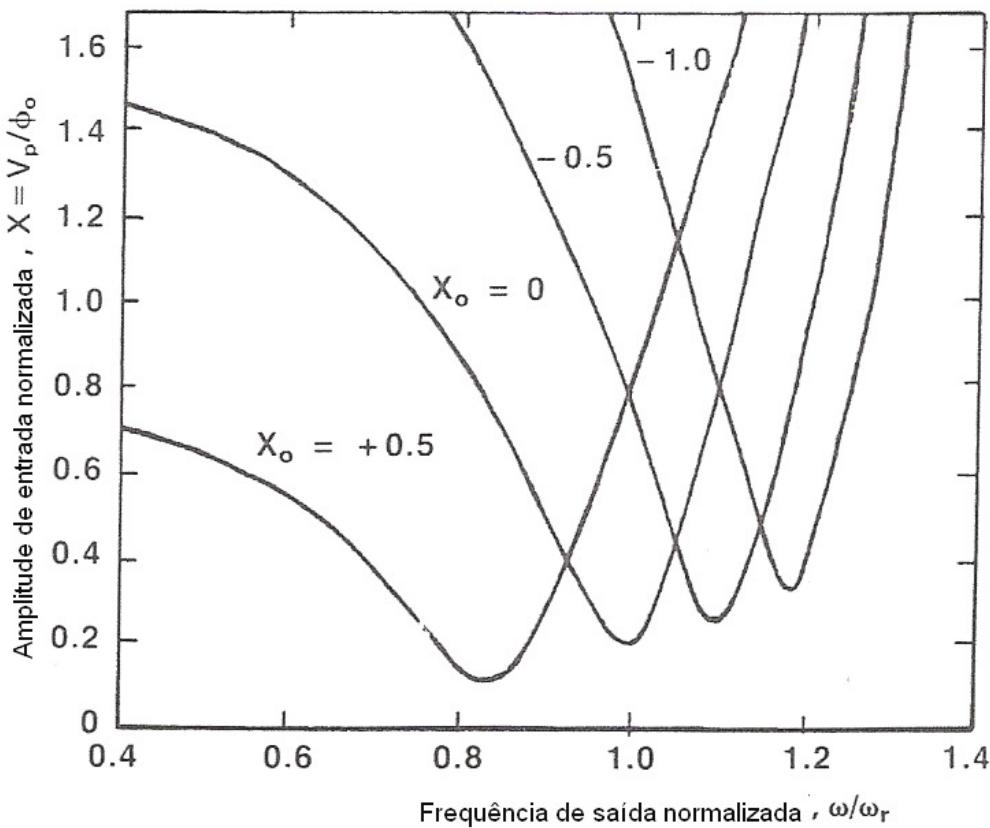


Figura 26: Gráfico da região teórica resultante de uma divisão-por-2 para o caso $\xi_s = 0,1$; $\xi_p = 0$, parametrizado para várias tensões de polarização normalizadas $X_0 = V_0/\phi_0$.

Para a operação significantemente polarizada diretamente, as não-linearidades da corrente de condução $i(v)$ e da carga de difusão $q_d(v)$ tornam-se importantes e o modelo completo da Figura 23 deve ser usado, então. Isto significa que soluções algébricas devem dar espaço a simulações numéricas, tipicamente utilizando método de balanço harmônico. Um exemplo para um divisor-por-2 de banda estreita com um varactor apenas foi dado por Lipparini *et al.* em [73-74].

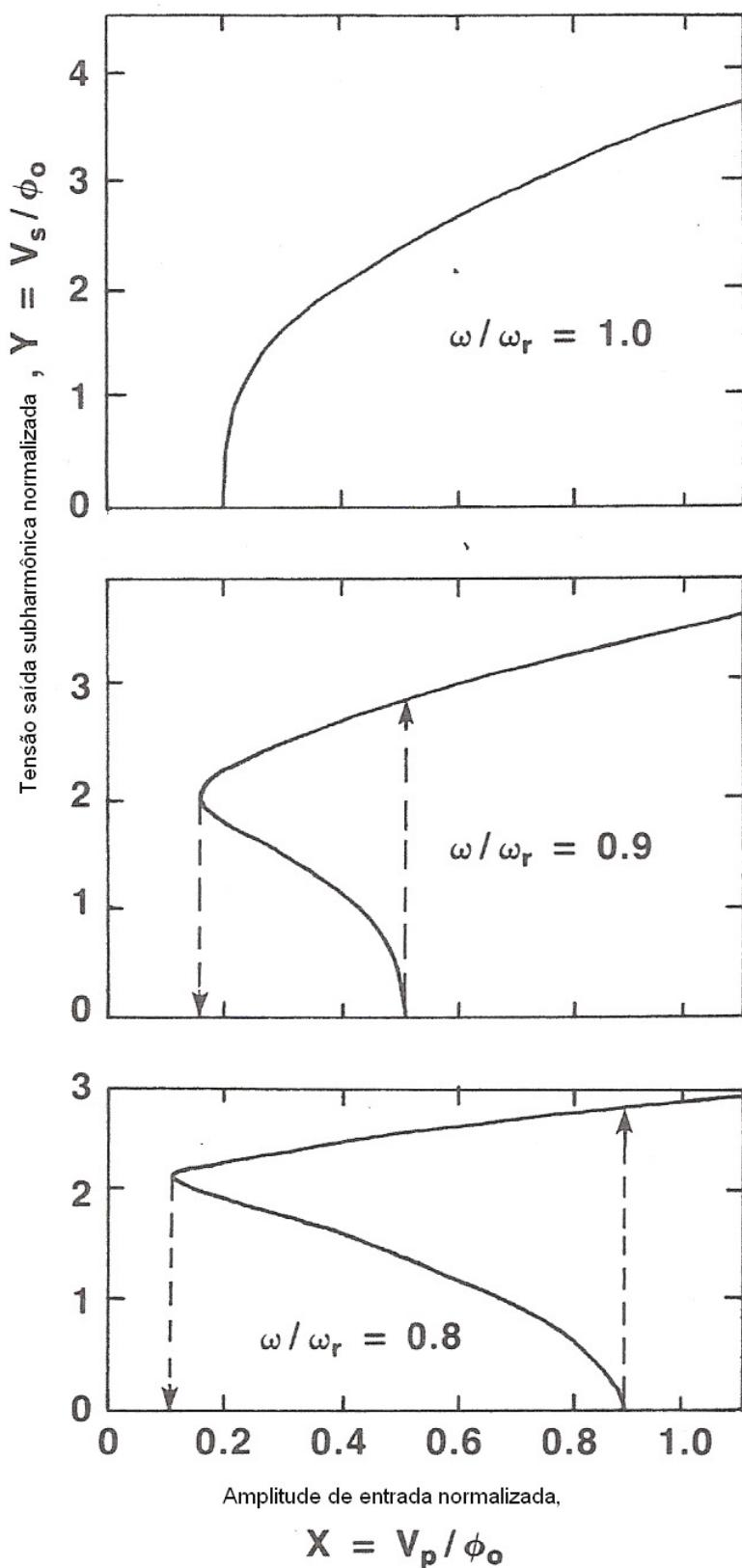


Figura 27: A resposta da freqüência-metade V_s como uma função do nível de bombeamento V_p e freqüência de saída w , para $\xi_s = 0,1$; e $\xi_p = 0$.

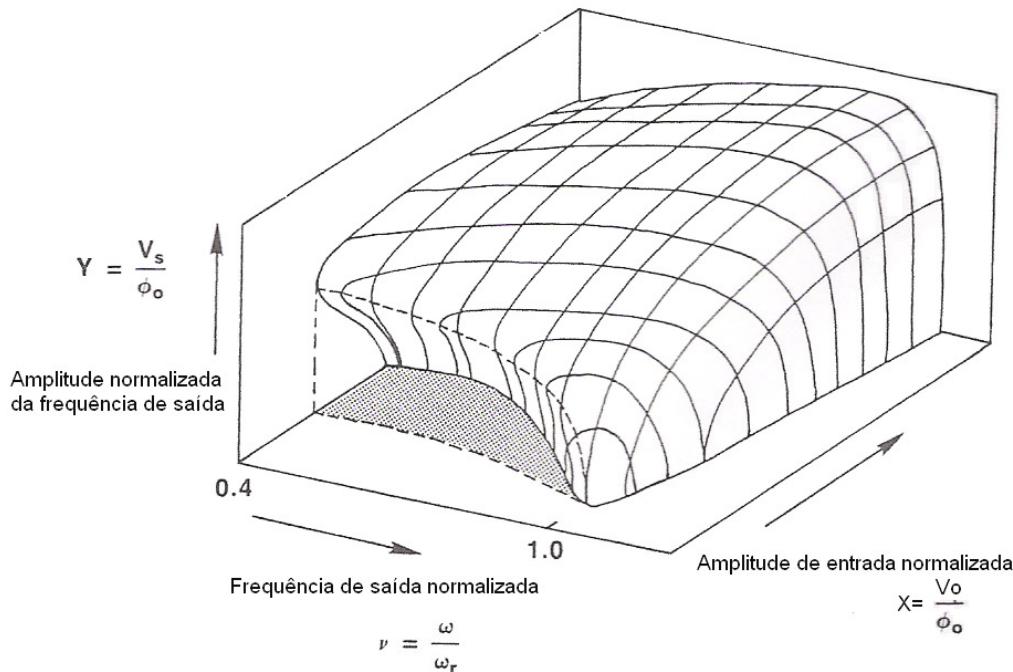


Figura 28: Superfície da resposta de freqüência-metade como uma função da freqüência e da amplitude de bombeamento, assumindo polarização de zero volt ($X_0 = 1$);

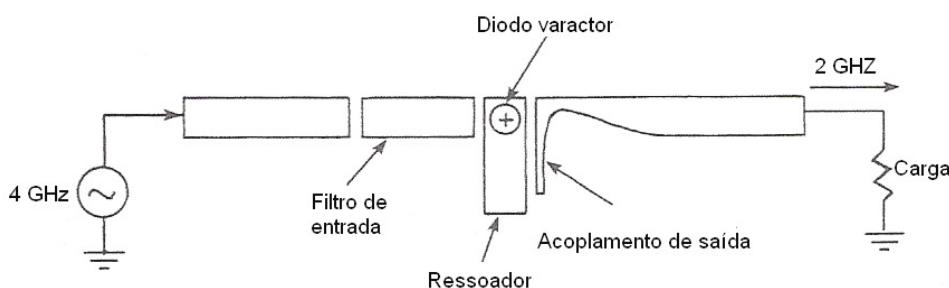
$$\xi_s = 0,1; \text{ e } \xi_p \approx 0.$$

3.5.2. Divisores paramétricos de freqüência práticos

Os primeiros divisores de freqüência paramétricos em microondas verdadeiros eram osciladores amarrados em fase de apenas um varactor utilizado como um elemento de chaveamento de fase em computador [75-76]. A Figura 29 apresenta o esquema em linhas de microfita (*microstrip*) do divisor proposto por Sterzer em [75]. A sua freqüência de entrada era em 4 GHz e a de saída em 2 GHz, a eficiência de conversão era de 1,58%.

A Figura 30 mostra o esquemático em blocos de divisores paramétricos de freqüência de um único varactor bem mais recentes [69, 70, 73, 74, 77 e 78]. A rede de casamento de entrada age como um filtro passa-alta (ou passa-banda) e como casamento de impedância, isolando, assim, o gerador da freqüência-metade. O circuito de casamento de saída realiza, ainda, a função de um filtro passa-baixa, minimizando o vazamento da freqüência de entrada para a carga R_L . O comportamento do circuito é analisado, assumindo o modelo do varactor da Figura 23, utilizando-se o método de balanço-harmônico que simultaneamente

otimiza os elementos de toda a rede [73, 74, 77 e 78]. Nativ em [69] apresenta um metodologia de projeto interessante baseado na aplicação de um roteiro prático de projeto de multiplicadores de freqüência, o qual utiliza a analogia entre multiplicadores e divisores de freqüência nas mesmas condições de nível de potência e freqüência de operação. Em [70] é apresentado um dispositivo reversível divisor por dois/dobrador de freqüência operando de 7,8-8,2 GHz/3,9-4,1 GHz. A diferença de desempenho apresentada foi no que tange à faixa dinâmica, tendo sido bem maior para a função dobrador de freqüência, já que para o divisor existe um limiar de potência de entrada para que a geração subharmônica ocorra [27].



Fonte: M. J. Nativ, "A Practical Guide to Frequency Multiplier Design," in *Proc. IEEE*, vol. 61, pp. 1020-1030, 1973.

Figura 29: Esquema em *microstrip* de um divisor paramétrico de freqüência de 1959.

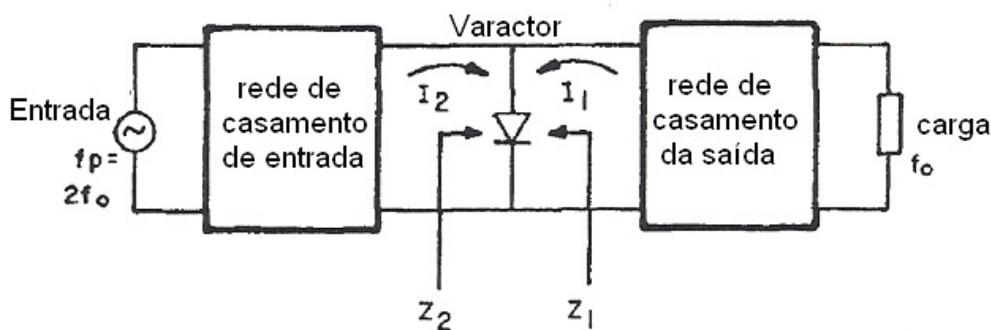


Figura 30: Diagrama em blocos de um divisor paramétrico de freqüência por dois, com um único varactor.

O projeto de divisores paramétricos平衡ados [13, 65-68, 79-83] elimina a necessidade de filtros de RF e melhora a resposta transiente. A Figura 31b apresenta o desenho da estrutura de um divisor de freqüência por dois paramétrico proposto por Harrison em [13] e [79]. Este apresenta um circuito ressonante subharmônico em linha de microfita (*microstrip*) composto por um par de linhas acopladas carregadas capacitivamente por varactores de *GaAs* casados. Esta

combinação forma um circuito em ponte. Um sinal de entrada na freqüência f_{in} bombeia os dois varactores em fase, isto é, em um modo par, enquanto a ressonância subharmônica na freqüência $f_{in}/2$ ocorre em um modo ímpar. O ressoador é balanceado com respeito à freqüência de saída $f_{in}/2$ e desbalanceado com respeito à freqüência de entrada f_{in} . A transformação do sinal de saída平衡ado em $f_{in}/2$ em um sinal desbalanceado é realizada por um transformador balum construído em microfita (*microstrip*) empregando uma linha em guia coplanar (CPW). O transformador CPW leva a uma assimetria fora da banda, causando um vazamento da freqüência f_{in} para a saída.

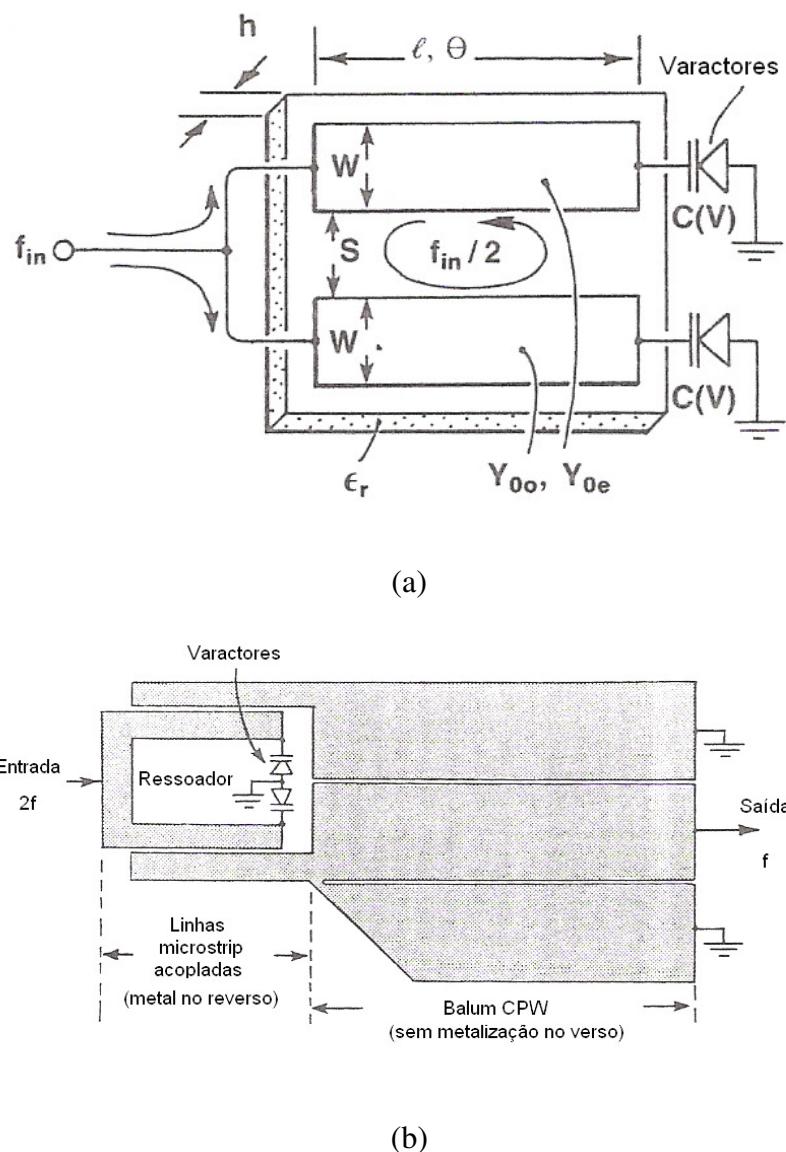


Figura 31: a: Desenho do circuito ressoador subharmônico balanceado proposto por Harrison; b: Desenho da estrutura do divisor por dois realizado em linha *microstrip/CPW* balanceada.

Considerando-se o circuito ressonante apresentado na Figura 31a, no qual foi possível desprezar-se a influência da rede de saída. Temos, assim, que o comprimento elétrico do par de linhas acopladas é θ , para um comprimento físico l . Cada linha é respectivamente carregada com um varactor, cuja capacitância média é C_0 na tensão de polarização V_b . As admitâncias de modo ímpar e par de cada linha são respectivamente, Y_{0o} e Y_{0e} . Já que o ponto de entrada comum às linhas acopladas é um nulo de tensão na freqüência $f_{in}/2$ (ressonância ímpar), o circuito equivalente é apresentado na Figura 32 e pode ser obtido pelo método de Sato e Cristal [84].

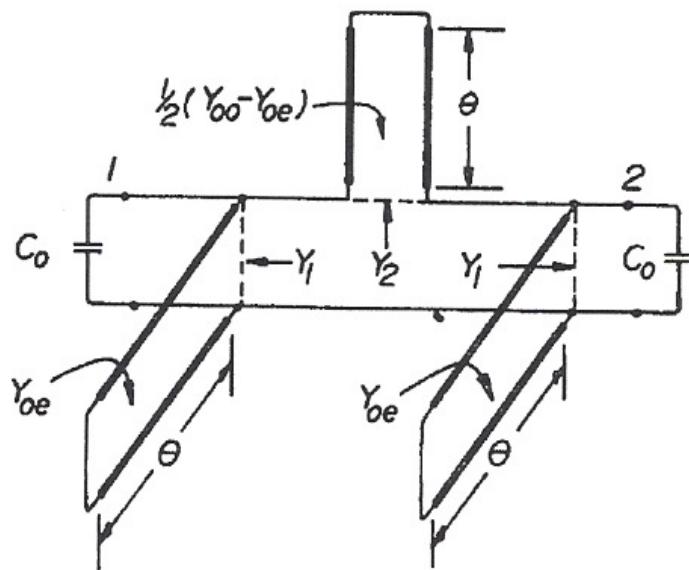


Figura 32: Esquemático do circuito equivalente de modo ímpar do ressoador em linhas acopladas carregadas pelas capacitâncias dos varactores.

As admitâncias indicadas são:

$$Y_1 = jwC_0 - jY_{0o} \cot \theta \quad (22)$$

$$Y_2 = -j \frac{1}{2} (Y_{0o} - Y_{0e}) \cot \theta \quad (23)$$

e, como a condição de ressonância para pequenos sinais na freqüência de saída é

$$f_0 = w_0 / 2\pi \quad (24)$$

tem-se

$$Y_1 + 2Y_2 = 0 \quad (25)$$

que leva a

$$w_0 C_0 = Y_{0o} \cot \theta \quad (26)$$

Como a condição de ressonância de modo-ímpar. Deve-se notar que a admitância Y_{0e} de modo-par não aparece nesta expressão. As linhas podem ser realizadas como a seguir [13].

Selecionam-se valores de largura de linha W e do espaçamento entre linhas S para um dado substrato de espessura H . Utilizando-se, por exemplo, os dados fornecidos por Weiss e Bryant [85] acham-se as admitâncias de modo-ímpar Y_{0o} e Y'_{0o} das linhas acopladas utilizando-se a constante dielétrica ϵ_r para o material do substrato e $\epsilon = 1$ para o vácuo, respectivamente. Já que θ é

$$\theta = \frac{w_0 l}{v} \quad (27)$$

e a velocidade de fase v é

$$v = c \frac{Y'_{0o}}{Y_{0o}} \quad (28)$$

A equação (26) leva a

$$l = \frac{c}{w_0} \frac{Y'_{0o}}{Y_{0o}} \arctan \left(\frac{Y_{0o}}{w_0 C_0} \right) \quad (29)$$

como o comprimento necessário.

O comportamento deste tipo de ressoador não-linear é diferente dos ressoadores lineares nos seguintes aspectos importantes: o comportamento ressoante é uma função do nível de sinal de entrada, em geral, a largura de banda ressoante cresce rapidamente com o crescimento do nível de sinal; a ressonância não é simétrica com respeito à freqüência, já que a variação devido ao nível de sinal leva a um crescimento da largura de banda em sua maior parte na região de freqüências abaixo daquela de ressonância a pequenos-sinais, w_0 . A teoria mostra que isto é verdade mesmo se o ressoador tem um valor de Q arbitrariamente elevado. Estas considerações significam que o ressoador deve ser projetado de forma que a freqüência de saída máxima ocorra na/ou próximo a freqüência de ressonante de pequenos-sinais f_0 .

O problema da assimetria do transformador CPW do circuito original proposto por Harrison pode ser evitado utilizando-se um ressoador completamente simétrico construído em linha microfita/linha fendida (*microstrip/slotline*). A Figura 33 apresenta um desenho estrutural de um divisor por dois proposto por Kalivas e Harrison em [67] e [83]. Este consiste de um substrato dielétrico de espessura h com uma linha *microstrip* de largura w em um lado e no outro lado um plano de terra incorporando uma linha *slotline* colinear de largura S . O ressoador subharmônico paramétrico é composto pelas reatâncias dependentes de tensão dos dois varactores, com uma seção sobreposta *microstrip/slotline* de comprimento l . O acoplamento de entrada/saída é minimizado pelo balanceamento de fase. Devido ao mecanismo de acoplamento não-linear entre este modo de ressonância e o modo ímpar, como dado pelas equações (19) e (21), a energia é transferida da freqüência de entrada para a freqüência-metade, fazendo com que correntes subharmônicas fluam através do caminho fechado indicado na Figura 33 em linha tracejada.

A Figura 34 apresenta uma realização para esta estrutura utilizando componentes discretos e uma transição *microstrip/slotline* simples. Nesta a impedância Z_0 de 50Ω da linha *microstrip* de entrada é casada à impedância dos dois varactores em paralelo pelas seções de linha com impedância Z_1 e Z_2 . A transição de saída converte o sinal subharmônico balanceado desenvolvido na linha *slotline* em um sinal de saída desbalanceado em linha *microstrip*. Este circuito pode ser empregado em freqüências de até 4 GHz.

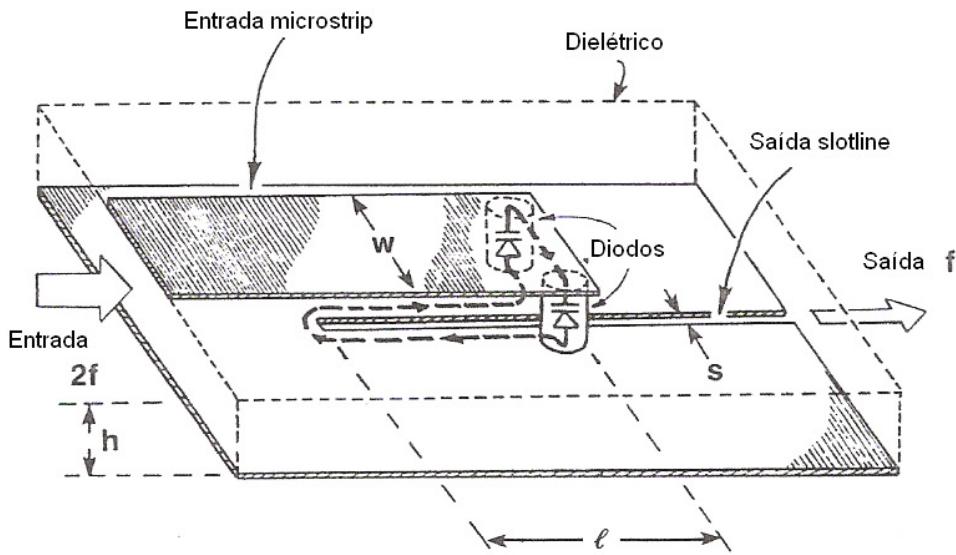


Figura 33: Desenho estrutural do divisor por dois em linhas *microstrip/slotline* proposto por Kalivas e Harrison.

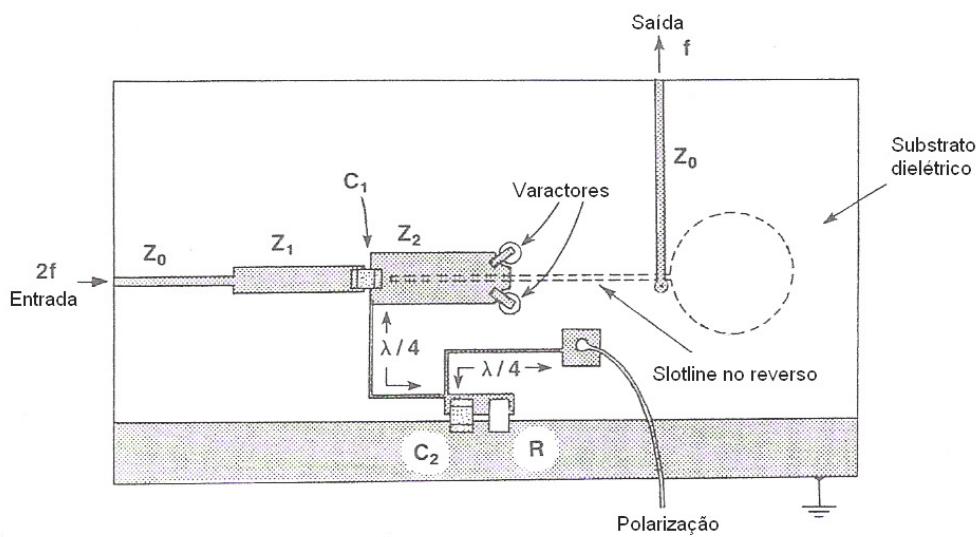


Figura 34: Desenho de realização para o divisor balanceado de freqüência por dois proposto por Kalivas e Harrison em [83].

Para freqüências mais elevadas, o projeto da Figura 35, que incorpora um transformador Marchand de quarta-ordem como uma combinação de transição e estrutura de casamento de saída, é mais apropriado [67]. Este tipo de rede pode ser projetado como descrito em [86].

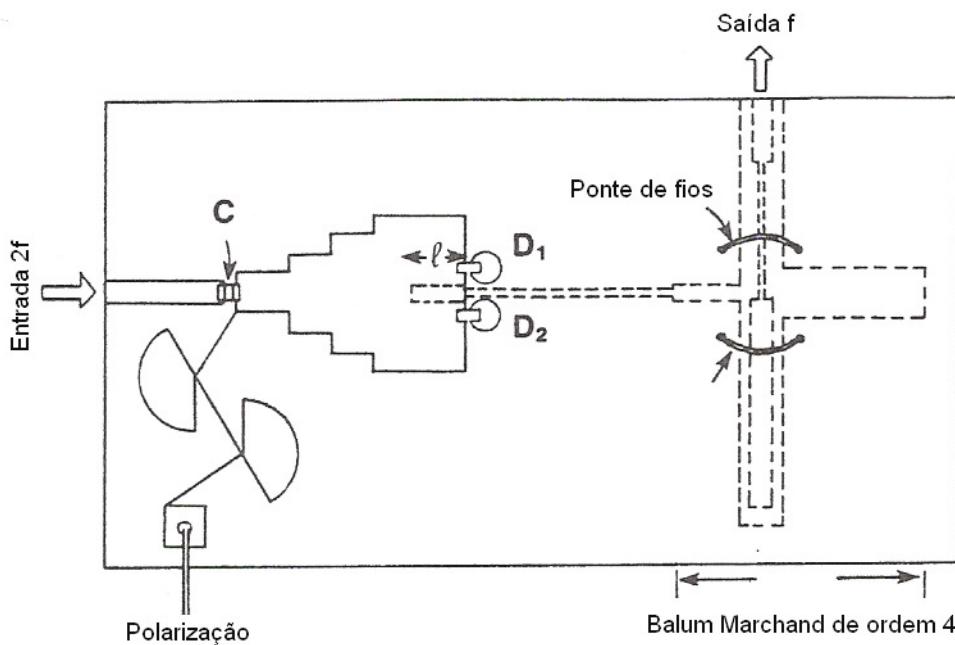


Figura 35: Representação esquemática do divisor de freqüência por dois proposto por Kalivas e Harrison em [67] e [83].

Foram propostas metodologias por Harrison e Cornish em [68] para melhoria da largura de banda e para aumento da faixa dinâmica de divisores paramétricos de freqüência por dois. Para melhoria na largura de banda foi empregado um ressoador quase concentrado onde pequenas voltas de fio agem como a indutância do ressoador, diminuindo o tamanho físico deste. Para a melhoria da faixa dinâmica foi proposto um arranjo para o circuito de polarização que varia automaticamente com a potência do sinal de entrada. Neste projeto foi obtida uma banda de 7 a 18 GHz e uma faixa dinâmica de 18 dB (13 dB melhor que os projetos convencionais).

Razões de divisão maiores que dois podem ser obtidas, assim como demonstrado por Cornish em [87]. Outros projetos interessantes podem ser verificados em [82] e [88].

3.5.3. Vantagens e desvantagens dos divisores paramétricos a varactores

São as seguintes, as principais vantagens deste tipo de divisores de freqüência [8] e [11]:

- Eles têm uma característica de ruído de fase muito boa;
- São praticamente insensíveis a variações extremas de temperatura;
- São simples de realizar e usar, já que não há problemas de dissipação de calor.
- Coerência de freqüência;
- Acurácia do processo de divisão; e
- Resposta a pulso de RF excelente.

A desvantagem destes divisores é a necessidade de pré-amplificadores e/ou pós-amplificadores para superar a perda de inserção. Embora, sinais FM possam ser divididos com sucesso [89], a geração de sinais espúrios pode ocorrer sob a condição de multifreqüências de entrada.

3.5.4. Divisores paramétricos de freqüência por dois a transistores

Em 1982 Cornish [90] patenteou um circuito divisor de freqüência paramétrico que emprega a capacitância não-linear entre porta e fonte de um MESFET. Desta forma, podia-se superar a obrigação de se utilizar amplificadores entre as seções em cascata de um circuito divisor de freqüência onde valores de divisão maiores que 2 em uma banda larga são necessários. A Figura 36 apresenta um desenho representativo deste circuito. E, a Tabela 5 apresenta o desempenho obtido nesta realização.

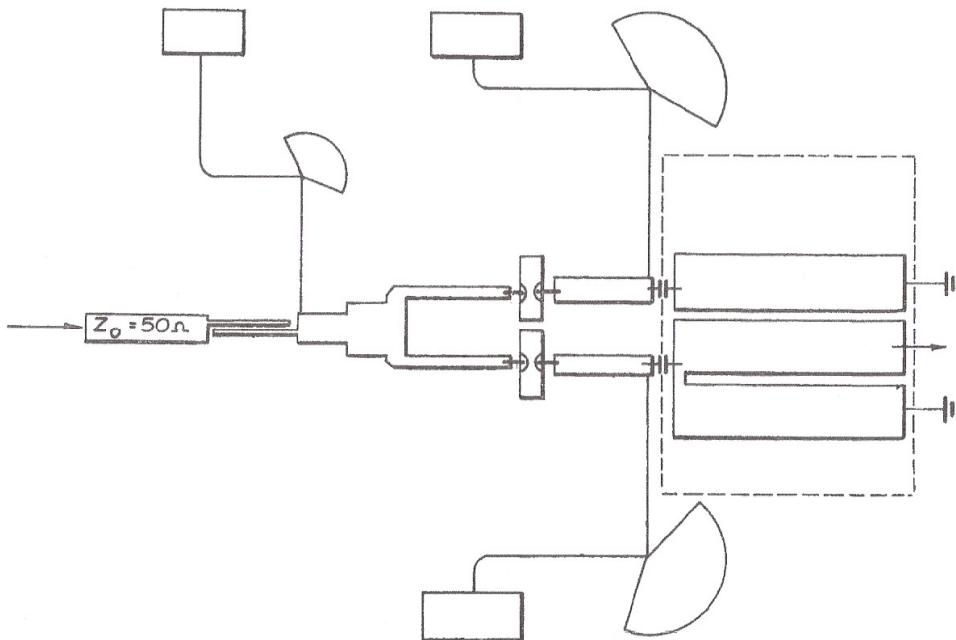


Figura 36: Desenho representativo do circuito proposto por Cornish em [90].

Tabela 5: Desempenho obtido pelo divisor de freqüência da referência [90].

| Característica | Valor |
|------------------------|-------------------------|
| Tensão de Porta | -1,69 V |
| Tensão de Dreno | 3,01 V |
| Freqüência de Operação | 3,773 GHz |
| Potência de Entrada | 6 dBm |
| Rejeição de f_{in} | 31 dB abaixo $f_{in}/2$ |
| Limiar de Divisão | 3,9 dBm |
| Potência de Saída | 7,4 dBm |
| Banda de Operação | 3,545 – 3,808 GHz |

Em 1986 Stapleton e Stubs [91] desenvolveram um divisor paramétrico de freqüência por dois em circuito monolítico de microondas de *GaAs*. O circuito operava em 12 GHz com uma largura de banda de 1,2 GHz, uma perda de conversão de 9 dB para uma potência de entrada de 18 dBm. Neste foram empregados dois MESFETs com um comprimento de porta de 1 μm em uma configuração balanceada. O circuito integrado monolítico de microondas (MMIC) tinha as dimensões de 0,5 mm x 1,5 mm.

Nenhuma outra topologia de circuito divisor paramétrico de freqüência por dois foi proposta até que em 2004, Heshmati *et al.* [10] propôs um projeto de pesquisa empregando PHEMTs (transistor de alta mobilidade de elétron pseudomórfica) para realização de divisores de freqüência paramétricos MMIC, onde a capacidade de junção não-linear do PHEMT em conjunto com redes de casamento de entrada e saída geram as freqüências subharmônicas, enquanto a amplificação é obtida pela transcondutância do dispositivo.

A metodologia de projeto empregada foi, então, desenvolvida em [92-94]. A Figura 37 apresenta uma foto do circuito proposto. E, a Tabela 6 apresenta um resumo das características do divisor realizado e apresentado em [93 e 94].

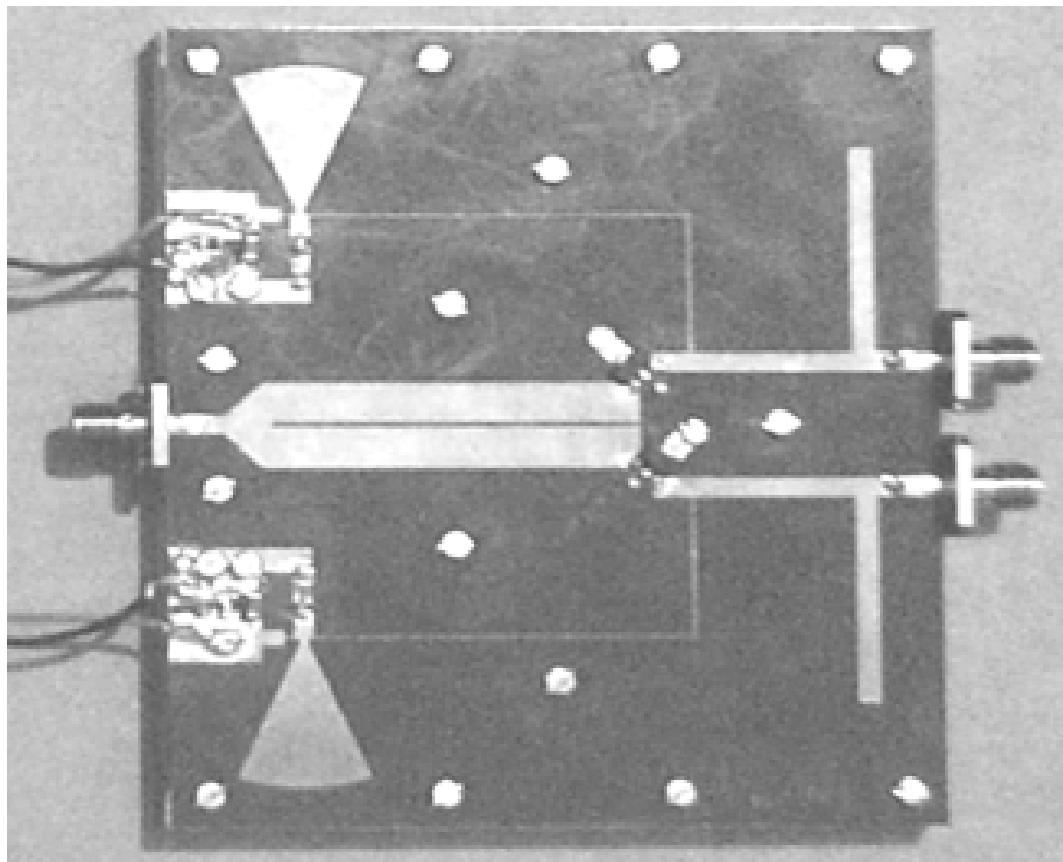


Figura 37: Foto do circuito realizado por Heshmati *et al.* em [93 e 94].

Tabela 6: Características do divisor de freqüência realizado em [93 e 94].

| Característica | Valor |
|---------------------------------------|---------------------|
| Banda de Operação | 1,85-2,05 GHz |
| Limiar de Potência | -14 dBm |
| Ganho de conversão: típico @ 2 GHz | 13,5 dB |
| máximo @ 1,88 GHz | 18 dB |
| Rejeição harmônica | >22 dB _c |

Esta proposta de projeto de Heshmati *et al.* não contou com a realização do circuito de transformação do sinal de saída balanceado em um sinal desbalanceado. Os autores propuseram apenas que este pudesse ser realizado por

um acoplador híbrido de 180° . Para o cálculo do circuito ressonante (um par de linhas acopladas carregadas cada uma pela capacitância não-linear entre porta e fonte $C_{gs}(v)$ de um PHEMT) utilizou-se um valor de capacitância $C_{gs}(v)$ médio igual a 3 pf.

Em [93 e 94] os autores apenas informam que para uma melhor desempenho o ponto de operação foi modificado de $V_{ds}=3,0V$ e $V_{gs} = -0,6V$ para $V_{ds}=3,15V$ e $V_{gs} = -1,0V$

3.6. Comentários e conclusões parciais

Foi apresentado o processo de divisão de freqüência, assim como, os principais tipos de divisores, sendo apresentadas as características, vantagens e desvantagens das principais topologias. Sendo verificado que a topologia mais adequada ao problema dos receptores de DE é a do divisor paramétrico de freqüência balanceado a transistor, já que esta apresenta resposta de pulso muito boa, baixo consumo, coerência de fase, baixo nível de espúrios, conservação da informação de amplitude, comparativa simplicidade de realização, insensibilidade a variação de temperatura, possibilidade de integração e ganho de conversão ou baixas perdas.