

## ARQUITECTURA DE COMPUTADORAS PRIMER PARCIAL

### Instrucciones generales:

1. Resuelva el examen correctamente a mano, es decir, usando lápiz y papel
2. Tome fotografía a sus respuestas
3. Genere un documento PDF, con las respuestas y adjunte a la asignación de classroom, el documento deberá llevar por nombre n.pdf, en donde n es su número de lista

### (10 pts) Relacione correctamente las columnas:

- |  |                                |
|--|--------------------------------|
| 1. ( ) Clasificación de Flynn a la que pertenecen los procesadores vectoriales.                            | a. Registro de ejecución       |
| 2. ( ) Arquitectura base de los procesadores superescalares  | b. MIMD                        |
| 3. ( ) Arquitectura en memoria que no divide programa de datos.  | c. Vectorial                   |
| 4. ( ) Si el procesador tiene una alu de 16 bits, de que tamaño son los datos del procesador               | d. SIMD                        |
| 5. ( ) Etapa de ejecución de una instrucción en donde se libera una nueva instrucción                      | e. Microinstrucción            |
| 6. ( ) Elemento que permite averiguar el estado del procesador después de haber ejecutado una instrucción. | f. Memoria de programa         |
| 7. ( ) Técnica de paralelismo a nivel de instrucción   | g. Acarreo anticipado          |
| 8. ( ) Elemento en el que se almacenan las instrucciones en un procesador                                  | h. Registros                   |
| 9. ( ) Elemento de memoria más cercano al procesador   | i. 20 retardos                 |
| 10. ( ) Sumador de alta velocidad  | j. Organización del procesador |
| 11. ( ) Elemento que guarda la dirección de la siguiente instrucción a ejecutarse                          | k. Contador de programa        |
| 12. ( ) Elemento de memoria más lejano al procesador   | l. Registro de banderas        |
| 13. ( ) Define los elementos y las conexiones entre ellos en un procesador                                 | m. CISC                        |
| 14. ( ) Arquitectura que se caracteriza por un conjunto grande y complejo de instrucciones                 | n. Overflow(OV)                |
| 15. ( ) Retardos para el acarreo C8 en un sumador con acarreo anticipado.                                  | o. Signo (N)                   |
| 16. ( ) Arquitectura de memoria que separa datos de instrucciones  | p. 2 retardos                  |
| 17. ( ) Define las características de los elementos de un procesador y su diseño                           | q. RISC                        |
| 18. ( ) Tipo de procesador que permite la ejecución de mas de una instrucción por ciclo de reloj.          | r. 64K x 20                    |
| 19. ( ) Elemento que almacena los datos que se utilizan en la ejecución de un programa                     | s. 32768 bits                  |
| 20. ( ) Define la forma en la que se almacena una instrucción en memoria                                   | t. Formato de instrucción      |
|  | u. 16 bits                     |
|  | v. Arquitectura del procesador |
|  | w. 10 retardos                 |
|  | x. Superescalar                |
|  | y. Harvard                     |
|  | z. Pila del procesador         |
|  | aa. Memoria de datos           |
|  | bb. Acarrero en cascada        |
|  | cc. Microflujo                 |
|  | dd. Sobreflujo                 |
|  | ee. 32 bits                    |
|  | ff. 8 retartos                 |
|  | gg. Búsqueda                   |
|  | hh. Decodificación             |
|  | ii. Ejecución                  |
|  | jj. Pipelining                 |
|  | kk. Von Newman                 |
|  | ll. 7 retardos                 |
|  | mm. RAM                        |
|  | nn. MIPS                       |

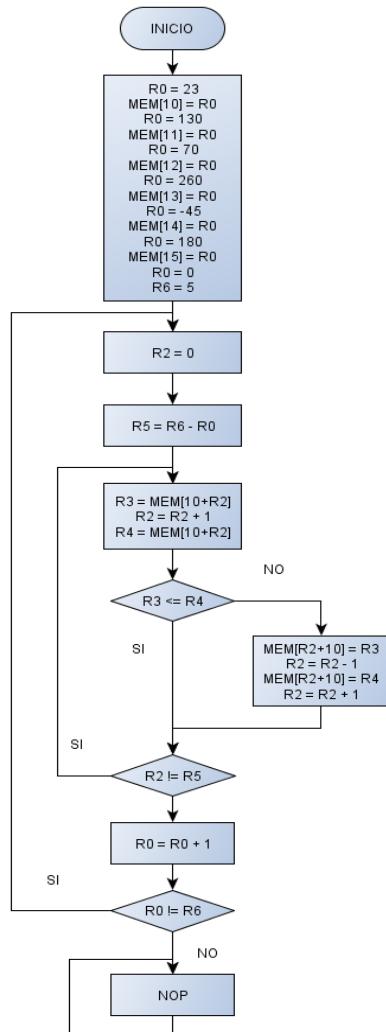
### Sección de problemas (60 pts)

- (20 pts)** Realice un programa usando el lenguaje ensamblador del ESCOMips que implemente el algoritmo mostrado en la siguiente figura.
- (10 pts)** Realice la memoria de programa del problema 1
- (30 pts)** Se tiene un procesador MIPS con las siguientes instrucciones en su set

27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Op_Li				Rd				Slit																			
27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Op_BNEQ				Rd				Rt								Slit											
27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Op_B												Lit															
27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Op_LWI				Rd										Lit													

Determinar:

- (5 pts)** Organización del archivo de registros:
- (5 pts)** Tamaño del  $_{bus}$  de datos de la arquitectura:
- (5 pts)** Organización de la memoria de Programa:
- (5 pts)** Organización de la memoria de datos:
- (5 pts)** Ventana relativa de salto :
- (5 pts)** Si el PC apunta a la dirección 0x621, ¿Cuál es el rango de direcciones a cubrir con el salto condicional?



**Cualquier examen RECIBIDO fuera de tiempo, NO SERÁ CALIFICADO**