

Práctica 4

Sumador de 8 bits con acarreo anticipado

1. Implementar el circuito sumador con esquema de acarreo anticipado para operandos de 8 bits, utilizando ciclos secuenciales (for-loop) en VHDL.
2. Generar la simulación con los siguientes estímulos y llenar la siguiente tabla

Operación	A	B	S	Cout
Suma	23	87		
Suma	26	95		
Suma	41	98		
Suma	186	36		
Suma	63	98		
Suma	60	15		
Suma	120	48		
Suma	11	8		
Suma	1	4		

3. Generar su reporte pdf, el cual deberá contener:
 - a. Código VHDL del sumador
 - b. Código VHDL del test-bench
 - c. Diagrama RTL
 - d. Forma de onda de la simulación
 - e. Tabla de resultados
4. Subir su reporte a Classroom, recuerde que el documento deberá llevar por nombre n.pdf, en donde n es su número de lista.

IMPORTANTE: NO SE CALIFICARÁ NINGUNA PRÁCTICA QUE NO CUMPLA CON LAS CARACTERÍSTICAS ARRIBA MENCIONADAS.