

### Practica 3

#### Sumador/restador de 4 bits con acarreo en cascada

1. Implementar el circuito sumador/restador con esquema de acarreo en cascada para operandos de 4 bits, utilizando ciclos en VHDL y componentes.
2. Generar la simulación con los siguientes estímulos y llenar la siguiente tabla

Operación	A	B	S	Cout
Suma	6	7		
Suma	6	9		
Suma	4	9		
Resta	15	1		
Suma	3	10		
Resta	12	5		
Resta	14	8		
Resta	10	6		
Resta	9	4		

3. Generar su reporte pdf, el cual deberá contener:
  - a. Código VHDL del sumador
  - b. Código VHDL del test-bench
  - c. Diagrama RTL
  - d. Tabla de resultados
4. Subir su reporte a Classroom, recuerde que el documento deberá llevar por nombre n.pdf, en donde n es su número de lista.
5. Identificar a los integrantes de su equipo, mediante la lista publicada en la misma asignación, y ponerse de acuerdo para, en equipo probar la implementación en el laboratorio remoto.
6. Presentar la práctica, en equipo, en video llamada en la fecha fijada

**IMPORTANTE: NO SE CALIFICARÁ NINGUNA PRÁCTICA QUE NO CUMPLA CON LAS CARACTERÍSTICAS ARRIBA MENCIONADAS.**