

RELATÓRIO PRÁTICA 5

Título: Laboratory exercise 8 – memory blocks

NOME: Luis Henrique Ponciano dos Santos NUSP: 155777660

NOME: Gabriel de Araujo NUSP: 14571376

NOME: Gabriel Demba NUSP: 15618344

Parte 1: Aprender a criar blocos de memória para FPGA

Visão geral

- O exercício foi utilizar as ferramentas do quartus para criar blocos de memória de 32 bits em 4 linhas (32x4)
- Além disso, instanciou-se o bloco de memória para utilizar em outro módulo, como nos próximos exercícios.

Descrição do código

- Trata-se de um bloco de memória de 32 bits em 4 linhas.

Parte 2: Utilização do bloco de memória na placa FPGA

Visão geral

- Função: utilizar a instância de memória criada para fazer testes na placa FPGA.

Descrição do código

- O código possui a instância da memória da FPGA de 32x4 e uma parte principal, que depende de "KEY0", um STD_LOGIC que funciona como um clock. Quando o key0 tem borda de subida, os switches são analisados. Caso o switch 9 esteja em '1', isso significa armazenar. Dessa forma, os switches 3-0 informam os dados e os switches 8-4 o endereço. Após a borda de subida, o valor dos dados e o endereço são enviados ao bloco de memória instanciado para serem armazenados. Caso o switch 9 esteja em '0', então o endereço será enviado para a instância, mas desta vez para que o dado armazenado no endereço seja lido. Após a leitura, ele é mostrado no display de 7 segmentos.

Simulações

- O comportamento foi estudado a partir de uma simulação via placa FPGA.
- Resultados: o comportamento nos mostrou que foi possível armazenar os valores nos endereços de memória e depois recuperá-los, mostrando no display de sete segmentos.

Parte 3: Memória auxiliar com vetor

Visão geral

- Função: utilizar uma memória auxiliar criada como vetor ao invés de um arquivo memória instanciado.

Descrição do código

- O código é similar ao da parte 2, com as mesmas funções, mas desta vez a memória não é instanciada, mas sim um vetor de vetor para simular a memória. Nesse caso, é um vetor de 4 linhas e em cada linha há um vetor de 32 espaços para que seja desenvolvido uma memória 32x4.

Simulações

- O comportamento foi testado por meio da placa FPGA
- Resultados: o comportamento foi o mesmo da parte 2, demonstrando que a memória auxiliar criada por meio de vetores funcionou corretamente.

Parte 4: instanciar memória com clock da placa FPGA

Visão geral

- Função: implementar um contador automático que vai de endereço a endereço armazenando ou lendo dados na memória instanciada.

Descrição do código

- Os principais componentes são a memória ram32x4, instanciada com base nas partes anteriores e o display de sete segmentos, que foi desenvolvido por meio de uma função. Além disso, utilizou-se um divisor de clock para que o clock da placa (de 50 MHZ) fosse dividido em unidades de segundo, a fim de a contagem ser mais lenta. O endereço de leitura é gerado automaticamente por um contador, enquanto o endereço e os dados de escrita são configurados manualmente pelos switches. O circuito também inclui um reset ativo baixo para reiniciar o contador e desabilitar a escrita.

- Entradas e saídas:

Sw 9: controla a leitura/escrita na memória

Sw 8-4: Endereço de escrita

Sw 3-0: Dados a serem lidos ou escritos na memória

Key0: Reset que reinicia o contador

HEX0: dados lidos da memória

HEX1: dados a serem escritos

HEX2 e 3: endereço atual de leitura

HEX 4 e 5: endereço atual de escrita

Simulações

- As simulações de memória foram feitas via placa FPGA.
- Resultado: o comportamento automático dos endereços funcionou corretamente