

RELATÓRIO PRÁTICA 1

Título: Laboratory Exercise 3

NOME: Luis Henrique Ponciano dos Santos

NUSP: 155777660

NOME: Gabriel Araújo

NUSP: 14571376

NOME: Gabriel Demba

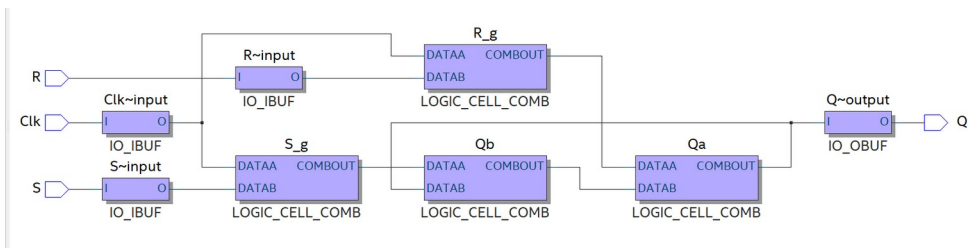
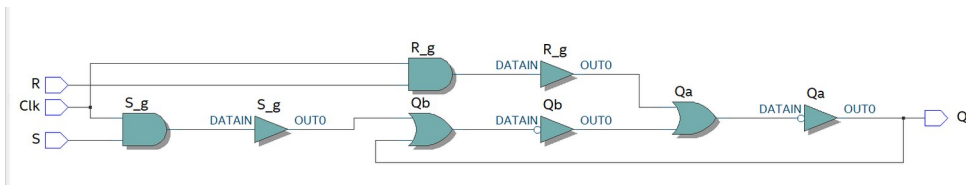
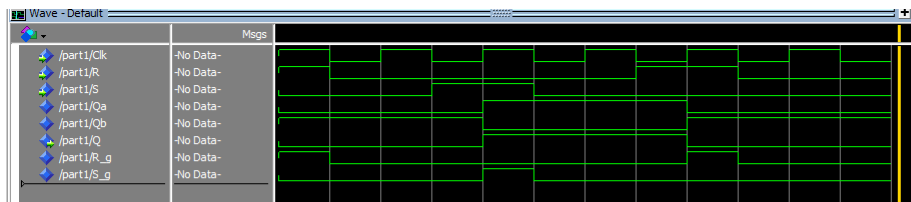
NUSP: 15618344

Parte 1: Implementação do Gated SR Latch

Visão geral

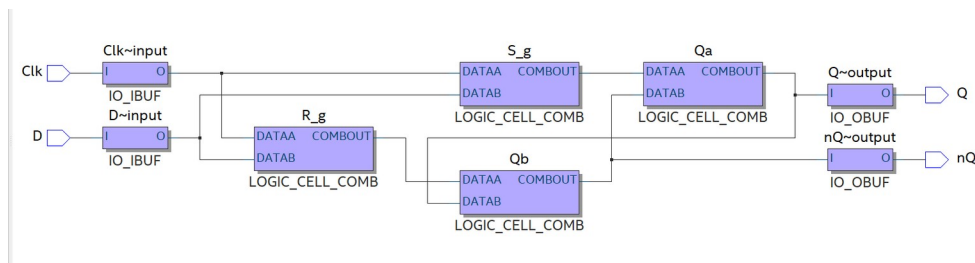
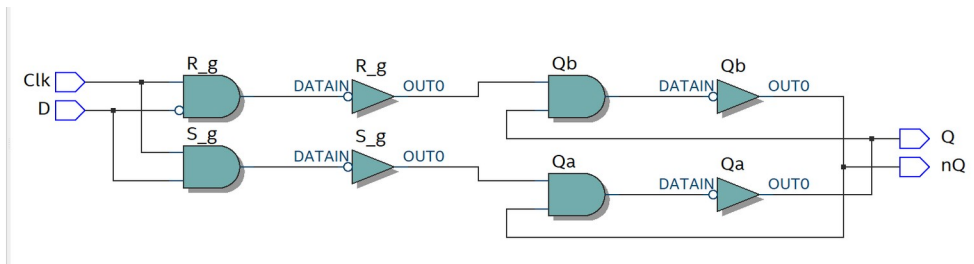
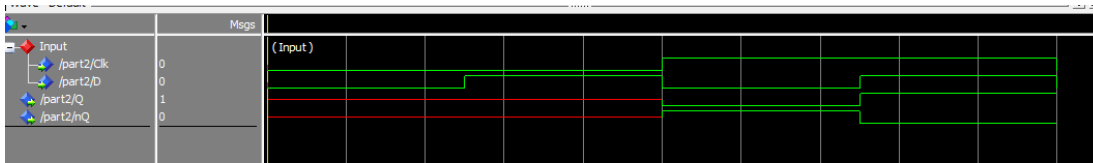
- Função: Armazenar o estado do bit de saída Q.
- Operações:
 - SET: Quando S = 1, Q é definido como 1.
 - RESET: Quando R = 1, Q é redefinido para 0.

Simulações



Parte 2: Implementação do Gated D Latch

Simulações



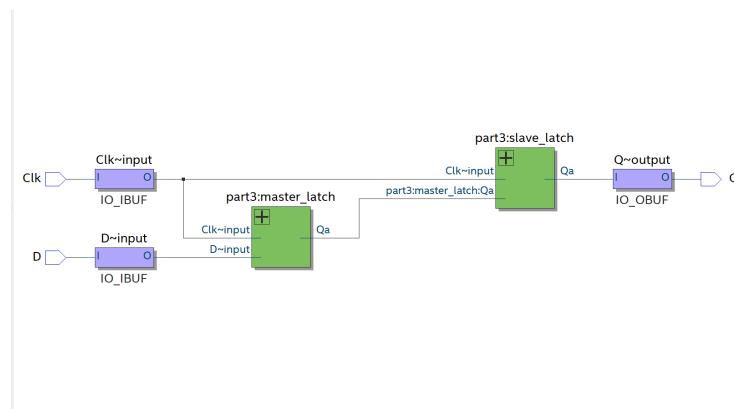
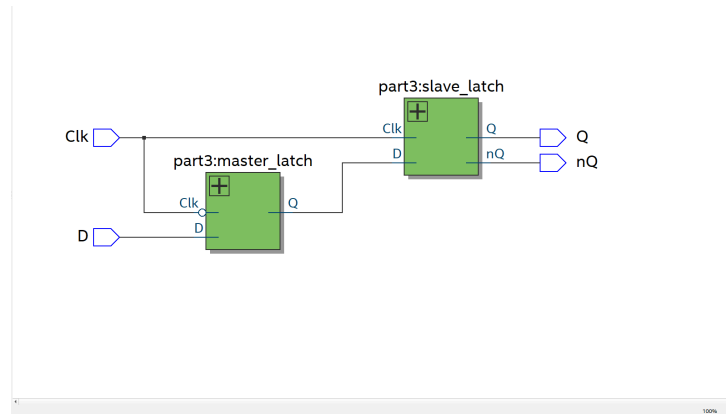
Parte 3: Flip-Flop Master-Slave

Visão geral

- Função: Implementar um flip-flop tipo D utilizando dois latches D em sequência (Master e Slave), com sinais de clock de descida.

Simulações

Part III - Master Slave]



Parte 4: Flip-Flop Tipo D (Borda Negativa)

Visão geral

- Função: Implementar um flip-flop tipo D com ativação na borda negativa do clock.

Simulações

