# RELATÓRIO PR**ÁTICA 1** - 20/08/24

NOME: Luis Henrique Ponciano dos Santos NUSP: 155777660

NOME: Gabriel Araújo NUSP: 14571376

NOME: Gabriel Demba NUSP: 15618344

## Parte 1: Implementação do Gated SR Latch

### Visão geral

- Função: Armazenar o estado do bit de saída Q.  
- Operações:  
 - SET: Quando S = 1, Q é definido como 1.  
 - RESET: Quando R = 1, Q é redefinido para 0.

### Descrição do código

Foi utilizado um latch SR sincronizado com o clock. Os sinais R e S são combinados com o clock para gerar os sinais intermediários R\_g e S\_g. O comportamento do latch é determinado pela lógica combinacional entre Q\_a e Q\_b.

### Simulações

- ModelSim: Resultados esperados foram observados, validando o comportamento SET e RESET.  
- RTL Viewer: O design foi corretamente sintetizado para um latch SR.  
- Technology Map Viewer: O mapeamento da lógica confirma a otimização do design.

## Parte 2: Implementação do Gated D Latch

### Visão geral

- Função: Armazenar valores estáveis enquanto o sinal de clock está ativo.

### Descrição do código

Um latch D foi construído a partir de um latch SR com portas NAND. Os sinais D e NOT(D) são utilizados para controlar os sinais de entrada R e S.

### Simulações

- ModelSim: O comportamento foi validado para todas as combinações de D e Clk.  
- Observações: O latch armazena valores estáveis apenas durante o período ativo do clock.

## Parte 3: Flip-Flop Master-Slave

### Visão geral

- Função: Implementar um flip-flop tipo D utilizando dois latches D em sequência (Master e Slave), com sinais de clock invertidos para maior estabilidade.

### Descrição do código

Foi criado um módulo master\_slave\_ff que instancia dois módulos part3, representando os latches Master e Slave. Um sinal de clock invertido garante que o estado do flip-flop altere-se apenas na borda ativa do clock.

### Simulações

- O comportamento foi testado para todas as combinações de sinais D e Clk.  
- Resultados: O flip-flop alterou seu estado apenas na borda de subida do clock, validando a estabilidade do design.

## Parte 4: Flip-Flop Tipo D (Borda Negativa)

### Visão geral

- Função: Implementar um flip-flop tipo D com ativação na borda negativa do clock.

### Descrição do código

Utilizou-se uma abordagem de portas lógicas para criar o flip-flop. Os sinais Q e nQ foram derivados de combinações de sinais intermediários sintetizados.

### Simulações

- Foram realizados testes comparativos entre diferentes tipos de latches e flip-flops.  
- Resultados: O flip-flop operou corretamente, demonstrando ativação apenas na borda negativa do clock.