

Tema 2

Microcontrolador PIC. Generalidades



Elección de un microcontrolador

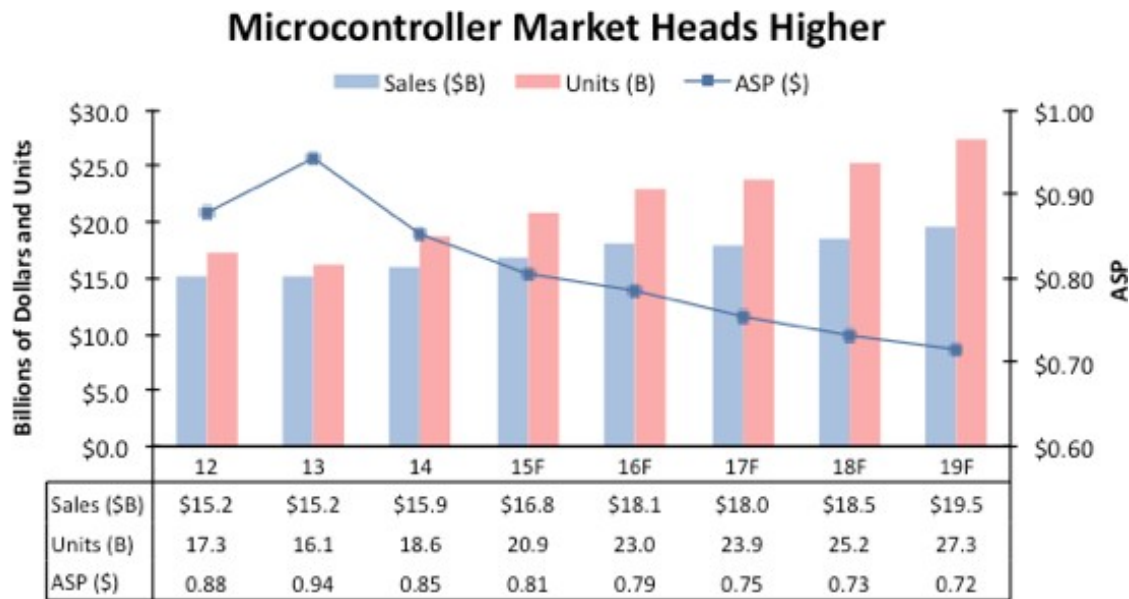
- Decisión multivariable. No hay un óptimo evidente
- Factores:
 - Herramientas de desarrollo
 - Base de conocimientos
 - Precio y disponibilidad
 - Familia versátil y en desarrollo
 - Cantidad de memoria y periféricos
 - Solidez del fabricante y posibilidad de segundas fuentes
- Muchos fabricantes, no todos *populares*
- ¿Cuáles son los 3 mayores vendedores de MC ?
 - NXP, Renesas, Microchip (2016)

Elección de un microcontrolador

- Datos de mercado: Arquitecturas

Mercado global de microcontroladores

Arquitecturas más populares:



Source: IC Insights

Intel (8051)
Renesas
Atmel AVR
ARM
Microchip
Freescale
ST
Infineon

Fabricantes de microcontroladores y familias

- Texas Instruments.



- MSP430 (16bit)
- F2xxx (32 bit)

- ST



- STM8 (8 bit)
- STM32 (32 bit ARM)

- Freescale (parte de NXP)



- HCS08 (8 bit)
- Coldfire (32 bit)

- Atmel (parte de Microchip)



- AVR (8 y 32 bit)
- AT91SAM (32 bit ARM)

- Renesas (+ NEC)



- 740, 78K0S (8 bit)
- R32C, RX (32 bits)

- Microchip



- Pic16F, Pic18F (8 bit)
- Pic24F (16 bit)

Decisión final

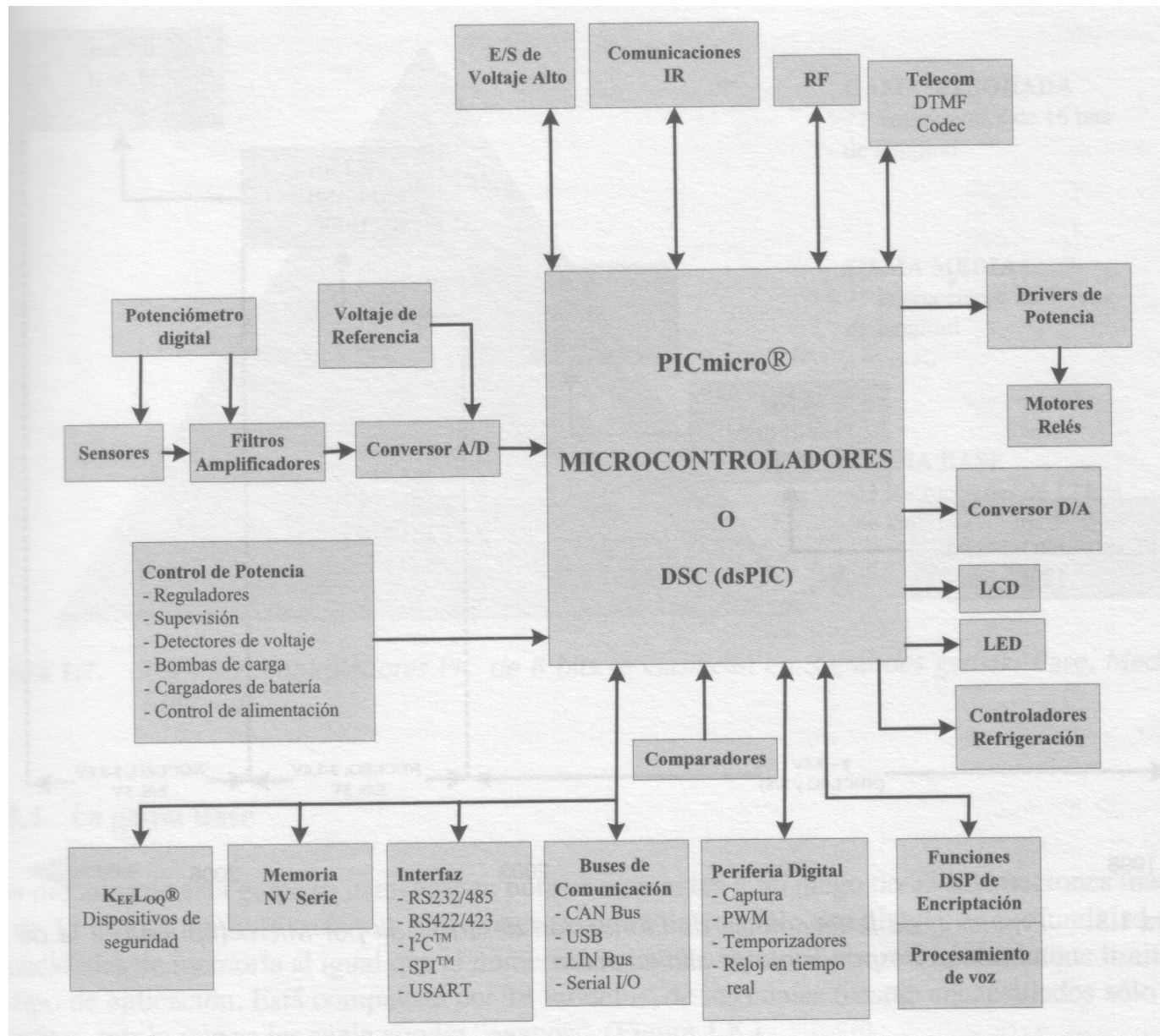
- **Familia PIC de Microchip**
 - Arquitectura emergente
 - Muy implantado en electrónica de consumo
 - Gran base de datos de conocimiento
 - Herramientas gratuitas o muy baratas
 - Familias compatibles con periféricos y cantidad de memoria muy diversas.



Algunos datos

- Microchip Technology nació en 1989, como una escisión de General Instruments
- Fabricante de memorias, microcontroladores, dispositivos analógicos, de potencia, RF, interfaz, y de señal mixta.
- 43% de ventas en Asia, 29% América, 28% Europa
- Sectores PIC: 35% electrónica de consumo, 18% automoción

Interfaces de los PICs



Generalidades PLCs

- **Familias de microcontroladores dependiendo de**
 - Tipo de memoria: Flash, OTP, ROM, ninguna
 - Pines E/S: 4-18, 20-28, 32-44, >44
 - Tamaño de memoria: 0.5-1K, 2-4K, 8-16K, 24-32K, 48-64K, 96-128K
 - Periféricos: CAN, USB, LCD, motor, RF, ...
 - Tensión de alimentación: normal, LV...

Generalidades PLCs

• Características comunes

- Arq. Harvard
- RISC
- Puertos E/S digital
- Timer con prescaler
- Reset on-chip
- Watchdog
- Modo Sleep
- Alta corriente de salida
- Modos direccionamiento directo, indirecto y relativo
- Memoria RAM para datos
- Memoria programa ROM o flash

Características opcionales

- Entradas analógicas
- Comparadores analógicos
- Timers adicionales
- EEPROM
- Interrupciones externas o internas
- Oscilador interno
- Salida PWM
- Interfaz serie (USART)
- Bus CAN, I2C o USB
- Interfaz SPI
- Control de motores

Familias PICs

Clasificación según el *ancho* de las instrucciones

Serie básica: ancho de 12 bits

Serie media: ancho de 14 bits

Serie avanzada: ancho de 16 bits

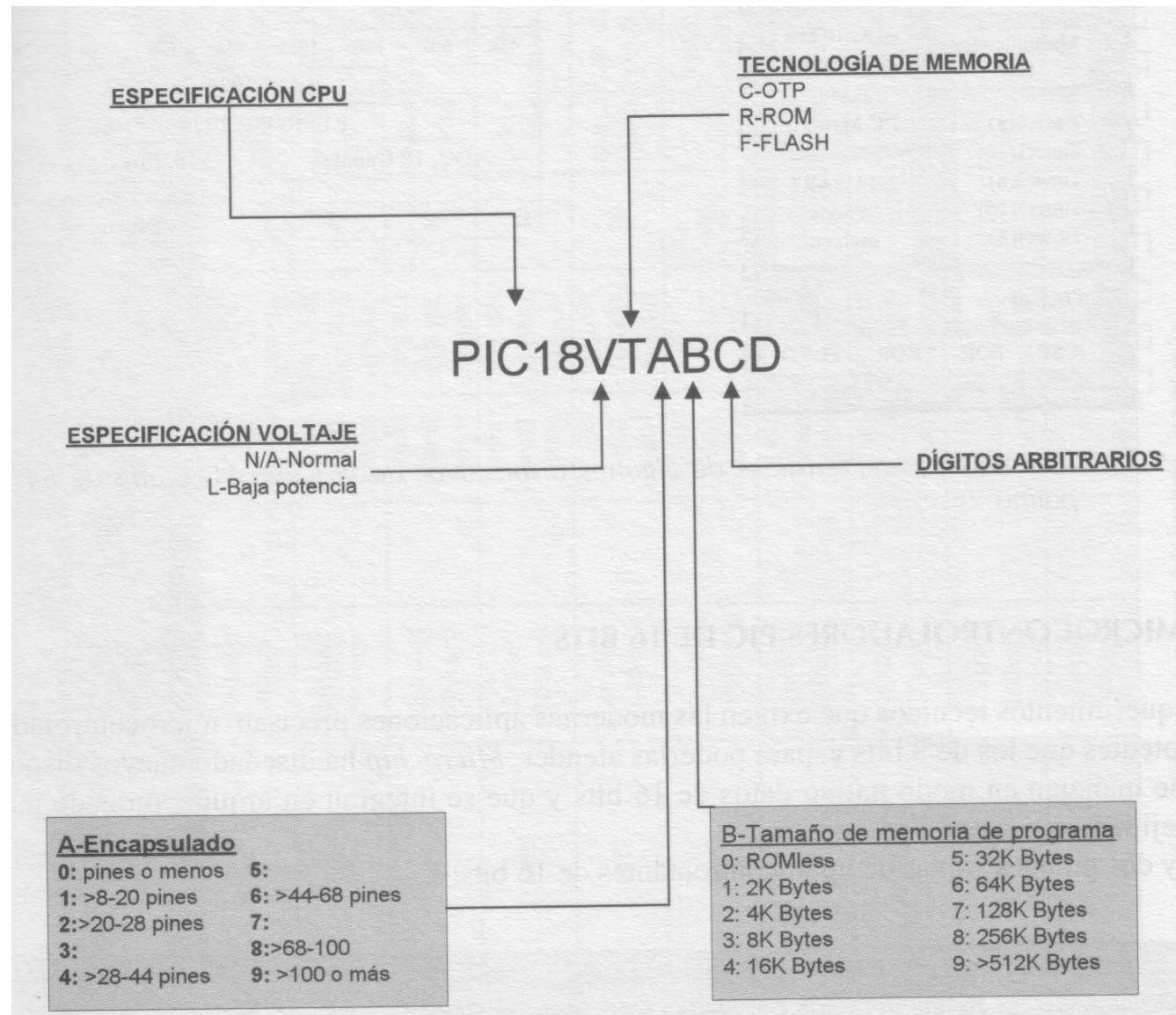
Instrucciones
de 12 bits

Instrucciones
de 14 bits

Instrucciones
de 16 bits

Microcontroller	Program	Data	Max Speed	I/O	A/D
Microcontroller	Program Memory	Data RAM	Max Speed (MHz)	I/O Ports	A/D Converter
16C554	512 × 14	80	20	13	–
16C64	2048 × 14	128	20	33	–
Microcontroller	Program Memory	Data RAM	Max Speed (MHz)	I/O Ports	A/D Converter
17C43	4096 × 16	454	33	33	–
17C752	8192 × 16	678	33	50	12
18C242	8192 × 16	512	40	23	5
18C252	16384 × 16	1536	40	23	5
18F4520	32768 × 16	1536	40	36	13

Nomenclatura



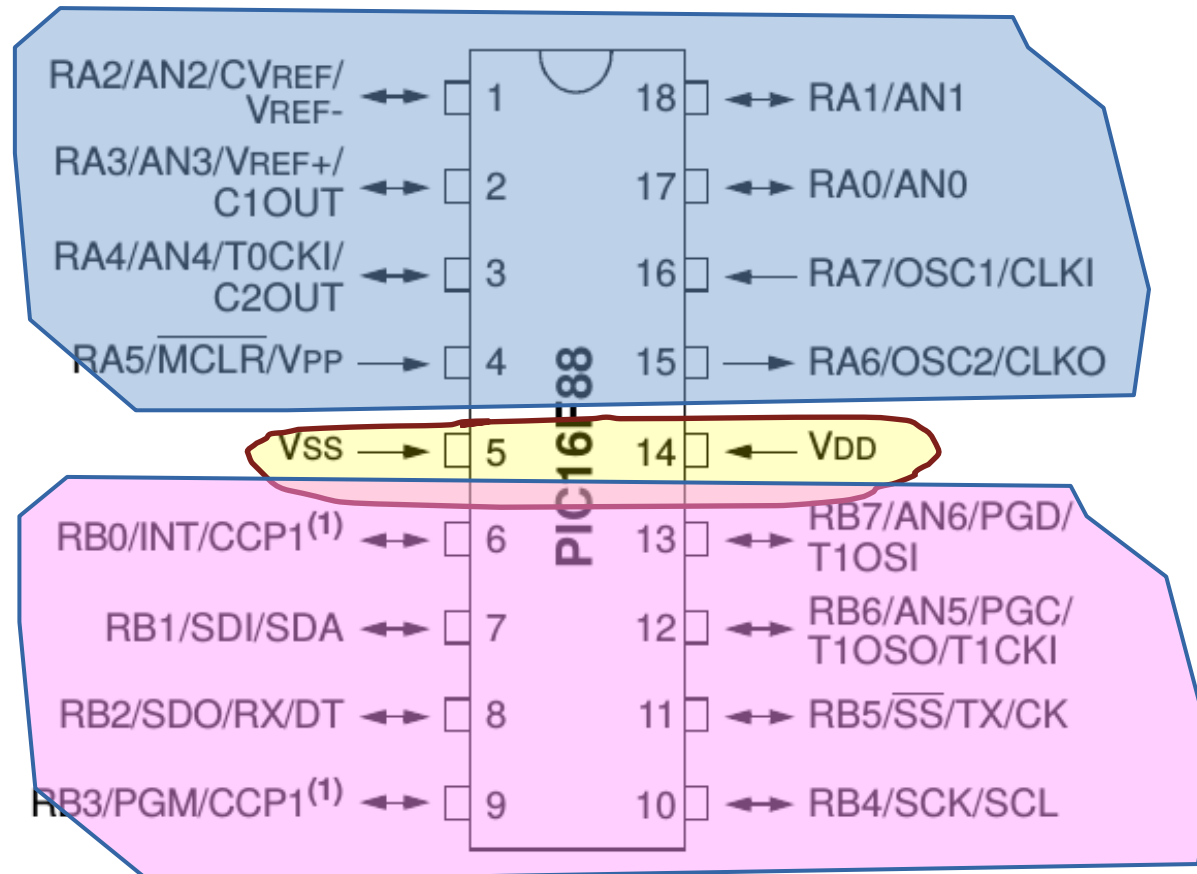
PIC 16F88

18 pines DIP (20 SSOP)

2 puertos de 8 bits

CAD, Timers,
comunicaciones

Alimentación/oscilador



PIC 16F88

4k Flash programa (14 bits)

368 bytes RAM de datos (8bit)

256 bytes de EEPROM (8bit)

ALU con acumulador (W)

P.O.R. y WDOG

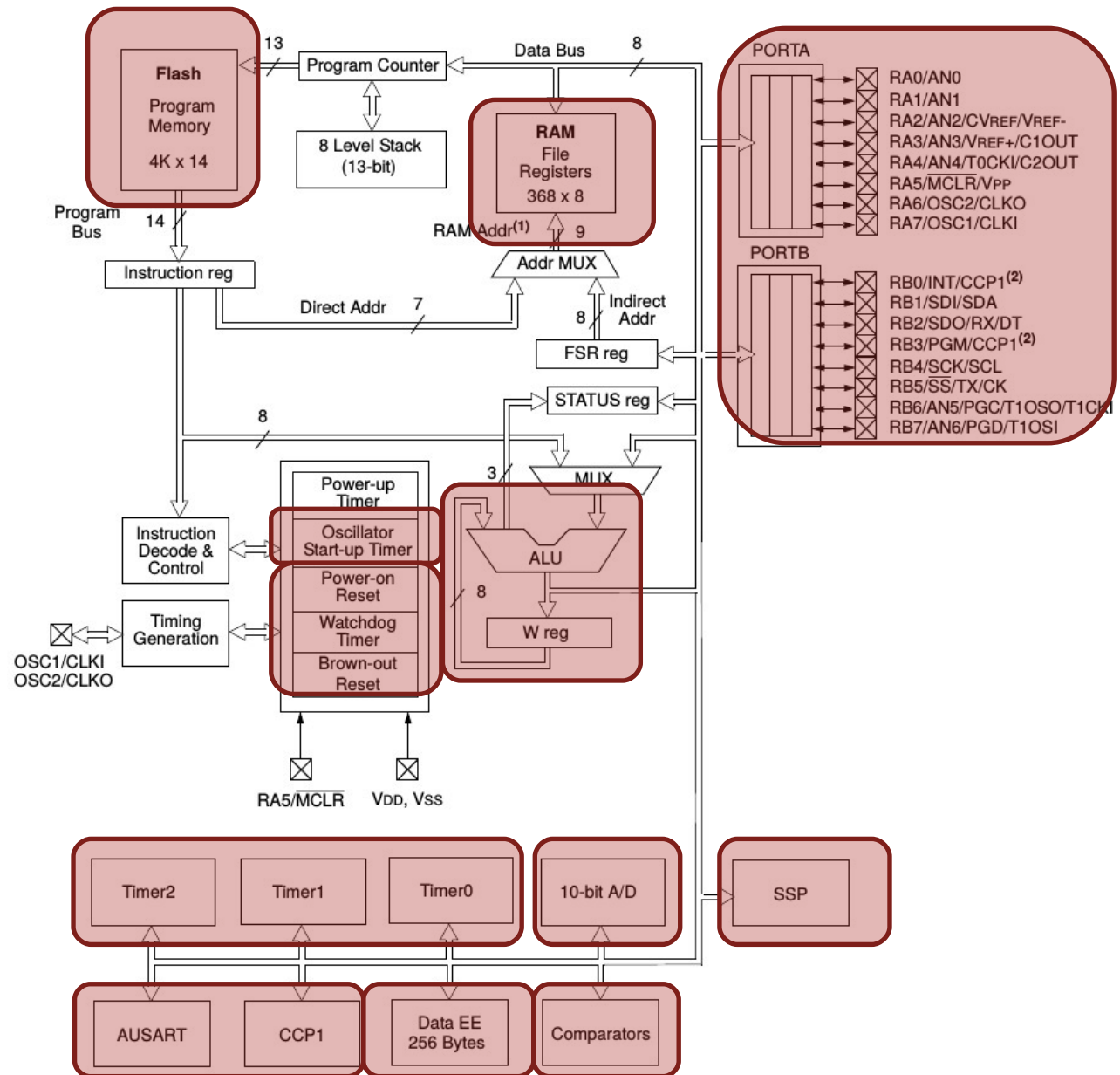
Oscilador interno

Timer0, 1 y 2

Puertos de E/S

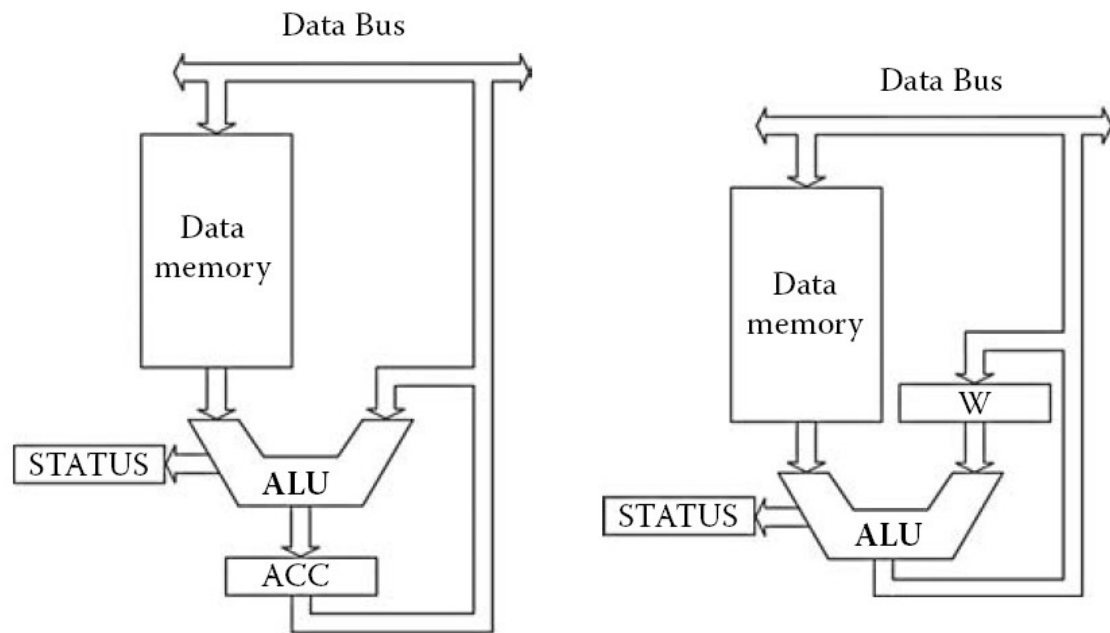
Línea de int. Ext.

CAD, USART, SSP, CCP



ALU del PIC

Particularidad: el registro W es similar pero NO es un *acumulador* :



Posibilidad de almacenar directamente el resultado en un registro / memoria.

Memoria

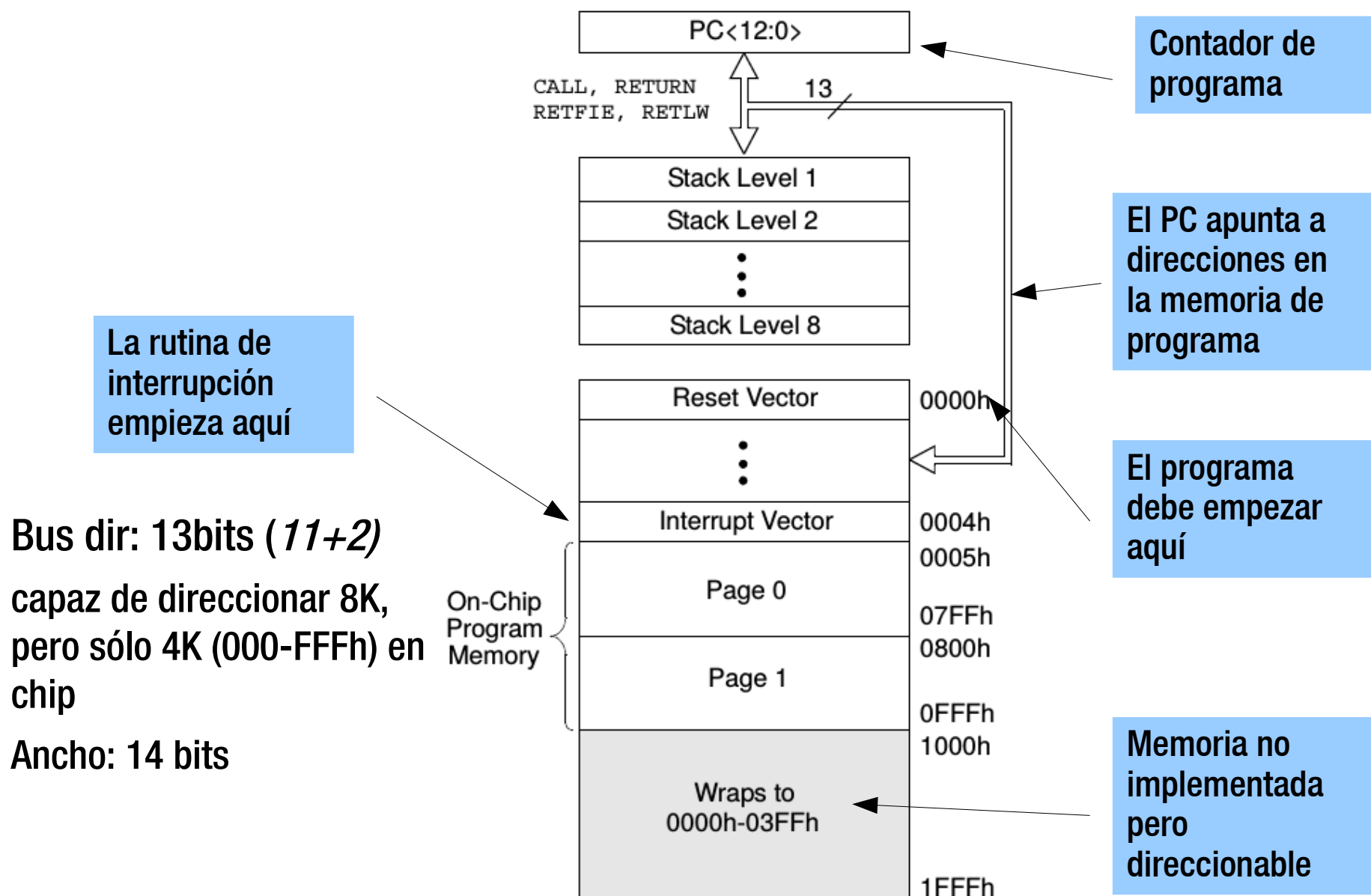
4k de memoria de programa (14bits). Flash

368 bytes de datos (8 bits). SRAM volátil

256 Bytes de EEPROM (8 bits). EEPROM no volátil

Pila Hardware (8 x 13b). SRAM

Mapa de memoria de programa



Bancos de memoria de datos

La memoria de datos está organizada en 4 *bancos*

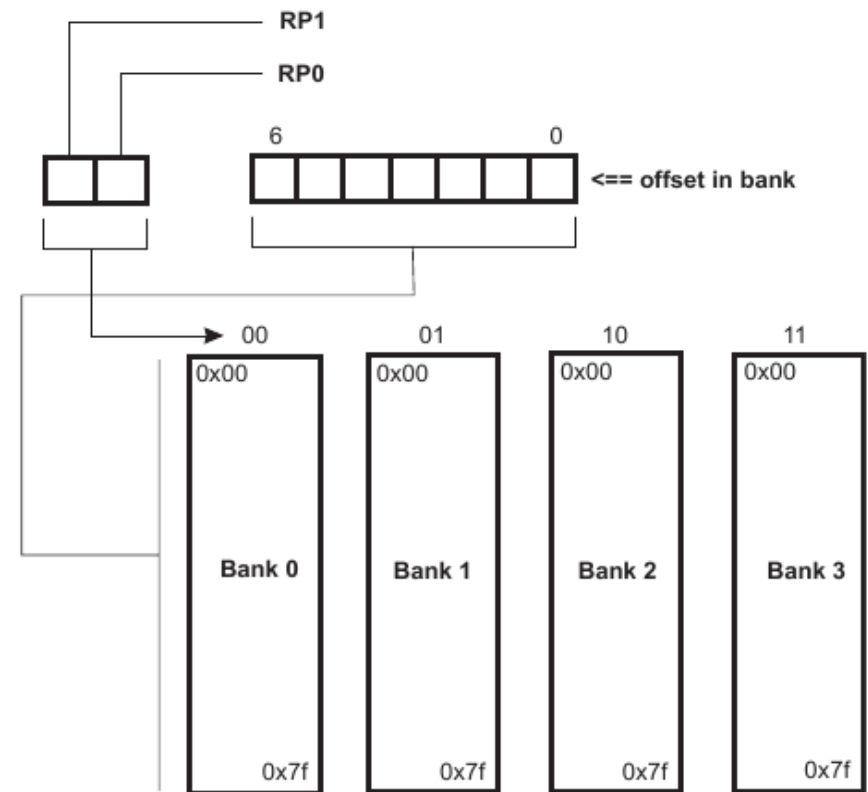
Cada *banco* tiene 128 posiciones

Con 2 bits del registro STATUS se selecciona el banco

En total, *hasta* 512 posiciones accesibles (9 bits)

Una vez elegido el banco, sólo necesitamos 7 bits para especificar una posición.

En esta memoria, datos y registros de configuración



Bancos de memoria de datos

File Address	File Address	File Address	File Address
Indirect addr. ^(*) 00h	Indirect addr. ^(*) 80h	Indirect addr. ^(*) 100h	Indirect addr. ^(*) 180h
TMR0 01h	OPTION_REG 81h	TMR0 101h	OPTION_REG 181h
PCL 02h	PCL 82h	PCL 102h	PCL 182h
STATUS 03h	STATUS 83h	STATUS 103h	STATUS 183h
FSR 04h	FSR 84h	FSR 104h	FSR 184h
PORTA 05h	TRISA 85h	WDTCON 105h	
PORTB 06h	TRISB 86h	PORTB 106h	TRISB 186h
PCLATH 0Ah	PCLATH 8Ah	PCLATH 10Ah	PCLATH 18Ah
INTCON 0Bh	INTCON 8Bh	INTCON 10Bh	INTCON 18Bh
PIR1 0Ch	PIE1 8Ch	EEDATA 10Ch	EECON1 18Ch
PIR2 0Dh	PIE2 8Dh	EEADR 10Dh	EECON2 18Dh
TMR1L 0Eh	PCON 8Eh	EEDATH 10Eh	Reserved ⁽¹⁾ 18Eh
TMR1H 0Fh	OSCCON 8Fh	EEADRH 10Fh	Reserved ⁽¹⁾ 18Fh
T1CON 10h	OSCTUNE 90h		
TMR2 11h			
T2CON 12h	PR2 92h		
SSPBUF 13h	SSPADD 93h		
SSPCON 14h	SSPSTAT 94h		
CCPR1L 15h			
CCPR1H 16h			
CCP1CON 17h			
RCSTA 18h	TXSTA 98h		
TXREG 19h	SPBRG 99h		
RCREG 1Ah			
	ANSEL 9Bh		
	CMCON 9Ch		
	CVRCON 9Dh		
ADRESH 1Eh	ADRESL 9Eh		
ADCON0 1Fh	ADCON1 9Fh		
General Purpose Register 96 Bytes	General Purpose Register 80 Bytes	General Purpose Register 80 Bytes	General Purpose Register 80 Bytes
	accesses 70h-7Fh	accesses 70h-7Fh	accesses 70h-7Fh
Bank 0	Bank 1	Bank 2	Bank 3

Instrucciones

Cuatro tipos:

De Byte:

6bit de código, 1 de destino, 7 de dirección (+2 de banco)

De Bit:

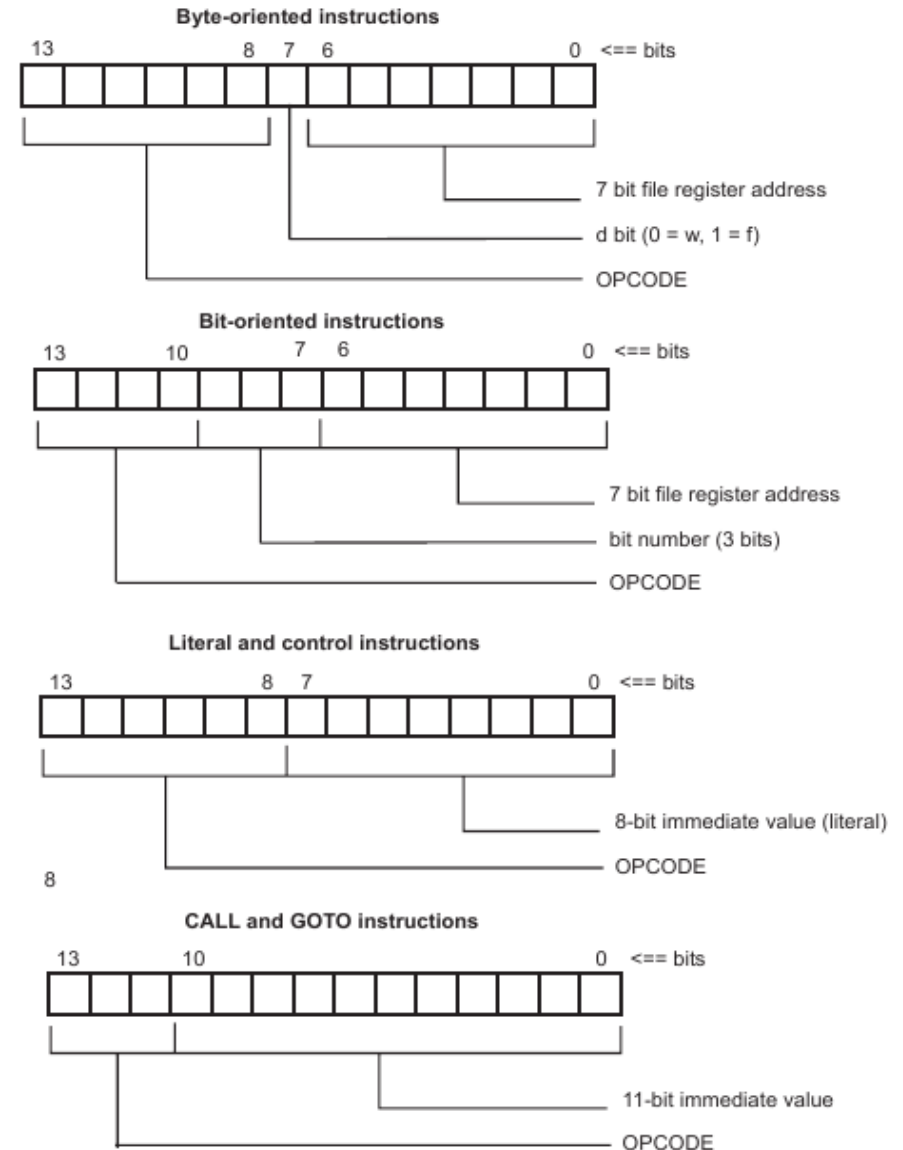
4bit de código, 3 de nº de bit, 7 de dirección (+2 de banco)

Literales y de control:

6bit de código, 8 de operando (inmediato)

CALL / GOTO:

3bit de código, 11 de dirección de salto (+2 de banco)

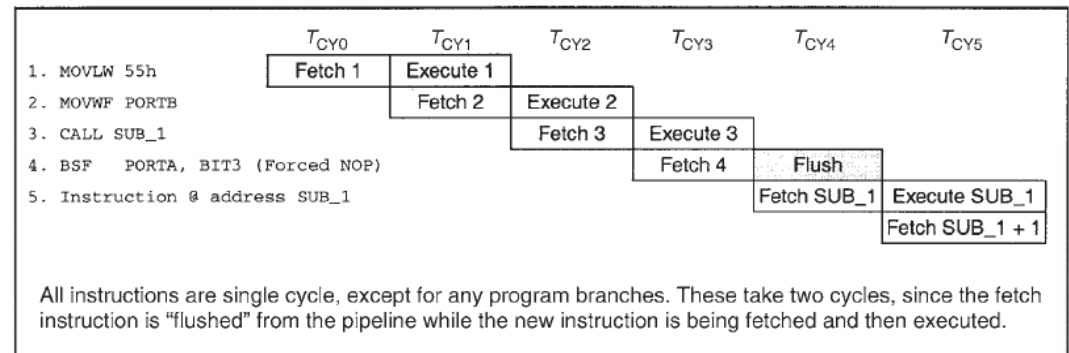


Instrucciones

Pipeline de dos niveles:

Se ejecutan dos instrucciones simultáneamente, excepto con los saltos.

Ciclo de instrucción: 4 veces menor que la velocidad del reloj.



Clock Frequency	Instruction Cycle	
	Frequency	Period
20 MHz	5 MHz	200 ns
4 MHz	1 MHz	1 μ s
1 MHz	250 kHz	4 μ s
32.768 kHz	8.192 kHz	122.07 μ s

Registro OPTION

• Configuración de los periféricos:

• Pull-up del PB

• Flanco de la INT

• Funcionamiento del TIMER

• Prescaler

— Para quién

— Cuánto

REGISTER 2-2:

OPTION_REG: OPTION CONTROL REGISTER (ADDRESS 81h, 181h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RBP \overline{U}	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

RBP \overline{U} : PORTB Pull-up Enable bit

1 = PORTB pull-ups are disabled

0 = PORTB pull-ups are enabled by individual port latch values

INTEDG: Interrupt Edge Select bit

1 = Interrupt on rising edge of RB0/INT pin

0 = Interrupt on falling edge of RB0/INT pin

T0CS: TMR0 Clock Source Select bit

1 = Transition on RA4/T0CKI/C2OUT pin

0 = Internal instruction cycle clock (CLKO)

T0SE: TMR0 Source Edge Select bit

1 = Increment on high-to-low transition on RA4/T0CKI/C2OUT pin

0 = Increment on low-to-high transition on RA4/T0CKI/C2OUT pin

PSA: Prescaler Assignment bit

1 = Prescaler is assigned to the WDT

0 = Prescaler is assigned to the Timer0 module

PS<2:0>: Prescaler Rate Select bits

Bit Value	TMR0 Rate	WDT Rate
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

Registro STATUS

Flags del estado y
selección de banco

IRP, RP1:RP0: selección
de banco de memoria

TO: Timeout del WD

PD: Power Down mode

Z, DC y C: bits de estado
aritméticos

REGISTER 2-1:

STATUS: ARITHMETIC STATUS REGISTER (ADDRESS 03h, 83h, 103h, 183h)

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C
bit 7							bit 0

bit 7

IRP: Register Bank Select bit (used for indirect addressing)

1 = Bank 2, 3 (100h-1FFh)

0 = Bank 0, 1 (00h-FFh)

bit 6-5

RP<1:0>: Register Bank Select bits (used for direct addressing)

11 = Bank 3 (180h-1FFh)

10 = Bank 2 (100h-17Fh)

01 = Bank 1 (80h-FFh)

00 = Bank 0 (00h-7Fh)

Each bank is 128 bytes.

bit 4

\overline{TO} : Time-out bit

1 = After power-up, CLRWDI instruction or SLEEP instruction

0 = A WDT time-out occurred

bit 3

\overline{PD} : Power-Down bit

1 = After power-up or by the CLRWDI instruction

0 = By execution of the SLEEP instruction

bit 2

Z: Zero bit

1 = The result of an arithmetic or logic operation is zero

0 = The result of an arithmetic or logic operation is not zero

bit 1

DC: Digit carry/borrow bit (ADDWF, ADDLW, SUBLW and SUBWF instructions)⁽¹⁾

1 = A carry-out from the 4th low-order bit of the result occurred

0 = No carry-out from the 4th low-order bit of the result

bit 0

C: Carry/borrow bit (ADDWF, ADDLW, SUBLW and SUBWF instructions)^(1,2)

1 = A carry-out from the Most Significant bit of the result occurred

0 = No carry-out from the Most Significant bit of the result occurred

Bits de configuración

REGISTER 15-1: CONFIG1: CONFIGURATION WORD 1 REGISTER (ADDRESS 2007h)

R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
CP	CCPMX	DEBUG	WRT1	WRT0	CPD	LVP	BOREN	MCLRE	FOSC2	PWRTEN	WDTEN	FOSC1	FOSC0	
bit 13														bit 0

Configuración del PIC.

Sólo accesible al programar
(no en t.ejec)

CP, WRT, CPD: protección de
código y memorias

CCPMX: pin de CCP1

LVP: programación con tensiones
bajas

PWRTEN: Timer de encendido
(72ms)

WDTEN:habilita WD. Sólo para
versión final

FOSC: Selección oscilador

bit 13	CP: Flash Program Memory Code Protection bits 1 = Code protection off 0 = 0000h to 0FFFh code-protected (all protected)
bit 12	CCPMX: CCP1 Pin Selection bit 1 = CCP1 function on RB0 0 = CCP1 function on RB3
bit 11	DEBUG: In-Circuit Debugger Mode bit 1 = In-Circuit Debugger disabled, RB6 and RB7 are general purpose I/O pins 0 = In-Circuit Debugger enabled, RB6 and RB7 are dedicated to the debugger
bit 10-9	WRT<1:0>: Flash Program Memory Write Enable bits 11 = Write protection off 10 = 0000h to 00FFh write-protected, 0100h to 0FFFh may be modified by EECON control 01 = 0000h to 07FFh write-protected, 0800h to 0FFFh may be modified by EECON control 00 = 0000h to 0FFFh write-protected
bit 8	CPD: Data EE Memory Code Protection bit 1 = Code protection off 0 = Data EE memory code-protected
bit 7	LVP: Low-Voltage Programming Enable bit 1 = RB3/PGM pin has PGM function, Low-Voltage Programming enabled 0 = RB3 is digital I/O, HV on MCLR must be used for programming

Bits de configuración

REGISTER 15-1: CONFIG1: CONFIGURATION WORD 1 REGISTER (ADDRESS 2007h)

R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
CP	CCPMX	DEBUG	WRT1	WRT0	CPD	LVP	BOREN	MCLRE	FOSC2	PWRTEN	WDTEN	FOSC1	FOSC0	
bit 13										bit 0				

BOREN:

MCLRE: habilitación de reset externo

PWRTEN: Timer de encendido (72ms)

WDTE:habilita WD. Sólo para versión final

FOSC: Selección oscilador

bit 7 **LVP:** Low-Voltage Programming Enable bit

1 = RB3/PGM pin has PGM function, Low-Voltage Programming enabled
0 = RB3 is digital I/O, HV on MCLR must be used for programming

bit 6 **BOREN:** Brown-out Reset Enable bit

1 = BOR enabled
0 = BOR disabled

bit 5 **MCLRE:** RA5/MCLR/VPP Pin Function Select bit

1 = RA5/MCLR/VPP pin function is MCLR
0 = RA5/MCLR/VPP pin function is digital I/O, MCLR internally tied to VDD

bit 3 **PWRTEN:** Power-up Timer Enable bit

1 = PWRT disabled
0 = PWRT enabled

bit 2 **WDTEN:** Watchdog Timer Enable bit

1 = WDT enabled
0 = WDT disabled

bit 4, 1-0 **FOSC<2:0>:** Oscillator Selection bits

111 = EXTRC oscillator; CLKO function on RA6/OSC2/CLKO
110 = EXTRC oscillator; port I/O function on RA6/OSC2/CLKO
101 = INTRC oscillator; CLKO function on RA6/OSC2/CLKO pin and port I/O function on RA7/OSC1/CLKI pin
100 = INTRC oscillator; port I/O function on both RA6/OSC2/CLKO pin and RA7/OSC1/CLKI pin
011 = ECIO; port I/O function on RA6/OSC2/CLKO
010 = HS oscillator
001 = XT oscillator
000 = LP oscillator

Oscilador

Oscilador *interno*

Cuatro modos:

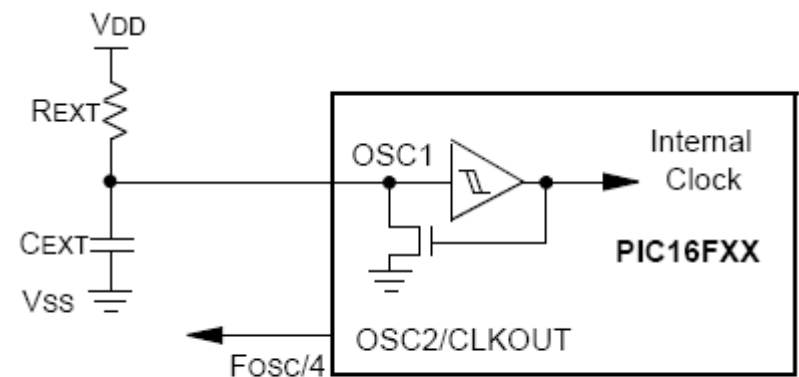
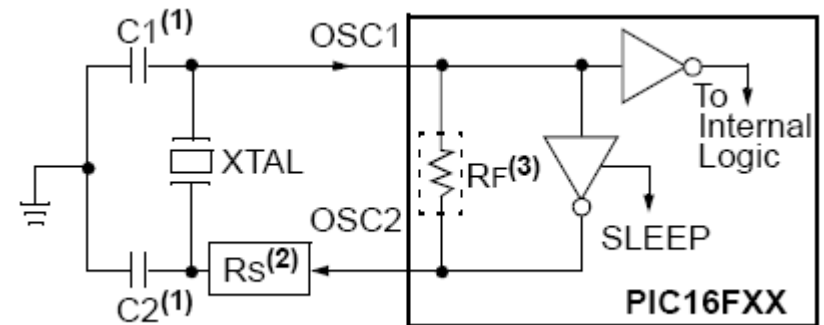
LP: (32kHz-200kHz)

XT: (100kHz-4MHz)

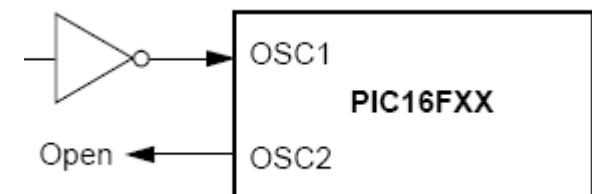
HS: (4MHz-20MHz)

RC: baja precisión

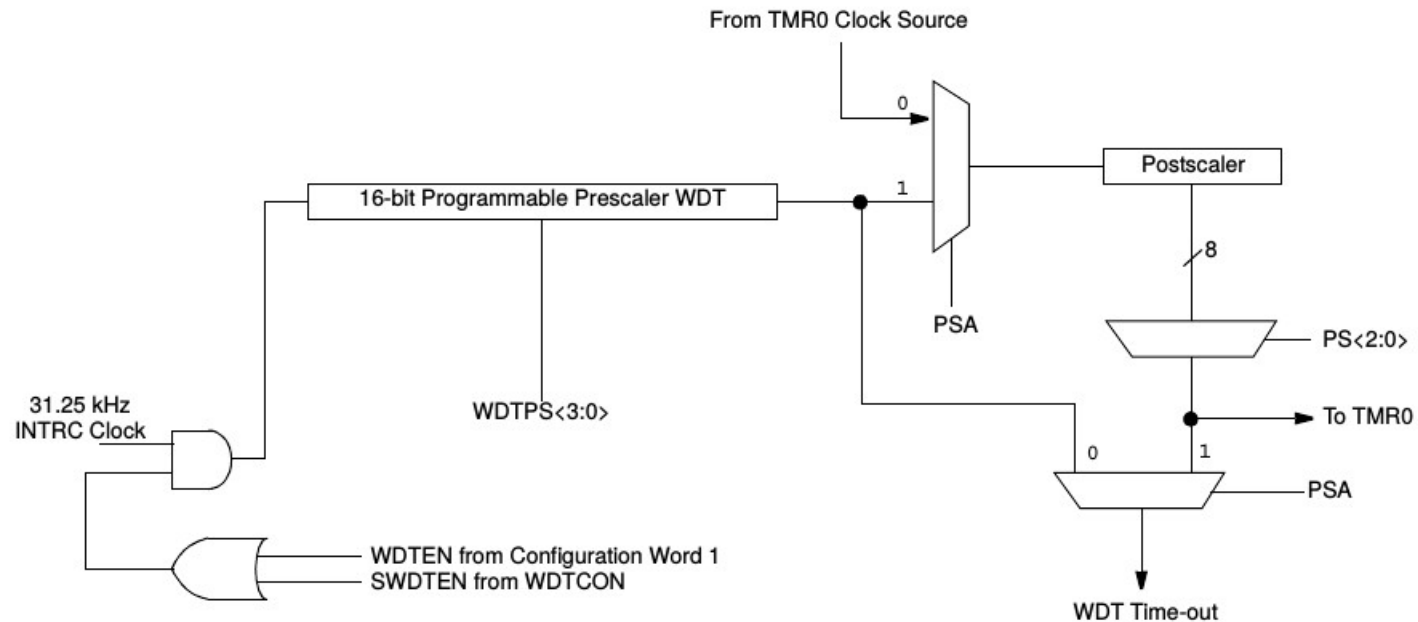
En LP, XT y HS, también se puede usar un oscilador externo.



Recommended values: $5\text{ k}\Omega \leq R_{EXT} \leq 100\text{ k}\Omega$
 $C_{EXT} > 20\text{ pF}$



Watchdog



Contador de 16 bits (prescaler), frecuencia fija 31.25kHz

Período por defecto: 16.38ms

Máximo sin postescalado 2.097s (=65536/31.25kHz)

Con postescalado, máximo período hasta 268s

Reset

Múltiples fuentes

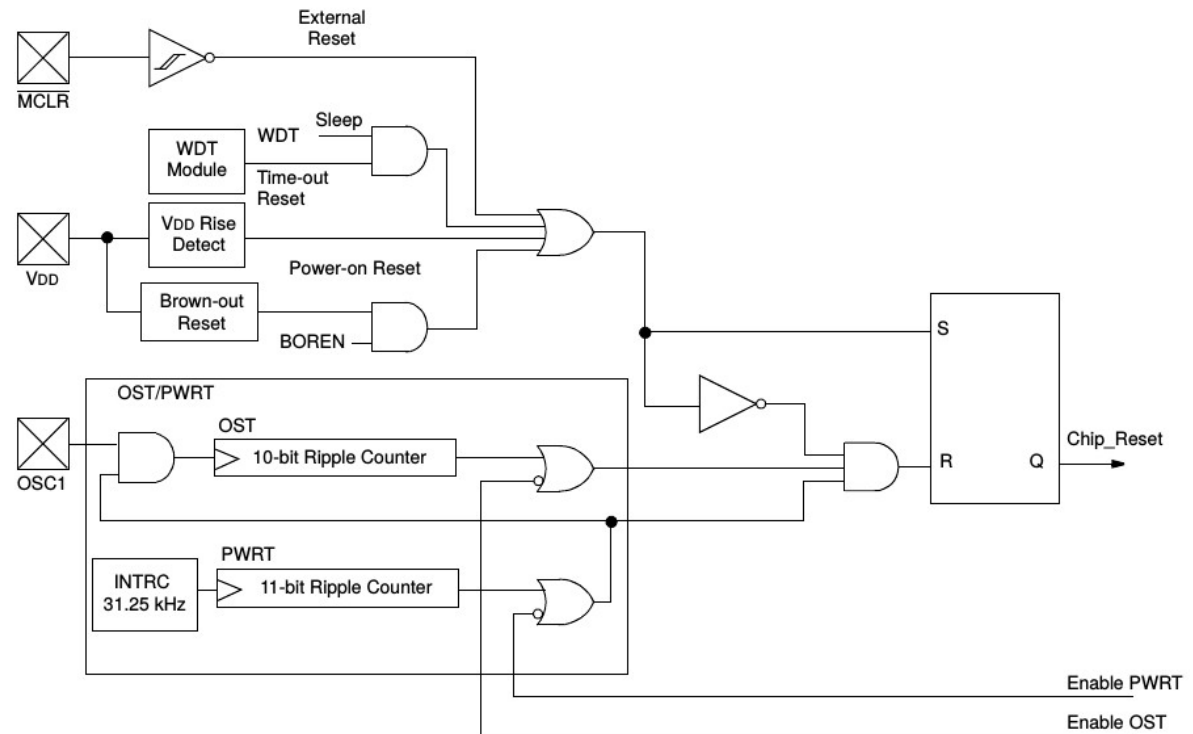
Power-on

Externo (en modo SLEEP o normal)

WatchDog (en modo SLEEP o normal)

Brown-out (Vdd baja de 4V durante 100us)

PWRT controla el ancho del POR y el BOR



EEPROM

Tanto la EEPROM de datos como la Flash de programa se pueden leer/escribir en el funcionamiento normal.

No están mapeadas en memoria, para acceder hay que usar registros:

- EECN1
- EECN2
- EEDATA
- EEDATH (para Flash)
- EEADR
- EEADRH (para Flash)

Leer de EEPROM: configurar EEADR, EECN1. El dato aparece en EEDATA

Escribir en EEPROM: configurar EEADR, EEDATA, EECN1. Escribir 55h en EECN2 pasando por W. Escribir AAh en EECN2 pasando por W. Escribir.

EEPROM. Registro EECON1

REGISTER 3-1: EECON1: EEPROM ACCESS CONTROL REGISTER 1 (ADDRESS 18Ch)

R/W-x	U-0	U-0	R/W-x	R/W-x	R/W-0	R/S-0	R/S-0
EEPGD	—	—	FREE	WRERR	WREN	WR	RD
bit 7							bit 0

bit 7 **EEPGD:** Program/Data EEPROM Select bit

- 1 = Accesses program memory
- 0 = Accesses data memory

bit 6-5 **Unimplemented:** Read as '0'

bit 4 **FREE:** EEPROM Forced Row Erase bit

- 1 = Erase the program memory row addressed by EEADRH:EEADR on the next WR command
- 0 = Perform write only

bit 3 **WRERR:** EEPROM Error Flag bit

- 1 = A write operation is prematurely terminated (any $\overline{\text{MCLR}}$ or any WDT Reset during normal operation)
- 0 = The write operation completed

bit 2 **WREN:** EEPROM Write Enable bit

- 1 = Allows write cycles
- 0 = Inhibits write to the EEPROM

bit 1 **WR:** Write Control bit

- 1 = Initiates a write cycle. The bit is cleared by hardware once write is complete. The WR bit can only be set (not cleared) in software.
- 0 = Write cycle to the EEPROM is complete

bit 0 **RD:** Read Control bit

- 1 = Initiates an EEPROM read, RD is cleared in hardware. The RD bit can only be set (not cleared) in software.
- 0 = Does not initiate an EEPROM read

Ejercicios

- ¿Cuál es el máximo teórico para el número de instrucciones distintas que soporta un PIC16F88?
- ¿De dónde sale el valor máximo de 268s para el timer del watchdog?
- ¿Cuál debe ser la configuración adecuada de EECON1 para realizar una escritura de la EEPROM?
- ¿Cómo crees que se podrán implementar saltos largos (de 13 bits) en las instrucciones CALL/GOTO? ¿Dónde están los dos bits restantes de la dirección?
- ¿Por qué hay que escribir precisamente 55h y AAh en EECON2 para programar la EEPROM?