

Arquitectura de Sistemas e Computadores II

Exame de Recurso

Departamento de Informática
Universidade de Évora

25 de Janeiro de 2018

Indique todos os cálculos efectuados

Perguntas rápidas

1. [0,5 valores] O CPI de um programa é uma característica da arquitectura ou do processador que a implementa?
2. [0,5 valores] Nos processadores reais, a que correspondem as duas memórias distintas, de instruções e de dados, visíveis nos diagramas de blocos do MIPS?
3. [0,5 valores] De que tipo (ou tipos) de localidade de acessos é possível tirar partido com uma cache em que os blocos só têm uma palavra?
4. [0,5 valores] A página física em que reside uma dada página virtual de um processo pode estar no TLB e não se encontrar na tabela de páginas do processo?

Desempenho

5. [2 valores] Durante a execução de um programa, que demora 30 s, são executadas 10^{10} instruções, com a distribuição apresentada na tabela abaixo. Qual a frequência do relógio do processador em que o programa é executado?

Classe	A	B	C	D
%	40	35	15	10
CPI	6	10	12	13

Implementação MIPS monociclo

6. [4 valores] Pretende-se que a implementação MIPS monociclo da Figura 1 suporte a execução da instrução `lui` (*load upper immediate*), que é uma instrução tipo-I com dois argumentos:

	31				0
<code>lui rt, immediate</code>	<code>lui</code>	<code>0</code>	<code>rt</code>	<code>immediate</code>	
bits	6	5	5	16	

Esta instrução coloca no registo `rt` o valor $\text{immediate} \times 2^{16}$ ($=$

<code>immediate</code>	dezasseis 0's
------------------------	---------------

).

- (a) Quais das unidades funcionais e dos *multiplexers* existentes serão usados na execução desta instrução?
- (b) Que unidades funcionais (incluindo *multiplexers*) e que sinais de controlo é necessário acrescentar?
- (c) Quais os valores que os vários sinais de controlo deverão ter e qual a operação realizada pela ALU durante a execução desta instrução? (Não é necessário apresentar o valor de `ALUOp`.)
- (d) Apresente na Figura 1 as alterações à implementação que considerar necessário fazer.

(CONTINUA...)

Pipeline MIPS de 5 andares

7. [2 valores] Altere o código à direita (escrito sem ter em conta a existência de *delay slots*) de modo a poder ser executado, sem a introdução de qualquer atraso, num processador com *forwarding*, com decisão dos saltos condicionais no andar ID e com um *delay slot*.

Identifique os conflitos de dados presentes no código alterado, diga quais os registos cujos valores terão de ser *forwarded* e entre que andares do *pipeline* será feito o *forwarding*.

```
1.          or    $v0, $0, $0
2.          beq   $a1, $0, fim
3. ciclo:  lw     $t2, 0($a0)
4.          add   $v0, $v0, $t2
5.          addiu $a0, $a0, 4
6.          addi  $a1, $a1, -1
7.          bne   $a1, $0, ciclo
8. fim:      jr    $ra
```

Cache

8. [2 valores] Considere um sistema com palavras e endereços de 32 bits, com uma cache 8-way set associative, com blocos de 64 bytes, e em que os blocos ocupam um total de 16 KB.

Após ter sido feito um acesso ao endereço 04DC C7C4₁₆, em que índice da cache se encontrará a palavra acedida, quantos bits terá o *tag* correspondente e qual o seu valor, e que outras palavras se encontrarão mesma posição?

Memória virtual

9. [2 valores] Partindo da tabela de páginas com o conteúdo parcialmente mostrado e de um TLB (*fully associative*, com 4 blocos de uma tradução e substituição por LRU) vazio, apresente o conteúdo do TLB depois da seguinte sequência de operações:

1. Leitura de uma posição de memória da página virtual 35;
2. Leitura de uma posição de memória da página virtual 36;
3. Leitura de uma posição de memória da página virtual 37;
4. Escrita de uma posição de memória da página virtual 36.

Tabela de páginas

	Dirty	Pág. física
		...
35	0	98
36	0	13
37	1	100
38	0	123
39	0	75
		...

10. [2 valores] Num sistema, em que as tabelas de páginas têm dois níveis, os endereços virtuais têm 40 bits e uma página contém 32 KB. Se a tabela de primeiro nível tiver 4096 posições, quantas posições terão as tabelas de segundo nível?

Multiprocessamento

11. [2 valores] A execução sequencial de um programa demora 20 s, em que 2,5% correspondem à parte não paralelizável do programa. Qual o *speedup* obtido se o programa for paralelizado e executado em 40 processadores, se um dos processadores ficar com 2% do trabalho, sendo o restante distribuído igualmente pelos outros processadores?

12. [2 valores] O uso de *semáforos* é uma das técnicas para controlar o acesso às secções críticas de um programa paralelo. Os semáforos podem ter o valor 0 ou 1 e são manipulados através das primitivas P e V. A primitiva P, que é usada à entrada da secção crítica, espera que o valor do semáforo seja 1 e põe o semáforo a 0. A primitiva V limita-se a repor o valor do semáforo a 1, para permitir de novo o acesso à secção crítica.

Apresente o código MIPS que implementa a primitiva P, como uma função, que recebe o endereço da posição de memória que contém o valor do semáforo no registo \$a0.

Nome: _____ Número: _____

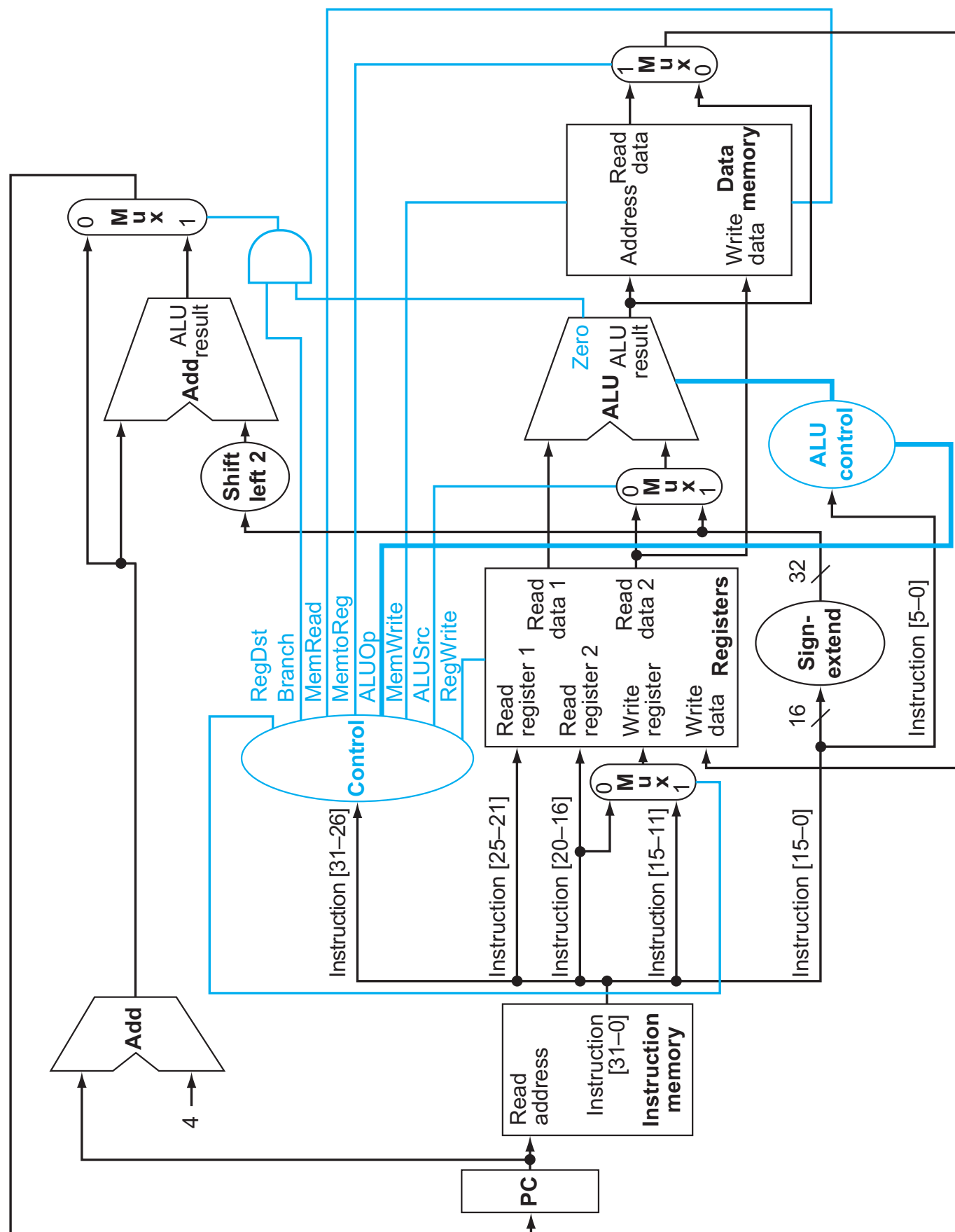


Figura 1: Diagrama de blocos da implementação MIPS monociclo

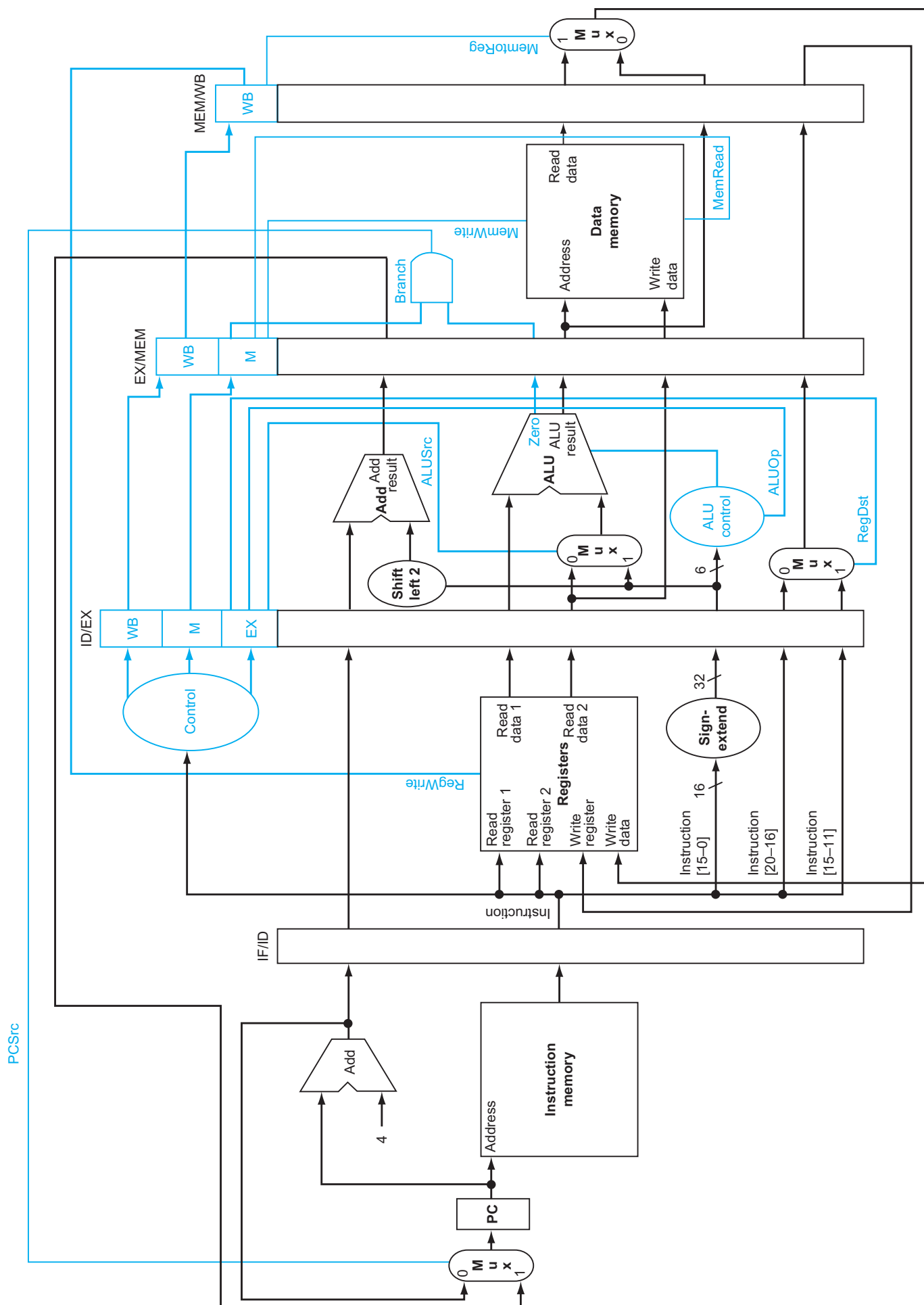


Figura 2: Diagrama de blocos do *pipeline* MIPS