

ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL
FACULTAD DE INGENIERÍA EN ELECTRICIDAD Y COMPUTACIÓN
SISTEMAS DIGITALES I

Proyecto:

Automatización de Casas con Sistemas Digitales

Autores:

Luis Ignacio Santamaría Plúa

Fernando Antonio Suárez Veaz

Profesora:

Ing. Angélica Gabriela Marín Masa

PAO II – 2023



Índice

1. Introducción	3
2. Antecedentes / Descripción del proyecto.....	4
3. Objetivos	7
3.1 Objetivos generales	7
3.1 Objetivos específicos	7
4. Descripción de la solución.....	8
5. Entradas y salidas	11
6. Diagrama de bloques de la solución	14
6.1 Descripción de bloques	14
6.2 Tabla de verdad del controlador	15
6.3 Expresión lógica del comportamiento del controlador	16
7. Ejemplo de funcionamiento	17
8. Diagrama de Bloques	18
9. VHDL y Compilación	19
10. Esquema de conexión de periféricos a la FPGA	24
11. POSTER	27

1.Introducción

Actualmente existe una revolución tecnológica muy fuerte y marcada en la electrónica y la automatización en el mundo. Dentro de esta revolución tecnológica entra una de las ramas de la electrónica más famosas: El Internet Of Things, o Internet de las Cosas, la cual consiste en controlar el medio en el que vivimos con internet o bluetooth de forma inalámbrica.

La domótica es una rama del Internet Of Things que se enfoca en el control y la automatización de inmuebles como una casa, departamento o habitación; y están estrechamente relacionados con la gestión eficiente del inmueble. En sí, estas tecnologías están enfocadas en controlar la seguridad, climatización, iluminación, etc.

Para la resolución de este proyecto no se aplicará otro sistema embebido distinto a la FPGA DEO – NANO. No usaremos Wifi ni Bluetooth, sino única y exclusivamente sistemas digitales para la semi automatización de una casa.

2. Antecedentes / Descripción del proyecto

Se desea implementar los beneficios de la domótica mediante un sistema digital que permita la monitorización del funcionamiento de 4 servicios: Control de iluminación, sistema de seguridad, sistema de riego de plantas y garaje.

El dispositivo cuenta con un botón de encendido que, luego de ser activado, indica al sistema que debe iniciar el proceso. Para ello, debe recibir por teclado una señal en binario que indique el tipo de servicio a gestionar, especificado en la siguiente tabla:

Aspecto	Estado
Iluminación	00
Seguridad	01
Riego	10
Garaje	11

Para el control de iluminación se cuenta con 4 entradas en binario c/u, con las cuales nosotros indicaremos qué hora del día es:

Entrada en binario	Hora
00011	16h00 – 18h00 (Se mostrarán las 17h00)
00101	18h00 – 20h00 (Se mostrarán las 19h00)
01001	20h00 – 00h00 (Se mostrarán las 23h00)
10001	00h00 – 06h00

	(Se mostrarán las 02h00)
xxxx0	06h00 – 16h00 (Se mostrarán las 13h00)

En esta tabla se detalla la configuración de entrada en binario del sistema de iluminación. En la última fila de la entrada en binario especificamos que no importa cuál del resto de entradas sea 1 o 0, si el último bit es 0 entonces definitivamente se mostrará la hora de día.

La hora se muestra en 2 displays de 7 segmentos, y dependiendo de la hora se encenderán las luces led de la casa excepto si se escoge la última opción, donde las luces led permanecerán apagadas porque es de día.

Para el manejo de sistema de seguridad se cuenta con 3 detectores de movimiento ubicados en la entrada principal, patio y garaje. Los sensores de movimiento envían una señal al sistema digital, la cual toma un valor de 0 cuando no hay nadie en el área y toma un valor de 5V cuando detecta a alguien. Si se detecta movimiento en cualquiera de las áreas se encenderá la iluminación del área correspondiente.

Por ejemplo, si se detecta movimiento en el patio se encenderá iluminación en el patio. Además, si se detecta movimiento en cualquier área de la casa se activa una señal que indica a una alarma (un zumbador).

Para el sistema de riego de plantas se cuenta con un sensor de humedad y una fotorresistencia (se simula la entrada con un switch). La condición es regar las plantas si cumple una de estas condiciones o ambas:

- El sensor de humedad detecta sequía, enviando una señal de 5V (1 lógico) cuando lo detecte.

- La fotorresistencia indica ausencia de luz solar, es decir, es de noche. Las plantas se regarán en la noche porque durante todo el día, si es un día caluroso o muy soleado, se pueden quemar.

Para el garaje el usuario enviará una señal por medio de un pulsador. Al presionar el pulsador, el garaje se abrirá. Al volverse a presionar el pulsador, el garaje bajará.

Como último añadido, frente a la casa habrá luces LED (en el jardín delantero) las cuales se encenderán a 19h00 y se apagarán a las 06h00. Estas luces, para evitar el aumento de planilla eléctrica en el hogar, serán alimentadas por medio de paneles solares. Para esta práctica, en la maqueta se usará como fuente de voltaje baterías de 9V o una fuente de poder (cargador).

3. Objetivos

3.1 Objetivos generales

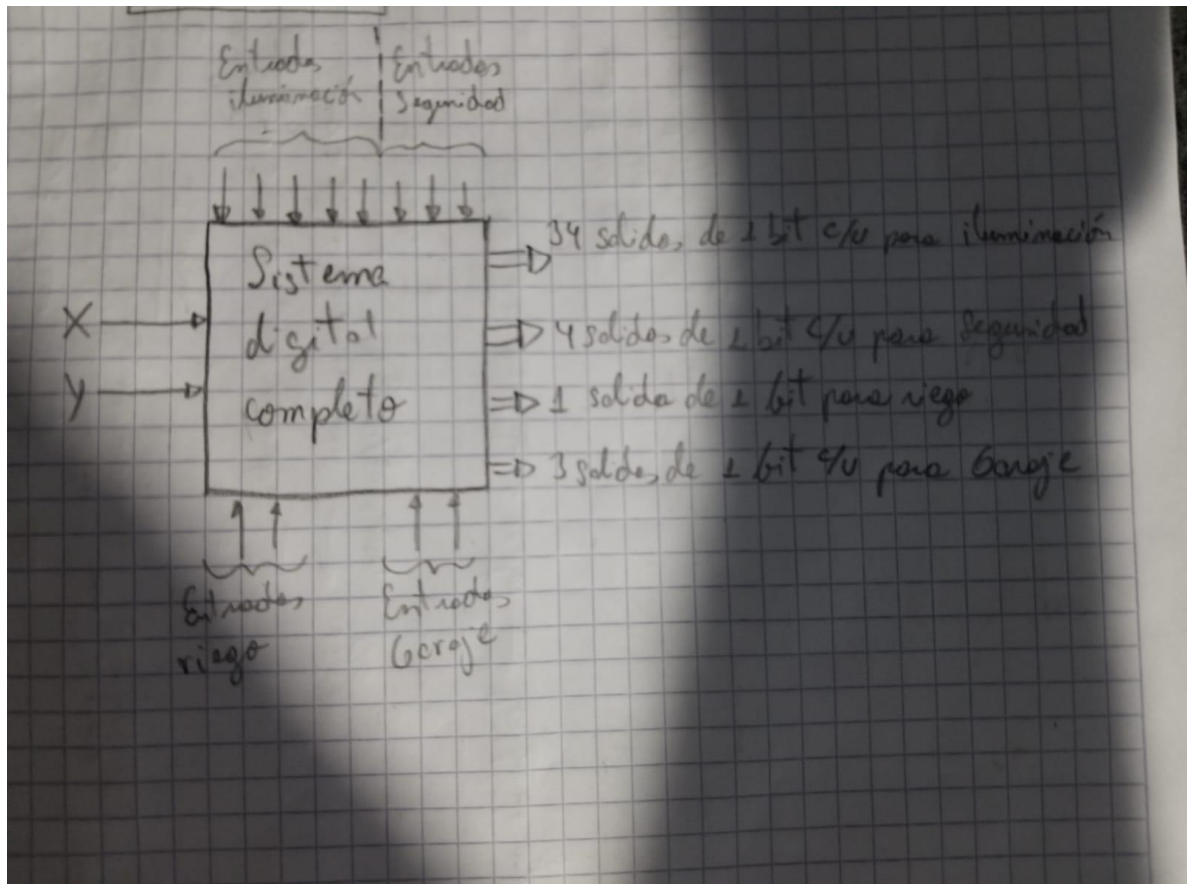
Simular la aplicación del Internet de las Cosas, específicamente Domótica, en la vida cotidiana a través del uso de sistemas y circuitos digitales, así como su simplificación mediante tablas de verdad, mapas de Karnaugh, además de aplicar lo aprendido a lo largo del semestre de la materia de Sistemas Digitales I mediante una maqueta.

3.1 Objetivos específicos

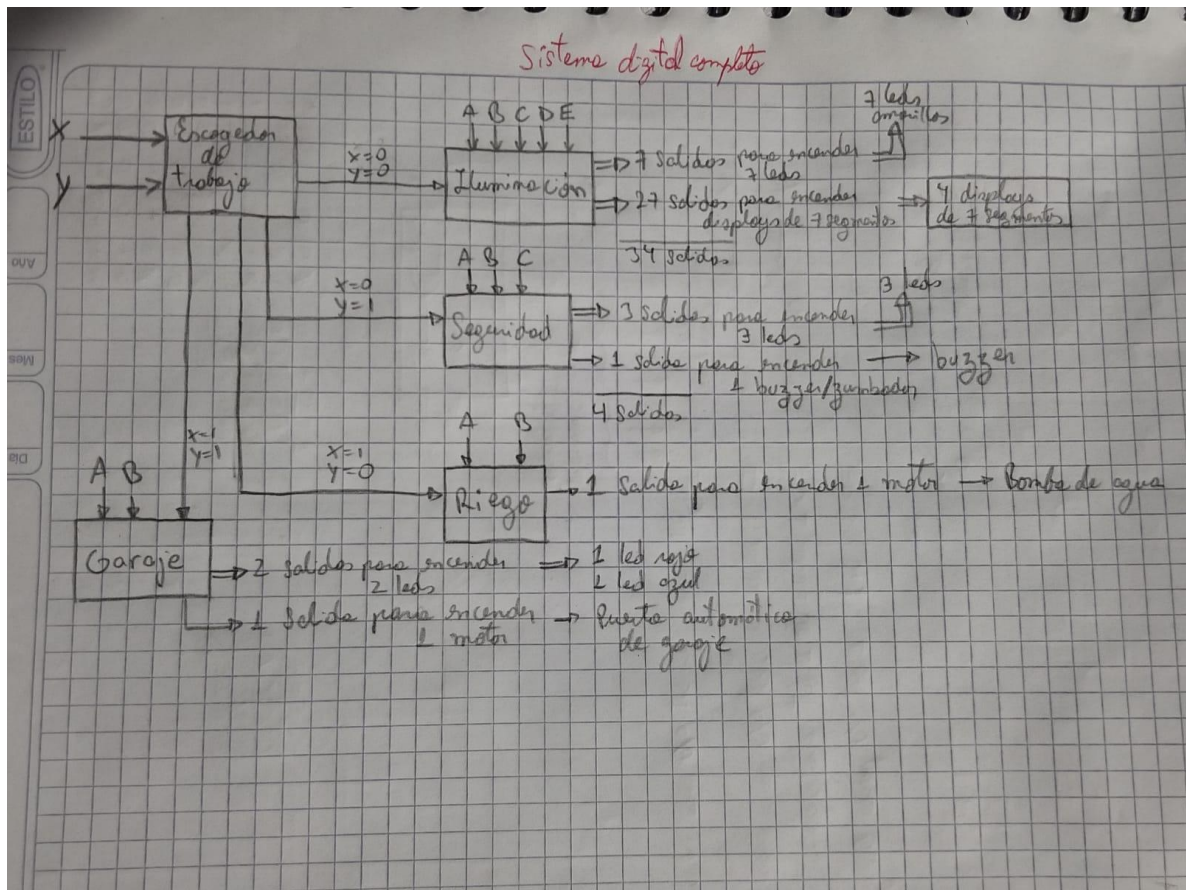
- Comprender el uso de sensores dentro de un sistema automatizado.
- Definir las variables de entrada y salida para un correcto funcionamiento de los sistemas.
- Realizar una tabla de verdad que relacione las variables en una expresión lógica reducida que exprese el funcionamiento.
- Entender conceptos de la domótica que permitan un trabajo más eficiente en el proyecto.

4. Descripción de la solución

Todo el sistema tiene como entrada 9V, así que para usarse adecuadamente y que los componentes no se dañen se usan reguladores de voltaje de 5V: 7805.



1. Se inicia el sistema digital entero mediante un switch que pasará la corriente que necesite.



2. Mediante las entradas X, Y nosotros ingresamos 2 valores a un bloque llamado “Escogedor de trabajo”, el cual no será otra cosa más que un decodificador de 2 a 4 - 74139.

a. Si se escoge la primera opción 00 obtendremos el sistema de iluminación funcionando:

i. Tendremos 5 entradas más: A, B, C, D y E, las cuales son nuestras entradas anteriormente descritas en la descripción del proyecto.

Dependiendo de qué entrada nosotros escojamos siguiendo la tabla descrita encenderemos las luces led de la casa, además que por cada entrada también obtendremos una salida a dos displays de 7 segmentos los cuales mostrarán la hora.

Es de mencionar que en realidad existirán 4 displays, pero únicamente los 2 primeros serán variables dependiendo de las entradas al sistema de iluminación. Los dos últimos serán constantes: Mostrarán 0 y 0.

- ii. Para la resolución de esta sección se usaron compuertas AND 7408, compuertas OR 7432, decodificadores de BCD a 7 segmentos 7447 y 2 displays de 7 segmentos de cátodo común, además de usar focos leds y transistores NPN para mantener el mismo flujo de corriente.
- b. Si se escoge la segunda opción 01 obtendremos el sistema de seguridad funcionando:
 - i. Tendremos 3 entradas más: A, B, C. No importa cuál de las 3 estén encendidas, si lo están todas al mismo tiempo o alguna de ellas. Por cada entrada encendida (1 lógico) se encenderá un led y también comenzará a sonar un zumbador. Si se encienden las 3 entradas se encenderán los 3 leds y el zumbador sonará. Si no hay ninguna entrada habilitada entonces todo el sistema permanecerá en reposo.
 - ii. Para la resolución de esta sección se usan compuertas OR 7432, focos leds y transistores NPN.
- c. Si se escoge la tercera opción 10 obtendremos el sistema de riego funcionando:
 - i. Se tiene dos entradas: A y B, las cuales simularán nuestro sensor de humedad y fotorresistencia o sensor de luz. No importa cuál de las dos esté encendida, basta con que una de ellas esté habilitada para que el sistema active una bomba de agua que regará las plantas con agua.
 - ii. Para la resolución de esta sección se usan compuertas OR 7432, transistores NPN, un motor y focos led.
- d. Si se escoge la cuarta opción 11 obtendremos el sistema de garaje funcionando:
 - i. Se tendrán dos entradas, A y B. Pero B es un pulsador, es el cual nosotros usaremos para indicar si deseamos abrir o cerrar la puerta. Con la entrada A nosotros tendremos un switch, con el cual indicaremos si activamos o no el sistema de garaje.
 - ii. Para la resolución de esta sección se usa un Flip Flop JF 7473, focos leds, transistores NPN y un motor.

5.Entradas y salidas

Entradas Principales	
Iluminación	00
Seguridad	01
Riego	10
Garaje	11

Entradas Iluminación	
00011	16h00 – 18h00 (Se mostrarán las 17h00)
00101	18h00 – 20h00 (Se mostrarán las 19h00)
01001	20h00 – 00h00 (Se mostrarán las 23h00)
10001	00h00 – 06h00 (Se mostrarán las 02h00)
xxxx0	06h00 – 16h00 (Se mostrarán las 13h00)

Entradas de seguridad	
000	No hay nadie perturbando a altas horas de la noche. Nada se activa.
001 010 100 110 011 111	Sin importar cuál esté encendida, se encenderá la alarma y su respectivo foco led.

Entradas de riego de plantas	
00	Las plantas no necesitan de agua.
01 10 11	Las plantas están secas y/o es de noche, la bomba de agua se activa.

Entradas Garaje	
Switch 1	Activa manualmente el mecanismo del garaje.
Pulsador x	Abre o cierra la puerta dependiendo de su configuración

Salidas Iluminación	
Leds	7 focos leds como salidas. Dependen de qué entrada se activan para saber si se activa 1 o 2 leds por entrada.
2 Displays de 7 segmentos	Por display se usan 7 salidas para los dos displays de 7 segmentos, es decir 14 salidas para los displays.

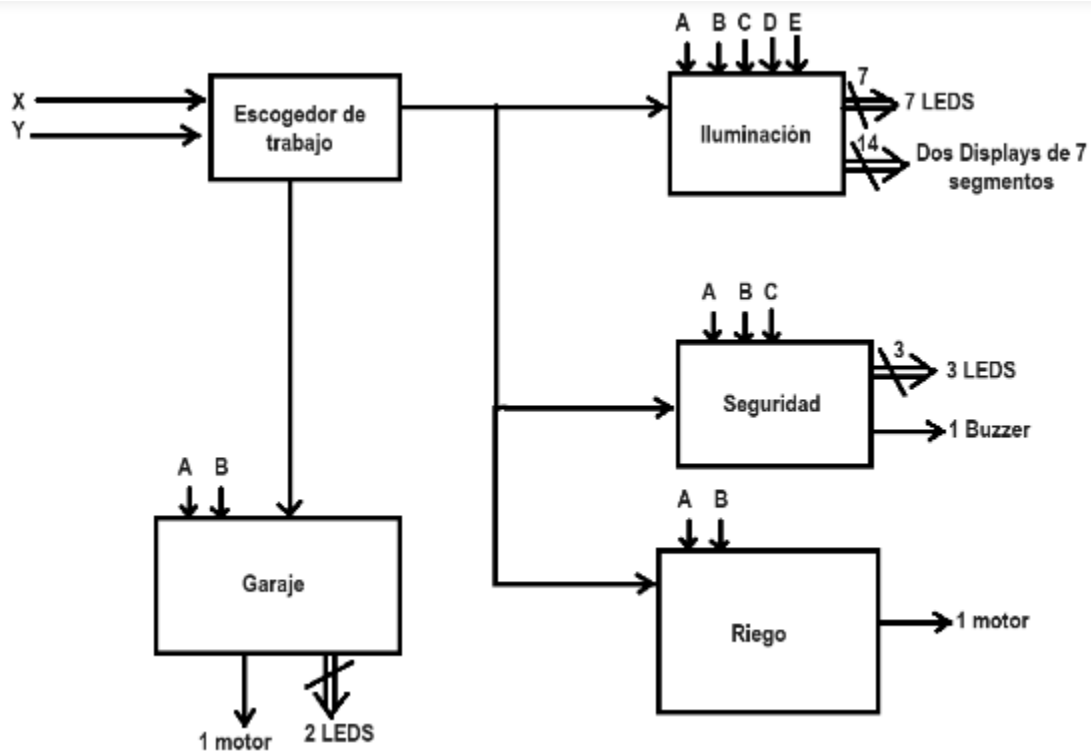
Salidas Seguridad	
Leds	3 salidas para 3 focos leds.
Buzzer	1 salida para 1 buzzer.

Salida Sistema de Riego	
Motor	1 salida para 1 motor.

Salida Garaje	
Motor	2 focos leds que se activan dependiendo de si se abre o se cierra la compuerta del garaje.

	1 salida para un motor. En total: 3 salidas.
--	---

6. Diagrama de bloques de la solución



6.1 Descripción de bloques

- **Escogedor de trabajo:** Selecciona qué tipo de servicio queremos gestionar.
- **Iluminación:** Controla el sistema de iluminación de la casa.
- **Seguridad:** Controla el sistema de seguridad de la casa.
- **Riego:** Controla el sistema de riego de la casa.
- **Garaje:** Controla el sistema de garaje de la casa

6.2 Tabla de verdad del controlador

Tema

Dir

Res

Aut

ESTILO

- Iluminación → Botón ON/OFF Led
- Seguridad
- Garage
- Riego

Iluminación: 00

→ Reloj digital que emite la hora.

Hora - Rango	LEDs
13h00 - 16h00	1
16h00 - 17h00	2
17h00 - 01h00	3
01h00 - 13h00	0

Entradas Salidas

ON	HR	L
0	0	0
0	1	0
1	0	0
1	1	1

ON	HR	L
0	0	1
0	0	0
1	0	1
1	0	1

$$L = ON \cdot HR$$

ON: Botón de encendido y apagado general
HR: Hora riego

Seguridad: 01

Sensor encendido	Entradas				Salidas	
	Alarma	Ent. Prin	Patio	Gar	Lea	Buzzer
0	0	0	0	0	0	0
0	0	0	0	1	0	0
0	0	0	0	1	1	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	0	1	0	0
0	0	1	1	0	0	0
0	0	1	1	1	0	0
1	0	0	0	0	0	1
1	0	0	0	1	0	1
1	0	0	1	0	0	1
1	0	0	1	1	0	1
1	1	0	0	0	0	1
1	1	0	0	1	0	1
1	1	0	1	0	0	1
1	1	0	1	1	0	1

AL	EP	G	P	L
00	0	1	1	10
00	0	0	1	0
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

$$Lea = EP + G + P$$

AL	EP	G	P	L
00	0	1	1	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

$$Buzzer = AL$$

Ent. Prin: Entrada principal
Gar: Garage

Notas

Riego de plantas: 10				S: Sensor de humedad		F: Fotomantenencia	
Control	Salida	Salida	Salida				
Sensor H.	Fotom.	Abon.	Abon.				
0	1	0	0				
0	1	1	1				
1	1	0	1				
1	1	1	1				

Garaje: 11				P: Pulsador		S: Sensor de fuerza (peso)	
P	S	Gar	Gar				
0	0	0	0				
0	1	1	0				
1	0	1	0				
1	1	0	0				

6.3 Expresión lógica del comportamiento del controlador

- Luz: $(A+B+C+D)E^-$
- Seguridad: $(A+B+C)$
- Riego: $(A+B)$
- Garage: A

7.Ejemplo de funcionamiento

Caso (hora)	Iluminación		Seguridad					Riego de Plantas			Garaje		
	LEDS	displays	EP	Pat	Gar	Led	Buz	SH	Fot	Motor	P	S	M
13h00	0	1	0	0	0	0	0	0	0	0	1	1	1
2h00	1	1	0	0	1	1	1	1	1	1	0	0	0

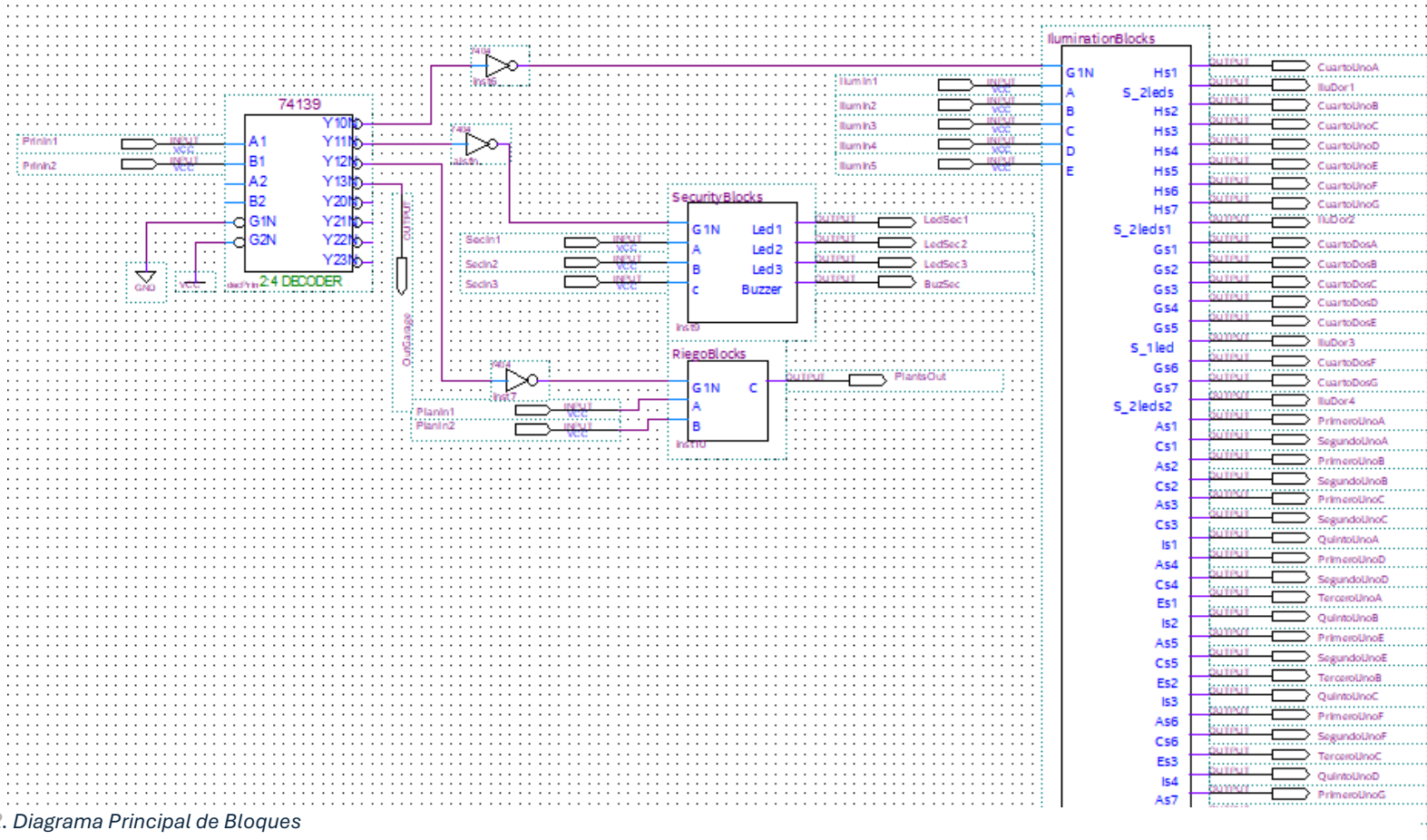
Según las condiciones, cuando sean las 13h00 no se encenderá ningún led, pero los displays sí se mantendrán encendidos mostrando el número correspondiente. Pero cuando sean las 02h00 sí se van a encender los respectivos leds y los displays también mostrarán la hora respectiva.

En el sistema de seguridad, cuando sean las 13h00 no se detecta ningún tipo de movimiento extraño, además a esa hora el sistema está apagado porque las personas están en casa y despiertas. En cambio cuando sean las 02h00 el sistema está encendido y detecta movimiento en el garaje, motivo por el cual enciende el led correspondiente y el buzzer.

En el sistema de riego de plantas cuando sean las 13h00 es de día, además las plantas no están deshidratadas, motivo por el cual no se va a activar el motor de la bomba de agua. Pero cuando sean las 02h00 no hay luz solar (1 lógico) y las plantas están deshidratadas, motivo por el cual sí activa el motor de la bomba de agua.

Por último, el garaje a las 13h00 es activado con el switch que lo activa y lo abre con el pulsador y vuelve a cerrar. Pero a las 02h00 no se activa el garaje.

8. Diagrama de Bloques



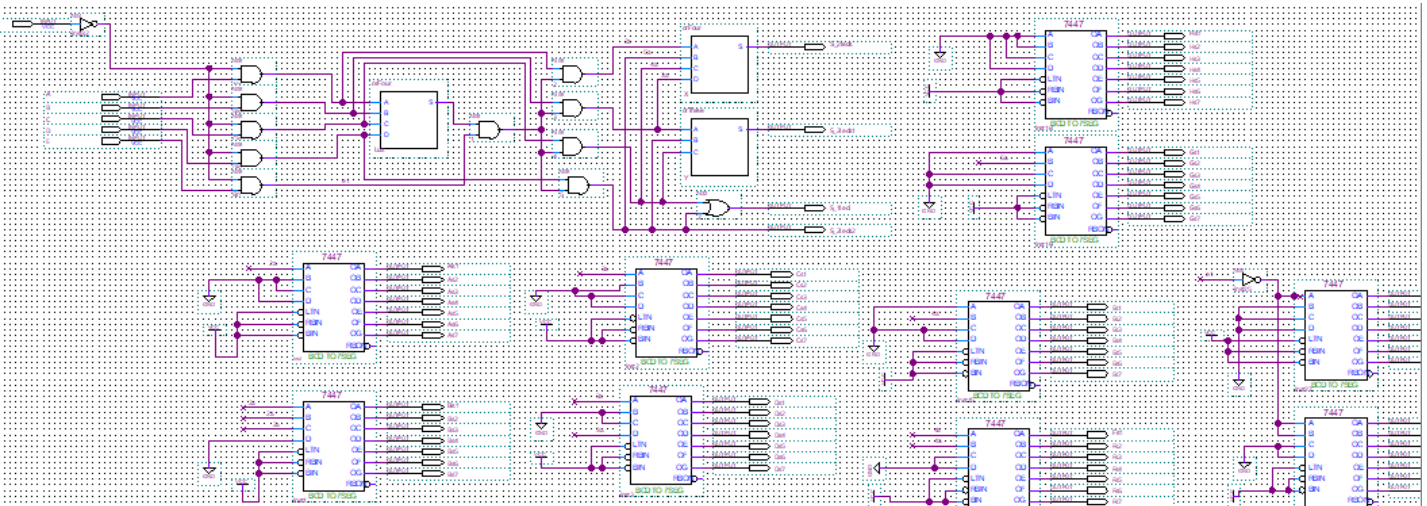
2. Diagrama Principal de Bloques

```

> 12021 Found 2 design units, including 1 entities, in source file orthree.vhd
> 12021 Found 1 design units, including 1 entities, in source file iluminacionblocks.bdf
> 12021 Found 1 design units, including 1 entities, in source file principal.bdf
> 12127 Elaborating entity "Principal" for the top level hierarchy
> 12128 Elaborating entity "SecurityBlocks" for hierarchy "SecurityBlocks:inst9"
> 12128 Elaborating entity "7408" for hierarchy "SecurityBlocks:inst9|7408:inst3"
> 12130 Elaborated megafunction instantiation "SecurityBlocks:inst9|7408:inst3"
> 12128 Elaborating entity "7404" for hierarchy "SecurityBlocks:inst9|7404:inst2"
> 12130 Elaborated megafunction instantiation "SecurityBlocks:inst9|7404:inst2"
> 12128 Elaborating entity "7432" for hierarchy "SecurityBlocks:inst9|7432:inst1"
> 12130 Elaborated megafunction instantiation "SecurityBlocks:inst9|7432:inst1"
> 12128 Elaborating entity "74139" for hierarchy "74139:decPrin"
> 12130 Elaborated megafunction instantiation "74139:decPrin"
> 12128 Elaborating entity "RiegoBlocks" for hierarchy "RiegoBlocks:inst10"
> 12128 Elaborating entity "IlluminationBlocks" for hierarchy "IlluminationBlocks:inst"
> 12128 Elaborating entity "orFour" for hierarchy "IlluminationBlocks:inst|orFour:X"
> 12128 Elaborating entity "orThree" for hierarchy "IlluminationBlocks:inst|orThree:Y"
> 12128 Elaborating entity "7447" for hierarchy "IlluminationBlocks:inst|7447:inst"
> 12130 Elaborated megafunction instantiation "IlluminationBlocks:inst|7447:inst"
> 13024 output pins are stuck at VCC or GND
> 286030 Timing-driven Synthesis is running
> 16010 Generating hard_block partition "hard_block:auto_generated_inst"
> 21057 Implemented 106 device resources after synthesis - the final resource count might be different
> 0 Quartus Prime Analysis & Synthesis was successful. 0 errors, 42 warnings
  
```

1. Compilación del Diagrama Principal de Bloques

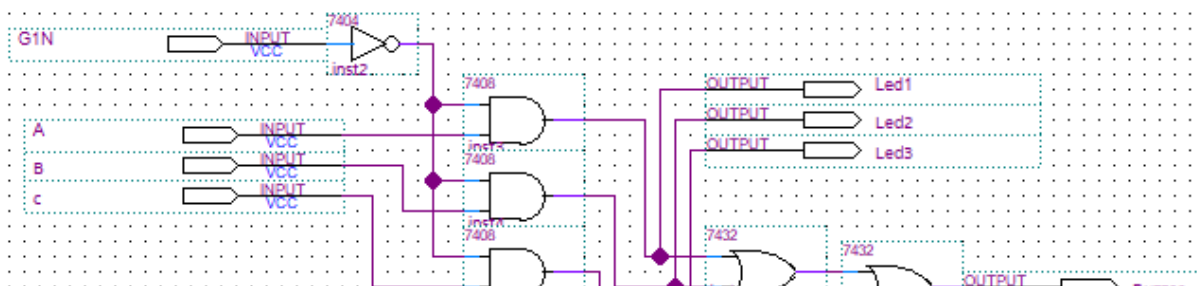
9.VHDL y Compilación



4. Diagrama de Iluminación

Type	ID	Message
> 1	12021	Found 2 design units, including 1 entities, in source file riego.vhd
> 1	12021	Found 1 design units, including 1 entities, in source file securityblocks.bdf
> 1	12021	Found 1 design units, including 1 entities, in source file riegebblocks.bdf
> 1	12021	Found 1 design units, including 1 entities, in source file garageblocks.bdf
> 1	12021	Found 2 design units, including 1 entities, in source file orfour.vhd
> 1	12021	Found 2 design units, including 1 entities, in source file orthree.vhd
> 1	12021	Found 1 design units, including 1 entities, in source file iluminacionblocks.bdf
> 1	12021	Found 1 design units, including 1 entities, in source file principal.bdf
1	12127	Elaborating entity "IluminacionBlocks" for the top level hierarchy
1	12128	Elaborating entity "orFour" for hierarchy "orFour:X"
1	12128	Elaborating entity "7408" for hierarchy "7408:2"
1	12130	Elaborated megafunction instantiation "7408:2"
1	12128	Elaborating entity "7404" for hierarchy "7404:inst32"
1	12130	Elaborated megafunction instantiation "7404:inst32"
1	12128	Elaborating entity "orThree" for hierarchy "orThree:Y"
1	12128	Elaborating entity "7432" for hierarchy "7432:Z"
1	12130	Elaborated megafunction instantiation "7432:Z"
1	12128	Elaborating entity "7447" for hierarchy "7447:inst"
1	12130	Elaborated megafunction instantiation "7447:inst"
> 1	13024	Output pins are stuck at VCC or GND
1	286030	Timing-Driven Synthesis is running
> 1	16010	Generating hard_block partition "hard_block:auto_generated_inst"
> 1	21057	Implemented 88 device resources after synthesis - the final resource count might be different
> 1		Quartus Prime Analysis & Synthesis was successful. 0 errors, 42 warnings

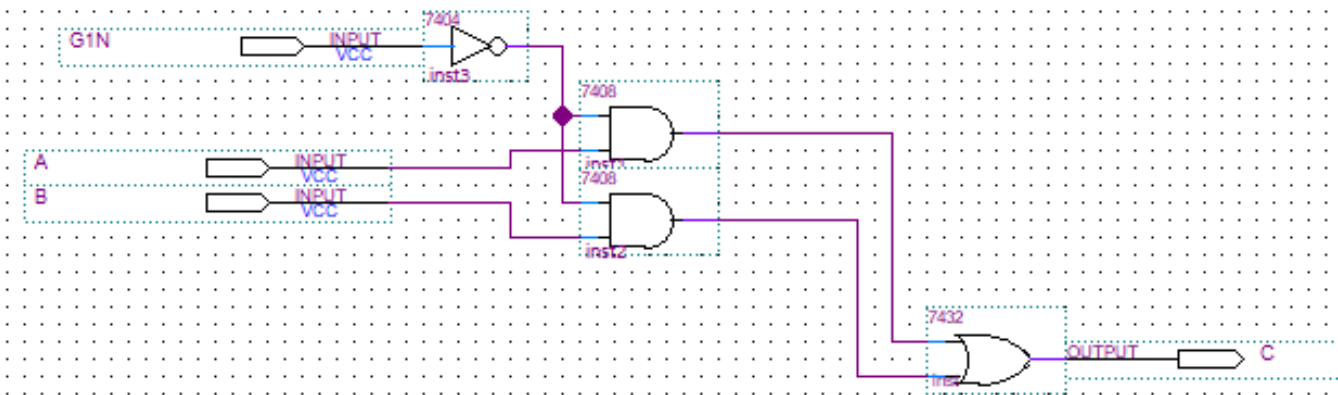
3. Compilación del Diagrama de Iluminación



5. Diagrama de Seguridad

Type	ID	Message
> i		Running Quartus Prime Analysis & Synthesis
> i		Command: quartus_map --read_settings_files=on --write_settings_files=off Proyecto -c Proyecto
> i	18236	Number of processors has not been specified which may cause overloading on shared machines.
> i	20030	Parallel compilation is enabled and will use 4 of the 4 processors detected
> i	12021	Found 2 design units, including 1 entities, in source file seguridad.vhd
> i	12021	Found 2 design units, including 1 entities, in source file riego.vhd
> i	12021	Found 1 design units, including 1 entities, in source file securityblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file riegoblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file garageblocks.bdf
> i	12021	Found 2 design units, including 1 entities, in source file orfour.vhd
> i	12021	Found 2 design units, including 1 entities, in source file orthree.vhd
> i	12021	Found 1 design units, including 1 entities, in source file iluminacionblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file principal.bdf
> i	12127	Elaborating entity "SecurityBlocks" for the top level hierarchy
> i	12128	Elaborating entity "7408" for hierarchy "7408:inst3"
> i	12130	Elaborated megafunction instantiation "7408:inst3"
> i	12128	Elaborating entity "7404" for hierarchy "7404:inst2"
> i	12130	Elaborated megafunction instantiation "7404:inst2"
> i	12128	Elaborating entity "7432" for hierarchy "7432:inst1"
> i	12130	Elaborated megafunction instantiation "7432:inst1"
> i	286030	Timing-Driven Synthesis is running
> i	16010	Generating hard_block partition "hard_block:auto_generated_inst"
> i	21057	Implemented 12 device resources after synthesis - the final resource count might be different
> i		Quartus Prime Analysis & Synthesis was successful. 0 errors, 1 warning

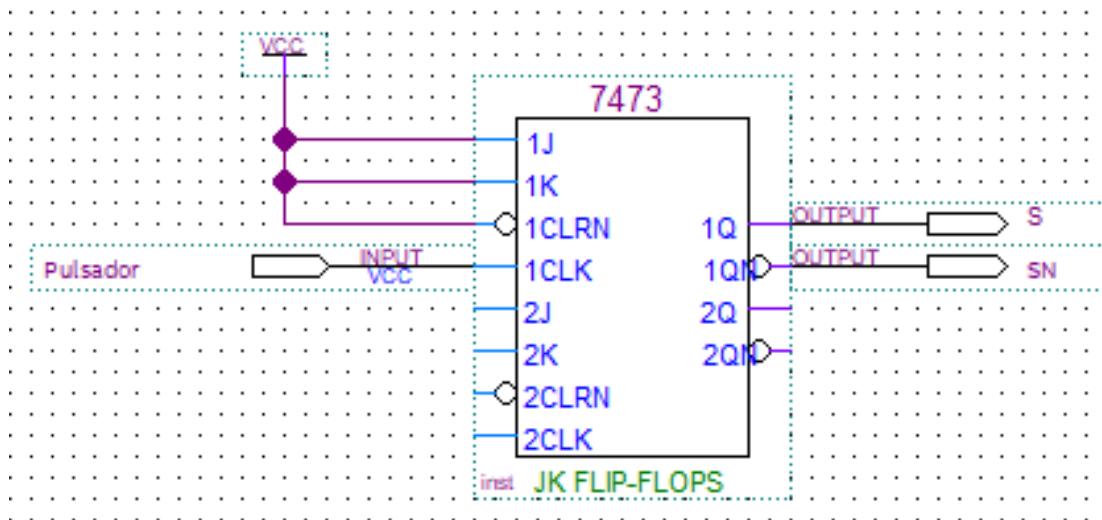
8. Compilación del Diagrama de Seguridad



7. Diagrama de Riego

Type	ID	Message
> i		Running Quartus Prime Analysis & Synthesis
> i		Command: quartus_map --read_settings_files=on --write_settings_files=off Proyecto -c Proyecto
> i	18236	Number of processors has not been specified which may cause overloading on shared machines.
> i	20030	Parallel compilation is enabled and will use 4 of the 4 processors detected
> i	12021	Found 2 design units, including 1 entities, in source file seguridad.vhd
> i	12021	Found 2 design units, including 1 entities, in source file riego.vhd
> i	12021	Found 1 design units, including 1 entities, in source file securityblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file riegoblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file garageblocks.bdf
> i	12021	Found 2 design units, including 1 entities, in source file orfour.vhd
> i	12021	Found 2 design units, including 1 entities, in source file orthree.vhd
> i	12021	Found 1 design units, including 1 entities, in source file iluminacionblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file principal.bdf
> i	12127	Elaborating entity "RiegoBlocks" for the top level hierarchy
> i	12128	Elaborating entity "7432" for hierarchy "7432:inst"
> i	12130	Elaborated megafunction instantiation "7432:inst"
> i	12128	Elaborating entity "7408" for hierarchy "7408:inst1"
> i	12130	Elaborated megafunction instantiation "7408:inst1"
> i	12128	Elaborating entity "7404" for hierarchy "7404:inst3"
> i	12130	Elaborated megafunction instantiation "7404:inst3"
> i	286030	Timing-Driven Synthesis is running
> i	16010	Generating hard_block partition "hard_block:auto_generated_inst"
> i	21057	Implemented 5 device resources after synthesis - the final resource count might be different
> i		Quartus Prime Analysis & Synthesis was successful. 0 errors, 1 warning

6. Compilación del Diagrama de Riego



10. Diagrama de Garaje

Type	ID	Message
> i		Running Quartus Prime Analysis & Synthesis
> i		Command: quartus_map --read_settings_files=on --write_settings_files=off Proyecto -c Proyecto
> !	18236	Number of processors has not been specified which may cause overloading on shared machines.
> i	20030	Parallel compilation is enabled and will use 4 of the 4 processors detected
> i	12021	Found 2 design units, including 1 entities, in source file seguridad.vhd
> i	12021	Found 2 design units, including 1 entities, in source file riego.vhd
> i	12021	Found 1 design units, including 1 entities, in source file securityblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file riegeblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file garageblocks.bdf
> i	12021	Found 2 design units, including 1 entities, in source file orfour.vhd
> i	12021	Found 2 design units, including 1 entities, in source file orthree.vhd
> i	12021	Found 1 design units, including 1 entities, in source file iluminacionblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file principal.bdf
> i	12127	Elaborating entity "RiegoBlocks" for the top level hierarchy
> i	12128	Elaborating entity "7432" for hierarchy "7432:inst"
> i	12130	Elaborated megafunction instantiation "7432:inst"
> i	12128	Elaborating entity "7408" for hierarchy "7408:inst1"
> i	12130	Elaborated megafunction instantiation "7408:inst1"
> i	12128	Elaborating entity "7404" for hierarchy "7404:inst3"
> i	12130	Elaborated megafunction instantiation "7404:inst3"
> i	286030	Timing-Driven synthesis is running
> i	16010	Generating hard_block partition "hard_block:auto_generated_inst"
> i	21057	Implemented 5 device resources after synthesis - the final resource count might be different
> i		Quartus Prime Analysis & Synthesis was successful. 0 errors, 1 warning

9. Compilación del Diagrama de Garaje


```

1  -- OR4
2  -- Luis Santamaria, Fernando Suarez // P103
3  library IEEE;
4  use IEEE.STD_LOGIC_1164.ALL;
5  use IEEE.STD_LOGIC_UNSIGNED.ALL;
6  use IEEE.STD_LOGIC_ARITH.ALL;
7
8  entity orFour is
9      Port(A, B, C, D: in bit;
10         S: out bit);
11  end orFour;
12
13  architecture Behaviour of orFour is
14  begin
15
16      S <= A or B or C or D;
17
18  end Behaviour;
19

```

12. Or 4 entradas

Type	ID	Message

> i		Running Quartus Prime Analysis & Synthesis
		Command: quartus_map --read_settings_files=on --write_settings_files=off Proyecto -c Proyecto
⚠	18236	Number of processors has not been specified which may cause overloading on shared machines. s
i	20030	Parallel compilation is enabled and will use 4 of the 4 processors detected
> i	12021	Found 2 design units, including 1 entities, in source file seguridad.vhd
> i	12021	Found 2 design units, including 1 entities, in source file riego.vhd
> i	12021	Found 1 design units, including 1 entities, in source file securityblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file riegoblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file garagoblocks.bdf
> i	12021	Found 2 design units, including 1 entities, in source file orfour.vhd
> i	12021	Found 2 design units, including 1 entities, in source file orthree.vhd
> i	12021	Found 1 design units, including 1 entities, in source file iluminacionblocks.bdf
> i	12021	Found 1 design units, including 1 entities, in source file principal.bdf
i	12127	Elaborating entity "orFour" for the top level hierarchy
i	286030	Timing-Driven Synthesis is running
> i	16010	Generating hard_block partition "hard_block:auto_generated_inst"
> i	21057	Implemented 6 device resources after synthesis - the final resource count might be different
> i		Quartus Prime Analysis & Synthesis was successful. 0 errors, 1 warning

11. Compilación Or de 4 entradas

```

1  -- OR3
2  -- Luis Santamaria, Fernando Suarez // P103
3  library IEEE;
4  use IEEE.STD_LOGIC_1164.ALL;
5  use IEEE.STD_LOGIC_UNSIGNED.ALL;
6  use IEEE.STD_LOGIC_ARITH.ALL;
7
8  entity orThree is
9      Port(A, B, C: in bit;
10          S: out bit);
11  end orThree;
12
13  architecture Behaviour of orThree is
14  begin
15
16      S <= A or B or C;
17
18  end Behaviour;













```













14. Or 3 entradas













Type	ID	Message
1		*****
> 1		Running Quartus Prime Analysis & Synthesis
1		Command: quartus_map --read_settings_files=on --write_settings_files=off Proyecto -c Proyecto
⚠ 1	18236	Number of processors has not been specified which may cause overloading on shared machines. S
1	20030	Parallel compilation is enabled and will use 4 of the 4 processors detected
> 1	12021	Found 2 design units, including 1 entities, in source file seguridad.vhd
> 1	12021	Found 2 design units, including 1 entities, in source file riego.vhd
> 1	12021	Found 1 design units, including 1 entities, in source file securityblocks.bdf
> 1	12021	Found 1 design units, including 1 entities, in source file riegoblocks.bdf
> 1	12021	Found 1 design units, including 1 entities, in source file garageblocks.bdf
> 1	12021	Found 2 design units, including 1 entities, in source file orfour.vhd
> 1	12021	Found 2 design units, including 1 entities, in source file orthree.vhd
> 1	12021	Found 1 design units, including 1 entities, in source file iluminacionblocks.bdf
> 1	12021	Found 1 design units, including 1 entities, in source file principal.bdf
1	12127	Elaborating entity "orThree" for the top level hierarchy
1	286030	Timing-Driven Synthesis is running
> 1	16010	Generating hard_block partition "hard_block:auto_generated_inst"
> 1	21057	Implemented 5 device resources after synthesis - the final resource count might be different
> 1		Quartus Prime Analysis & Synthesis was successful. 0 errors, 1 warning

13. Compilación OR de 3 entradas

10. Esquema de conexión de periféricos a la FPGA

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
 BuzSec	Output	PIN_A5	8A	B8A_NO	2.5 V (default)	
 CuartoDosA	Output	PIN_A7	8A	B8A_NO	2.5 V (default)	
 CuartoDosB	Output	PIN_A8	8A	B8A_NO	2.5 V (default)	
 CuartoDosC	Output	PIN_A9	8A	B8A_NO	2.5 V (default)	
 CuartoDosD	Output	PIN_A10	8A	B8A_NO	2.5 V (default)	
 CuartoDosE	Output	PIN_E14	7A	B7A_NO	2.5 V (default)	
 CuartoDosF	Output	PIN_E12	7A	B7A_NO	2.5 V (default)	
 CuartoDosG	Output	PIN_E10	8A	B8A_NO	2.5 V (default)	
 CuartoUnoA	Output	PIN_E9	8A	B8A_NO	2.5 V (default)	
 CuartoUnoB	Output	PIN_E7	8A	B8A_NO	2.5 V (default)	
 CuartoUnoC	Output	PIN_D22	7A	B7A_NO	2.5 V (default)	
 CuartoUnoD	Output	PIN_D21	7A	B7A_NO	2.5 V (default)	

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
 CuartoUnoC	Output	PIN_D22	7A	B7A_NO	2.5 V (default)	
 CuartoUnoD	Output	PIN_D21	7A	B7A_NO	2.5 V (default)	
 CuartoUnoE	Output	PIN_D17	7A	B7A_NO	2.5 V (default)	
 CuartoUnoF	Output	PIN_D19	7A	B7A_NO	2.5 V (default)	
 CuartoUnoG	Output	PIN_D13	7A	B7A_NO	2.5 V (default)	
 IluDor1	Output	PIN_D12	7A	B7A_NO	2.5 V (default)	
 IluDor2	Output	PIN_D9	8A	B8A_NO	2.5 V (default)	
 IluDor3	Output	PIN_D7	8A	B8A_NO	2.5 V (default)	
 IluDor4	Output	PIN_D6	8A	B8A_NO	2.5 V (default)	
 IlumIn1	Input	PIN_J22	7A	B7A_NO	2.5 V (default)	
 IlumIn2	Input	PIN_J21	7A	B7A_NO	2.5 V (default)	
 IlumIn3	Input	PIN_J19	7A	B7A_NO	2.5 V (default)	

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
 IlumIn3	Input	PIN_J19	7A	B7A_NO	2.5 V (default)	
 IlumIn4	Input	PIN_J18	7A	B7A_NO	2.5 V (default)	
 IlumIn5	Input	PIN_J17	7A	B7A_NO	2.5 V (default)	
 LedSec1	Output	PIN_C21	7A	B7A_NO	2.5 V (default)	
 LedSec2	Output	PIN_C20	7A	B7A_NO	2.5 V (default)	
 LedSec3	Output	PIN_C19	7A	B7A_NO	2.5 V (default)	
 OutGarage	Output	PIN_C18	7A	B7A_NO	2.5 V (default)	
 PlanIn1	Input	PIN_J13	7A	B7A_NO	2.5 V (default)	
 PlanIn2	Input	PIN_J11	7A	B7A_NO	2.5 V (default)	
 PlantsOut	Output	PIN_C16	7A	B7A_NO	2.5 V (default)	
 PrimeroDosA	Output	PIN_C15	7A	B7A_NO	2.5 V (default)	
 PrimeroDosB	Output	PIN_C13	7A	B7A_NO	2.5 V (default)	

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
out	PrimerUnoA	Output	PIN_B22	7A	B7A_NO	2.5 V (default)	
out	PrimerUnoB	Output	PIN_B21	7A	B7A_NO	2.5 V (default)	
out	PrimerUnoC	Output	PIN_B20	7A	B7A_NO	2.5 V (default)	
out	PrimerUnoD	Output	PIN_B18	7A	B7A_NO	2.5 V (default)	
out	PrimerUnoE	Output	PIN_B17	7A	B7A_NO	2.5 V (default)	
out	PrimerUnoF	Output	PIN_B16	7A	B7A_NO	2.5 V (default)	
out	PrimerUnoG	Output	PIN_B15	7A	B7A_NO	2.5 V (default)	

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
out	PrimerUnoF	Output	PIN_B15	7A	B7A_NO	2.5 V (default)	
out	PrimerUnoG	Output	PIN_B13	7A	B7A_NO	2.5 V (default)	
in	PrinIn1	Input	PIN_J9	8A	B8A_NO	2.5 V (default)	
in	PrinIn2	Input	PIN_J8	8A	B8A_NO	2.5 V (default)	
out	QuintoDosA	Output	PIN_B12	7A	B7A_NO	2.5 V (default)	
out	QuintoDosB	Output	PIN_B11	7A	B7A_NO	2.5 V (default)	
out	QuintoDosC	Output	PIN_B10	8A	B8A_NO	2.5 V (default)	
out	QuintoDosD	Output	PIN_B7	8A	B8A_NO	2.5 V (default)	
out	QuintoDosE	Output	PIN_B6	8A	B8A_NO	2.5 V (default)	
out	QuintoDosF	Output	PIN_B5	8A	B8A_NO	2.5 V (default)	
out	QuintoDosG	Output	PIN_AB22	4A	B4A_NO	2.5 V (default)	
out	QuintoUnoA	Output	PIN_AB21	4A	B4A_NO	2.5 V (default)	

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
out	QuintoUnoA	Output	PIN_AB21	4A	B4A_NO	2.5 V (default)	
out	QuintoUnoB	Output	PIN_AB20	4A	B4A_NO	2.5 V (default)	
out	QuintoUnoC	Output	PIN_AB18	4A	B4A_NO	2.5 V (default)	
out	QuintoUnoD	Output	PIN_AB17	4A	B4A_NO	2.5 V (default)	
out	QuintoUnoE	Output	PIN_AB15	4A	B4A_NO	2.5 V (default)	
out	QuintoUnoF	Output	PIN_AB13	4A	B4A_NO	2.5 V (default)	
out	QuintoUnoG	Output	PIN_AB12	4A	B4A_NO	2.5 V (default)	
in	SecIn1	Input	PIN_J7	8A	B8A_NO	2.5 V (default)	
in	SecIn2	Input	PIN_J2	B1L		2.5 V (default)	
in	SecIn3	Input	PIN_J1	B1L		2.5 V (default)	
out	SegundoDosA	Output	PIN_AB11	3B	B3B_NO	2.5 V (default)	
out	SegundoDosB	Output	PIN_AB10	3B	B3B_NO	2.5 V (default)	

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
out	SegundoDosB	Output	PIN_AB10	3B	B3B_NO	2.5 V (default)	
out	SegundoDosC	Output	PIN_AB8	3B	B3B_NO	2.5 V (default)	
out	SegundoDosD	Output	PIN_AB7	3B	B3B_NO	2.5 V (default)	
out	SegundoDosE	Output	PIN_AB6	3B	B3B_NO	2.5 V (default)	
out	SegundoDosF	Output	PIN_AB5	3B	B3B_NO	2.5 V (default)	
out	SegundoDosG	Output	PIN_AA22	4A	B4A_NO	2.5 V (default)	
out	SegundoUnoA	Output	PIN_AA20	4A	B4A_NO	2.5 V (default)	
out	SegundoUnoB	Output	PIN_AA19	4A	B4A_NO	2.5 V (default)	
out	SegundoUnoC	Output	PIN_AA18	4A	B4A_NO	2.5 V (default)	
out	SegundoUnoD	Output	PIN_AA17	4A	B4A_NO	2.5 V (default)	
out	SegundoUnoE	Output	PIN_AA15	4A	B4A_NO	2.5 V (default)	
out	SegundoUnoF	Output	PIN_AA14	4A	B4A_NO	2.5 V (default)	

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
out	SegundoUnoE	Output	PIN_AA15	4A	B4A_N0	2.5 V (default)	
out	SegundoUnoF	Output	PIN_AA14	4A	B4A_N0	2.5 V (default)	
out	SegundoUnoG	Output	PIN_AA13	4A	B4A_N0	2.5 V (default)	
out	TerceroDosA	Output	PIN_AA12	3B	B3B_N0	2.5 V (default)	
out	TerceroDosB	Output	PIN_AA10	3B	B3B_N0	2.5 V (default)	
out	TerceroDosC	Output	PIN_AA9	3B	B3B_N0	2.5 V (default)	
out	TerceroDosD	Output	PIN_AA8	3B	B3B_N0	2.5 V (default)	
out	TerceroDosE	Output	PIN_AA7	3B	B3B_N0	2.5 V (default)	
out	TerceroDosF	Output	PIN_A22	7A	B7A_N0	2.5 V (default)	
out	TerceroDosG	Output	PIN_A20	7A	B7A_N0	2.5 V (default)	
out	TerceroUnoA	Output	PIN_A19	7A	B7A_N0	2.5 V (default)	
out	TerceroUnoB	Output	PIN_A18	7A	B7A_N0	2.5 V (default)	

out	TerceroUnoB	Output	PIN_A18	7A	B7A_N0	2.5 V (default)	
out	TerceroUnoC	Output	PIN_A17	7A	B7A_N0	2.5 V (default)	
out	TerceroUnoD	Output	PIN_A15	7A	B7A_N0	2.5 V (default)	
out	TerceroUnoE	Output	PIN_A14	7A	B7A_N0	2.5 V (default)	
out	TerceroUnoF	Output	PIN_A13	7A	B7A_N0	2.5 V (default)	
out	TerceroUnoG	Output	PIN_A12	7A	B7A_N0	2.5 V (default)	
	<<new node>>						

11. POSTER