



Escuela de Ingeniería Electrónica.

Taller de Diseño Digital.

Cuestionario Previo laboratorio #1

Tema:

Introducción al diseño digital con HDL y herramientas EDA de síntesis.

Profesor:

Kaled Alfaro Badilla.

Estudiantes:

María Paulina Camacho Herrera – 2021093601

Kendall Jesús Barrantes Chaves-2021442238

Luis Daniel Zumbado Sáenz - 2018176234

José Pablo Herrera Vagas - 2023029239

I Semestre 2026

1. Investigue las características de las familias TTL bajo las series 74*xx en particular las diferencias entre las variantes $\in \{L, LS \text{ y } HC\}$

Serie 74L (Low power)

Se considera la primera evolución orientada a lograr la reducción del alto consumo en la serie 74. Los valores de las resistencias se incrementaron para lograr la reducción del consumo, convirtiéndose de esta forma en una tecnología muy lenta que actualmente no se utiliza en diseños modernos.

Serie 74LS (Low-power Schottky)

Se incorporan diodos Schottky en los transistores internos. Al utilizar estos diodos se evita que el transistor se sature por completo, permitiendo de esta manera una conmutación rápida.

Se logra obtener un balance entre el bajo consumo y la velocidad competitiva.

Este tipo de tecnología se emplea en educación y mantenimiento de sistemas antiguos.

Serie 74HC (High Speed CMOS)

Se utiliza tecnología MOSFET, específicamente la tecnología CMOS (Complementary Metal-Oxide Semiconductor).

Presenta un nulo consumo de corriente en estado estático.

Se diseñó para obtener la misma distribución de pines que la serie 74 LS, pero con la diferencia que se obtiene la eficiencia de un CMOS.

2. Investigue las características de la familia CMOS 4000.

La disipación de potencia de estado estático en los circuitos CMOS es muy baja.

Los niveles lógicos de voltaje CMOS son 0V para un 0 lógico y V_{DD} para un 1 lógico.

Se presenta una alta inmunidad al ruido, esto gracias a que los umbrales lógicos son proporcionales a V_{DD} , lo que convierte al margen de ruido típicamente del 30% al 45%.

Se presenta la ventaja de tener una impedancia muy alta, ya que no afecta la parte del circuito donde se encuentran conectados, sin embargo, las entradas desconectadas pueden captar fácilmente el ruido eléctrico y cambiar rápidamente entre los estados de altos y bajos de forma impredecible.

En cuanto al fan-out presenta una salida que es capaz de controlar hasta 50 entradas, debido a la alta impedancia de entrada de los MOSFET.

3. Investigue qué cuidados deben tenerse al manipular las tecnologías CMOS.

Se tiene una alta sensibilidad a la carga estática debido a la alta impedancia de los transistores MOS, esa alta impedancia permite que se desarrollen voltajes prohibitivos que son capaces de destruir la delgada capa de óxido aislante que separa a la compuerta del canal.

Se debe conservar el circuito integrado en su contenedor original hasta que sea insertado en el circuito de aplicación.

Se deben conectar todas las entradas no empleadas a un nivel estable, no se deben dejar sin conectar.

Se debe evitar tensiones peligrosas que puedan causar daños entre las terminales de los componentes.

Y finalmente, no se debe tocar con los dedos las terminales de los componentes CMOS.

4. Investigue el significado de los parámetros V_{IL} , V_{IH} , V_{OL} , I_{IK} , I_{OK}

V_{IL} (Input Low Voltage): voltaje máximo que una entrada reconoce como un nivel bajo lógico (0 lógico).

V_{IH} (Input High Voltage): voltaje mínimo que una entrada requiere para reconocer un nivel alto (1 lógico)

V_{OL} (Output Low Voltage): voltaje máximo que garantiza un pin de salida cuando se esta emitiendo un 0 lógico.

V_{OH} (Output High Voltage): voltaje mínimo que garantiza un pin de salida cuando se esta emitiendo un 1 lógico.

I_{IK} (Input Clamp Current): corriente máxima que puede fluir a través de los diodos de protección de una entrada cuando el voltaje aplicado es menor a tierra (GND) o mayor al voltaje de alimentación (VCC)

I_{OK} (Output Clamp Current): corriente máxima que los diodos de protección de salida pueden manejar ante picos de voltaje inesperados.

5. Investigue que son los tiempos de propagación t_{PD} , t_{PLH} , y los tiempos de transición t_t , t_r , y t_f .

t_{PD} : termino general para tiempo de propagación.

t_{PLH} : tiempo que transcurre desde que la entrada cambia hasta que la salida se pasa de un estado bajo a alto.

t_{PHL} : tiempo que transcurre desde que la entrada cambia hasta que la salida pasa de un estado alto a bajo.

t_t : termino para referirse a cualquiera de los dos tiempos de transición (rise time o fall time)

t_r : tiempo que le toma a la señal pasar de un nivel lógico bajo a uno alto.

t_f : tiempo que le toma a la señal pasar de un nivel lógico alto a uno bajo.

6. Investigue que significa el termino fan-out y cuales valores típicos se encuentran en las familias TTL y CMOS.

El fan-out es el número máximo de entradas lógicas estándar que puede manejar la salida de una compuerta sin que se degrade el nivel lógico.

Se define como: $Fan - out = \frac{\text{Corriente Máx que puede entregar la salida}}{\text{Corriente requerida por una entrada}}$

En la práctica, se toma el menor valor entre el fan-out en estado HIGH y en estado LOW.

Familia	Fan-Out Típico
TTL (74xx estándar)	10
TTL LS (Low Power Schottky)	20
CMOS 4000	50 o más
CMOS 74HC	20-50

7. Para cada una de las variantes TTL y CMOS especifique en una tabla: a) rango de tensión eléctrica de alimentación VCC o VDD, VSS b) rango de tensiones de entrada y salida c) tiempos de propagación y transición.

TTL (Familia 74xx)

Parámetro	Valor Típico
Voltaje	5 V \pm 5% (\approx 4.75-5.25V)
VSS	0 V (GND)
Nivel de entrada LOW (VIL)	0 – 0.8V
Nivel de entrada HIGH (VIH)	2 – 5V
Nivel de salida LOW (VOL)	0 – 0.4 V
Nivel de salida HIGH (VOH)	2.4 – 5V
Tiempo de propagación	10 – 30 ns (estándar)
Tiempo de transición	5 – 15 ns

CMOS (Familia 4000)

Parámetro	Valor Típico
Voltaje	3 – 15 V
VSS	0 V
Nivel de entrada LOW (VIL)	\approx 0 – 0.3 VDD
Nivel de entrada HIGH (VIH)	\approx 0.7 VDD - VDD
Nivel de salida LOW (VOL)	\approx 0 V
Nivel de salida HIGH (VOH)	\approx VDD
Tiempo de propagación	50 – 300 ns (4000 clásico)
Tiempo de transición	20 – 200 ns

8. Revise la hoja de datos de los circuitos integrados 74*00,74*02,74*04,74*14, 4001, 4011, 4069 y 40106. Resuma para que sirve cada uno.

Serie 74xx (TTL)

74*00 – 4 compuertas NAND

- Cuatro compuertas NAND de 2 entradas.
- Base universal para construir cualquier función lógica.

72*02 – 4 compuertas NOR

- Cuatro compuertas NOR
- También universal (se puede implementar cualquier función lógica)

74*04 – 6 inversores

- Seis compuertas NOT.
- Usado para inversión de señales y buffers.

74*14 – 6 inversores Schmitt Trigger

- Inversores con histéresis.
- Ideal para: Eliminar ruido, Formar osciladores RC, Limpieza de señales lentas.

Serie CMOS 4000

4001 – 4 compuertas NOR

- Cuatro NOR CMOS.
- Bajo consumo.

4011 – 4 compuertas NAND

- Cuatro NAND CMOS.
- Muy usado en lógica básica.

4069 – 6 inversores

- Inversores estándar CMOS.
- También usado en osciladores simples.

40106 – 6 inversores Schmitt Trigger

- Inversores con histéresis.
- Ideal para: Generadores RC, Anti-rebote de botones, Señales ruidosas.

9. Revise la estructura básica, a nivel de transistores, de una compuerta NAND en circuitos integrados CMOS.

A nivel de transistores:

Una NAND CMOS de 2 entradas está formada por:

- 2 transistores PMOS en paralelo (arriba)
- 2 transistores NMOS en serie (abajo)

Funcionamiento:

Si $A = B = 1$

- NMOS conducen (serie \rightarrow camino a tierra)
- PMOS se apagan
- Salida = 0

Si cualquiera es 0:

- Algún NMOS se abre (no hay camino a tierra)
- Algún PMOS conduce
- Salida = 1

Ventaja CMOS:

- No hay corriente estática significativa
- Muy bajo consumo
- Alta inmunidad al ruido

10. Investigue sobre el concepto y el uso de los de circuitos pull-up y pull-down en electrónica digital.

Una resistencia pull-up asegura que el pin de entrada se lea como un nivel lógico alto cuando no se conecta nada más, ya que, si se deja la entrada flotante, el voltaje puede fluctuar. La resistencia pull-up evita esto elevando el voltaje a un nivel seguro. Ahora bien, la resistencia pull-down funciona de forma similar, pero se conecta entre el pin de entrada y tierra. Al usar una resistencia pull-down, se asegura que el pin de entrada se lea en nivel lógico bajo cuando no se conecta nada más, en ambos casos se evita que la entrada flote y capte ruido.

11. Investigue que es un circuito disparador Schmitt (Schmitt trigger). Revise las características técnicas del circuito 74*14.

Un inversor de tipo Schmitt trigger es un circuito comparador con retroalimentación positiva que convierte señales analógicas ruidosas o lentas en ondas cuadradas limpias, dónde la histéresis en sus entradas incrementa la inmunidad al ruido y elimina el cambio abrupto de las propiedades de las señales tanto en fase como en frecuencia. El 74HC14 es un circuito integrado (CI) que pertenece a la familia de los CMOS. Posee seis inversores Schmitt trigger, entre las características técnicas más importantes de este componente están:

- Número de pines: 14
- Número de Canales: 4 con entradas Schmitt trigger
- Voltaje de alimentación: 2 Vcc a 6 Vcc
- Corriente de salida: -4 mA a 4 mA
- Temperatura de trabajo: - 55 °C a 125 °C

12. Investigue en que consiste la modulación de ancho de pulso (PWM).

La Modulación por Ancho de Pulso (PWM) es una técnica que codifica información en forma de señal variable modificando el ancho de pulso en una secuencia. Se utiliza comúnmente en electrónica para controlar la potencia promedio suministrada a una carga, como en el control de motores, la atenuación de la iluminación o la generación de señales analógicas a partir de señales digitales. Al variar el ancho del pulso, es decir, determinar el tiempo que la señal debe permanecer alta (activada) y baja (desactivada), podemos controlar la potencia suministrada a las entradas/salidas GPIO asignadas. El período en el que la señal PWM es alta se denomina ciclo de trabajo.

13. Investigue que es el efecto de rebote y típicos circuitos anti-rebote (debouncing circuits)

En el contexto de la ingeniería eléctrica y electrónica, un interruptor es un componente que puede "hacer" o "romper" un circuito eléctrico, interrumpiendo así una corriente eléctrica o desviándola de un conductor a otro. Cuando se acciona un interruptor o un relé, lo que un ser humano percibe como una respuesta única e instantánea cada vez que el dispositivo cambia de estado puede implicar, en realidad, 100 o más acciones de activación o desactivación que persisten durante varias milésimas de segundo, antes de que el contacto se asiente finalmente en su lugar. En las décadas de 1960 y 1970, el rebote de los interruptores se implementó utilizando una variedad de técnicas de hardware, desde simples circuitos de retardo de resistencia-condensador (RC) utilizados con los interruptores SPST hasta funciones más sofisticadas de enclavamiento de ajuste/reinicio (SR). Más recientemente, y debido a que muchos sistemas cuentan con una unidad de microprocesador (MPU) o una unidad de microcontrolador (MCU), se ha convertido en algo habitual el uso de técnicas de software para desbaratar la señal procedente de cualquier interruptor. Una de las soluciones más sencillas de rebote de interruptor basado en hardware emplea una red de resistencia-capacitor (RC) junto con un interruptor SPST. Hay muchos tipos de interruptores, como los conmutadores, los de balancín y los de pulsador, todos los cuales pueden rebotar. Si no se mitiga, el rebote de los interruptores puede hacer que los microprocesadores y otros circuitos electrónicos consideren que la activación de un solo interruptor comprende varios eventos.

14. Explique que es el modelado de comportamiento y de estructura en diseño digital. Brinde un ejemplo de cada uno.

El modelado del comportamiento es un método utilizado en diversos campos para predecir acciones futuras basándose en comportamientos pasados mediante el análisis de patrones y tendencias. En diseño digital se utilizan algoritmos y análisis de datos para crear modelos predictivos.

Como ejemplo podemos mencionar un contador binario de 4 bits, en el cual, en cada flanco de reloj el contador se incrementa en 1, cuando este llega a 15(1111) este vuelve a ser 0.

El modelado de estructura se refiere al proceso de crear representaciones virtuales o modelos computarizados de estructuras físicas. Estos modelos permiten analizar el comportamiento de las estructuras bajo diferentes condiciones de carga, evaluar su estabilidad y tomar decisiones durante el diseño y la construcción de este.

Un ejemplo para un modelado de estructura es un sumador de un bit, con 2 compuertas AND, una compuerta OR y una compuerta XOR, cada una de estas compuertas se instancia y se conectan sus señales para formar el sumador.

15. Explique el proceso de síntesis lógica en el diseño de circuitos digitales, tanto para el desarrollo de un ASIC como para una FPGA.

La síntesis es el proceso automatizado de transformar descripciones de hardware de alto nivel en representaciones de bajo nivel que pueden fabricarse físicamente en un chip semiconductor.

Generalmente, la síntesis se refiere a la conversión de código de Nivel de Transferencia de Registro (RTL), escrito en lenguajes de descripción de hardware como Verilog o VHDL, en una lista de conexiones a nivel de puerta.

La síntesis comienza con el código RTL, que describe el comportamiento de un circuito digital en términos de registros, operaciones y flujo de datos. El proceso consta de 5 pasos clave:

Análisis y elaboración: la herramienta de síntesis lee el código RTL, busca errores y crea un modelo interno del diseño, resolviendo módulos y jerarquías.

Mapeo de tecnología: la herramienta traduce la lógica RTL en una red de puertas lógicas y flip-flops estándar que forman parte de la biblioteca de tecnología de destino.

Optimización: La lista de conexiones se optimiza para objetivos de diseño como mínimo espacio, bajo consumo de energía y alto rendimiento. Se utilizan comúnmente técnicas como la minimización lógica, la resincronización y la compartición de recursos.

Manejo de restricciones: Los diseñadores establecen restricciones como períodos de reloj, requisitos de tiempo y límites de área. La herramienta de síntesis intenta cumplir con estas restricciones durante la optimización.

Generación de salida: el resultado final es una lista de redes a nivel de puerta, que se utiliza en pasos posteriores, como diseño físico, ubicación y enrutamiento.

Tanto para ASIC como para FPGA el funcionamiento es similar pero la tecnología destino cambia, funcionando de manera diferente dependiendo de la situación.

Los circuitos integrados ASIC se optimizan para un proceso tecnológico específico, suelen ser más rápidos y consumen menos energía, lo que los hace mejores para cosas como grandes centros de datos o dispositivos avanzados. Suele ser no reconfigurable y cuenta con un alto tiempo de fabricación.

Los FPGAs generan como resultado un bitstream el cual puede ser modificado sin tener que crear uno nuevo cada vez por lo que es reconfigurable, resultan mejores que un circuito ASIC si se necesita actualizar o cambiar un sistema después de haberlo fabricado.

16. Investigue sobre la tecnología de FPGAs. Describa el funcionamiento de la lógica programable en general, así como los componentes básicos de una.

La FPGA (Field Programmable Gate Array) se compone de tres elementos básicos los cuales son el bloque lógico configurable (CLB, Configurable Logic Block), las interconexiones y los bloques de entrada/salida (E/S). Las FPGA son reprogramables y utilizan tecnología de proceso SRAM o de anti fusibles para implementar las conexiones programables.

Los bloques de E/S situados alrededor del perímetro de la estructura proporcionan un acceso de entrada/salida o bidireccional, individualmente seleccionable, hacia el mundo exterior. La matriz distribuida de interconexiones programables permite interconectar los bloques CLB entre sí y conectarlos a las entradas y a las salidas.

Un bloque lógico de FPGA está compuesto por varios módulos lógicos más pequeños, que son las unidades componentes básicas y que en cierto modo resultan análogos a las macroceldas de un CPLD. Los bloques lógicos configurables fundamentales (CLB) se encuentran dentro de la matriz global de interconexiones programables dispuestas en filas/columnas y que se utilizan para conectar entre sí los bloques lógicos. Cada CLB está formado por múltiples módulos

lógicos más pequeños y por una serie de interconexiones programables locales que se emplean para conectar entre sí los módulos lógicos que componen el CLB.

El módulo lógico de un bloque lógico de una FPGA puede configurarse para implementar lógica combinacional, lógica registrada o una combinación de ambas. Se emplea un flip-flop que forma parte de la lógica asociada para implementar lógica registrada. Una LUT (Look-Up Table) es un tipo de memoria programable que se utiliza para generar funciones lógicas combinacionales.

Generalmente, la organización de una LUT consiste en una serie de 2^n celdas de memoria, siendo n el número de variables de entrada. Dentro de las celdas de memoria LUT puede programarse un patrón de 1s y 0s, Cada 1 significa que el término producto asociado aparecerá en la salida suma de producto mientras que un 0 significa que dicho término producto asociado no aparecerá en la salida suma de productos.

17. Investigue sobre el protocolo UART y como se implementaría la sección de TX.

El protocolo UART significa receptor/transmisor asíncrono universal y define un protocolo, o conjunto de reglas para intercambiar datos en serie entre dos dispositivos. El UART solo utiliza dos cables entre el transmisor (TX) y receptor (RX) para transmitir y recibir en ambas direcciones. Ambos terminales también tienen una conexión a tierra. La comunicación en UART puede ser simplex (los datos se envían en una sola dirección), semidúplex (cada lado transmite, pero solo uno a la vez), o dúplex completo (ambos lados pueden transmitir en simultáneo). Los datos en el UART se transmiten en la forma de tramas.

Una de las grandes ventajas del UART es que es asíncrono: el transmisor y el receptor no comparten una señal de reloj común. Aunque esto simplifica enormemente el protocolo, pone ciertos requisitos al transmisor y al receptor. Dado que no comparten un reloj, ambos terminales deben transmitir a la misma velocidad preestablecida para que tengan la misma sincronización de bits.

Pasos de la transmisión (TX)

- El UART transmisor recibe datos en paralelo desde el bus de datos.
- El UART de transmisión añade el bit de inicio, el bit de paridad y el bit de parada a la trama de datos.
- Todo el paquete se envía en serie comenzando desde el bit de inicio hasta el bit de parada desde el UART de transmisión al UART receptor. El UART receptor muestra la línea de datos a la velocidad de transmisión preconfigurada.
- El UART receptor descarta el bit de inicio, el bit de paridad y el bit de parada de la trama de datos.
- El UART receptor convierte los datos en serie de nuevo en paralelo y los transfiere al bus de datos en el extremo receptor.

Referencias:

- [1] Lógicas, F. (s/f). *Licenciatura en Ingeniería en Computación*. Uaemex.mx. Recuperado el 23 de febrero de 2026, de <https://ri.uaemex.mx/bitstream/handle/20.500.11799/63800/secme-35342.pdf>
- [2] A. Agustin Olivier, *Electrónica Digital combinacional Diseño, Teoría y práctica*, 2022 [en línea]. Disponible en https://d1wqtxts1xzle7.cloudfront.net/56742931/Libro_de_electronica_-_digital_-_combinacional_-_diseno-teoria-y-practica-libre.pdf?1528322228=&response-content-disposition=inline%3B+filename%3DELECTRONICA_DIGITAL_COMBINACIONAL_Diseneno.pdf&Expires=1771721421&Signature=SrrCl5r4gSNeRyb9KyRbz~BdvP0Yd1Wlbo9HTkg9vINnXtKUjVj1IImjtLLB32ixW~tMbe2UJUhGczw6b~6tZ89-1P5SzO7UiAnwrlwb91VO2JJAVmi3qpkO4It~w66zDdUnSuKwsqygN-cy~M8LZmu0sRFXQUoDbAWrulzuTCuhkYi1FwPiiYY~of6f8i1TiBYubEsexFT0BH2WrYF7CR7r0Fz1neuEVkX~yQ8DR1TULhBDt0jZCqPeV38d83CXPOJWdyZTGps7T85AzfnA8aRyufKT-xsFJkuWZ~~UmlTmJuUl6JafBktXFPP4XtfXg0znG5uGASlOPAOWDLhg__&Key-Pair-Id=APKAJLOHF5GGSLRBV4ZA
- [3] *4000 series CMOS Logic ICs*. (s/f). Electronicsclub.Info. Recuperado el 22 de febrero de 2026, de <https://electronicsclub.info/cmos.htm>
- [4] Newton C. Braga, *Curso de Electrónica - Electrónica Digital – Parte 4 - La Familia de Circuitos Integrados CMOS* (sf) [en línea]. Disponible en <https://www.incb.com.mx/index.php/curso-de-electronica/96-curso-de-electronica-electronica-digital/3343-curso-de-electronica-electronica-digital-parte-4-la-familia-de-circuitos-integrados-cmos-cur5004s>
- [5] L. Hulatt. *Modelado de comportamiento*. 2024 [en línea]. Disponible en https://www-studysmarter-co-uk.translate.goog/explanations/engineering/robotics-engineering/behavioral-modeling/?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es&_x_tr_pto=tc
- [6] K.Khan, *¿Que es la sintesis digital?*, 8 sept, 2025. [en línea]. Disponible en: https://www-synopsys-com.translate.goog/glossary/what-is-synthesis.html?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es&_x_tr_pto=tc
- [7] J. Xu, *Comparacion y aplicación de FPGA Y ASIC en el diseño de sistemas digitales*, 18 nov, 2024. [en línea]. Disponible en: https://dl-acm-org.translate.goog/doi/full/10.1145/3686081.3686117?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es&_x_tr_pto=tc#sec-6
- [8] Analog Devices, *UART: A Hardware Communication Protocol Understanding Universal Asynchronous Receiver/Transmitter*, dec, 2020. [en línea]. Disponible en: <https://www.analog.com/en/resources/analog-dialogue/articles/uart-a-hardware-communication-protocol.html>
- [9] UNEMI, *sistemas digitales Tema 1: Fundamentos FPGA*, 18 nov, 2019. [en línea]. Disponible en: https://sga.unemi.edu.ec/media/recursotema/Documento_202042716190.pdf
- [10] “Exactamente cómo funcionan los osciladores de disparo Schmitt”, Allaboutcircuits.com, 23 de mayo de 2018. <https://www.allaboutcircuits.com/technical-articles/exactly-how-schmitt-trigger-oscillators-work/>

[11] “Modulación por Ancho de Pulso (PWM) - Nordic Developer Academy”, Nordic Developer Academy , 13 de marzo de 2024. <https://academy.nordicsemi.com/courses/nrf-connect-sdk-intermediate/lessons/lesson-4-pulse-width-modulation-pwm/topic/pulse-width-modulation-pwm/>

[12]CM Maxfield, “Cómo implementar el rebote de hardware para interruptores y relés cuando el rebote de software no es apropiado”, DigiKey , 09 de febrero de 2021. <https://www.digikey.com/es/articles/how-to-implement-hardware-debounce-for-switches-and-relays>