

Trabalho prático 1 - ISL

Luiz Felipe Gondim Araujo - 2023028188

1. Introdução

Este relatório apresenta o desenvolvimento de um circuito combinatório em Verilog para processar dados de sensores binários utilizados no sistema Tesla Autopilot. O circuito calcula o resto da divisão por 5 das leituras de 4 bits transmitidas pelos sensores de distância. A implementação e validação do projeto foram realizadas na plataforma EDA Playground, garantindo a conformidade com os requisitos e o desempenho esperado do sistema.

2. Decisões de implementação

As decisões de implementação deste trabalho se basearam na escolha de uma abordagem comportamental em Verilog, que permitiu descrever de forma clara e direta a lógica do cálculo do resto da divisão por 5 das leituras de 4 bits estabelecidas pelo enunciado. Sabendo disso, foram feitos a tabela verdade, bem como a representação em mintermos e sua simplificação pelo mapa de Karnaugh visando a construção de um circuito mais otimizado, garantindo uma saída precisa e eficiente em 3 bits. A plataforma EDA Playground, como sugerida pelo professor, foi selecionada para a simulação devido à sua praticidade e suporte integrado para testes, permitindo validar o circuito por meio do diagrama de ondas. Ademais, os casos de teste foram cuidadosamente planejados com base nos dados de entrada e confirmaram o correto funcionamento do sistema. Houveram dificuldades em relação à validação inicial, uma vez que a linguagem Verilog seja um pouco diferente do usual, porém foram resolvidas por meio de ajustes na organização dos módulos e reavaliação da lógica implementada, assegurando o cumprimento dos requisitos do projeto.

2.1 Tabela verdade:

A	B	C	D	R1	R2	R3	Mintermos
0	0	0	0	0	0	0	m0
0	0	0	1	0	0	1	m1
0	0	1	0	0	1	0	m2
0	0	1	1	0	1	1	m3
0	1	0	0	1	0	0	m4
0	1	0	1	0	0	0	m5
0	1	1	0	0	0	1	m6
0	1	1	1	0	1	0	m7
1	0	0	0	0	1	1	m8
1	0	0	1	1	0	0	m9
1	0	1	0	0	0	0	m10
1	0	1	1	0	0	1	m11
1	1	0	0	0	1	0	m12
1	1	0	1	0	1	1	m13
1	1	1	0	1	0	0	m14
1	1	1	1	0	0	0	m15

2.2 Formas canônicas das saídas:

- **R1:** $f(A,B,C,D) = m4 + m9 + m14$
- **R2:** $f(A,B,C,D) = m2 + m3 + m7 + m8 + m12 + m13$
- **R3:** $f(A,B,C,D) = m1 + m3 + m6 + m8 + m11 + m13$

2.3 Mapas de Karnaugh das saídas:

A seguir estão representados os mapas de Karnaugh e as simplificações geradas de cada saída com base nos mintermos obtidos na tabela verdade do problema.

- **R1: $A'BC'D' + ABCD' + AB'C'D$**

		A B			
		00	01	11	10
C D	00	0	1	0	0
	01	0	0	0	1
	11	0	0	0	0
	10	0	0	1	0

- **R2: $A'CD + AC'D' + ABC' + A'B'C$**

		A B			
		00	01	11	10
C D	00	0	0	1	1
	01	0	0	1	0
	11	1	1	0	0
	10	1	0	0	0

- **R3:** $B'CD + A'B'D + A'BCD' + ABC'D + AB'C'D'$

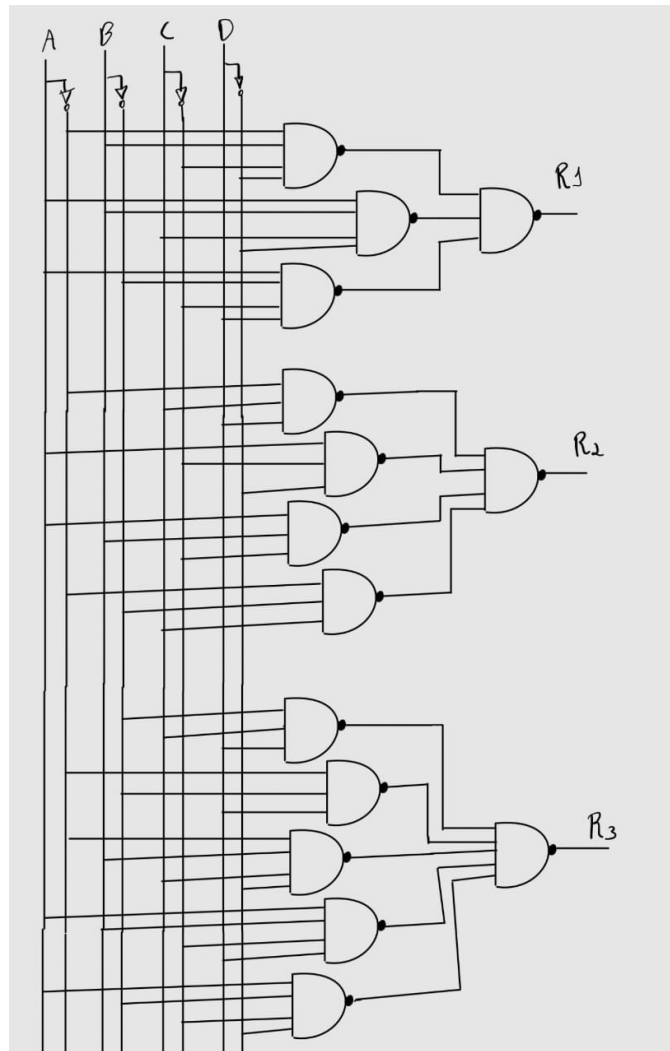
		A B			
		00	01	11	10
C D	00	0	0	0	1
	01	1	0	1	0
	11	1	0	0	1
	10	0	1	0	0

2.4 Forma simplificada (PoS):

- **R1:** $(A + D')(A + C')(B' + D')(B + C')(B + D)(A' + C + D)$
- **R2:** $(A + C)(A' + C')(B' + C' + D)(B + C + D')$
- **R3:** $(B' + C' + D')(B + C' + D)(A' + B' + D)(A + B' + C)(A + C + D)(A' + B + C + D')$

2.5 Circuito resultante

Para a construção do circuito, foi adotada uma abordagem que utiliza apenas portas NAND, dado que isso simplifica o design do circuito, facilitando sua manutenção e reduzindo seus custos:



2.6 Diagrama de ondas

Observando o diagrama gerado pelos testes, é possível notar que os valores das saídas estão corretamente associados aos valores de entrada dados, seguindo uma lógica de resto na divisão por cinco.

